

デュアル、3A、2MHzステップダウンレギュレータ

概要

高効率デュアルステップダウンレギュレータMAX8833は、各出力で最大3Aを供給することができます。このデバイスは2.35V~3.6Vの電源で動作し、0.6V~0.9 x V_{IN} の出力電圧を提供するため、ボードに搭載するポイントオプロードのアプリケーションに最適です。総合出力誤差は、負荷、入力および温度の全範囲で±1%を下まわります。

MAX8833は、外部抵抗によって設定される0.5MHz~2MHzのスイッチング周波数でPWMモードの動作をします。このデバイスは、同じ周波数範囲の外部クロックにも同期することができます。2組の内部スイッチングレギュレータは、180度の逆位相で動作して入力リップル電流を減少させ、したがって、必要な入力容量値が小さくて済みます。高い動作周波数にすると、外付け部品のサイズが最小になります。デュアルnMOSを内蔵させた高効率の設計により重負荷でもボードの温度上昇が抑えられます。電圧モードの制御方式および広帯域(> 15MHz typ)の電圧誤差アンプによりタイプIIIの補償方式を使用可能であり、電源電圧および負荷の過渡変化の両方に対して高速の応答を達成し、また、セラミック出力コンデンサの使用が可能です。

可変のソフトスタートにより、入力突入電流が減少します。2つのイネーブル入力によって、各出力を個別にオン/オフすることができ、システムレベルの設計に大きな柔軟性を与えます。リファレンス入力は、出力電圧のトラッキングアプリケーションを容易にするために提供されます。MAX8833は、0.8mm (max)の高さの32ピンTQFN (5mm x 5mm)パッケージで提供されます。

アプリケーション

- ASIC/CPU/DSP電源
- DDR電源
- セットトップボックス電源
- プリンタ電源
- ネットワーク電源

ピン配置はデータシートの最後に記載されています。

特長

- ◆ オン抵抗35mΩのMOSFETを内蔵
- ◆ デュアル、3A、PWMステップダウンレギュレータ
- ◆ 過電流、短絡、および過昇温度から完全に保護
- ◆ 負荷、入力、および温度の全範囲で±1%の出力精度
- ◆ 2.35V~3.6Vの電源で動作
- ◆ トラッキングまたは外部リファレンス用に1つのチャンネルにREFINを装備
- ◆ ブーストダイオードを内蔵
- ◆ 0.6V~0.9 x V_{IN} に設定可能な出力
- ◆ ソフトスタートにより突入電源電流を低減
- ◆ 0.5MHz~2MHzに可変のスイッチング周波数またはFSYNC入力
- ◆ 全セラミックコンデンサ設計が可能
- ◆ 180度の逆位相動作が入力リップル電流を低減
- ◆ 個別のイネーブル入力およびPWRGD出力
- ◆ プリバイアス出力までの安全な立上り
- ◆ 5mm x 5mmのTQFNパッケージで供給
- ◆ DDRアプリケーションにおけるシンク/ソース電流

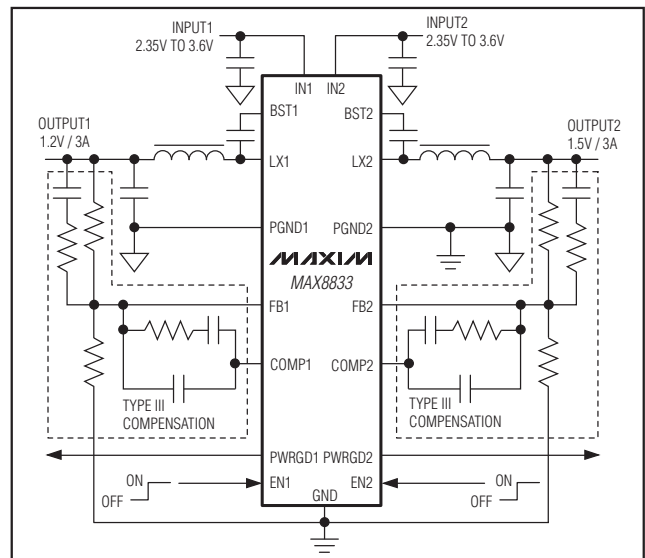
型番

PART	TEMP RANGE	PIN-PACKAGE
MAX8833ETJ+	-40°C to +85°C	32 Thin QFN (5mm x 5mm)

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

標準動作回路



デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

ABSOLUTE MAXIMUM RATINGS

IN ₋ , LX ₋ , V _{DD} , V _{DL} , PWRGD ₋ to GND	-0.3V to +4.5V
V _{DD} , V _{DL} to IN ₋	-0.3V to +4.5V
EN ₋ , SS ₋ , COMP ₋ , FB ₋ , REFIN, FSYNC to GND	-0.3V to the lower of (V _{VDD} + 0.3V) and (V _{VDL} + 0.3V)
Continuous LX ₋ Current (Note 1)	5.5A _{RMS}
BST ₋ to LX ₋	-0.3V to +4.5V
PGND ₋ to GND	-0.3V to +0.3V

Continuous Power Dissipation (T _A = +70°C) 32-Pin Thin QFN (5mm x 5mm) (derate 34.5mW/°C above +70°C)	2758.6mW
Operating Ambient Temperature Range	-40°C to +85°C
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
θ _{JC}	1.7°C/W

Note 1: LX₋ have internal clamp diodes to PGND₋ and IN₋. Applications that forward bias these diodes should take care not to exceed the IC's package power-dissipation limits.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN₋} = V_{VDD} = V_{VDL} = 3.3V, V_{FB₋} = 0.5V, V_{SS₋} = V_{REFIN} = 600mV, PGND₋ = GND, R_{FSYNC} = 10kΩ, L = 0.47μH, C_{BST₋} = 0.1μF, C_{SS₋} = 0.022μF, PWRGD₋ not connected; T_A = -40°C to +85°C, typical values are at T_A = +25°C, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
IN1, IN2, VDL, VDD						
IN ₋ , VDL, and V _{DD} Voltage Range	(Note 3)		2.35		3.60	V
IN ₋ Supply Current	1MHz switching, no load	V _{IN₋} = 2.5V		1.9	3.5	mA
		V _{IN₋} = 3.3V		2.8	5	
V _{DD} + VDL Supply Current	1MHz switching, V _{DD} = VDL	V _{VDD} = 2.5V		7.2		mA
		V _{VDD} = 3.3V		10	15	
Shutdown Supply Current (I _{IN1} + I _{IN2} + I _{VDD} + I _{VDL})	V _{IN₋} = V _{VDD} = V _{VDL} = V _{BST₋} - V _{LX₋} = 3.6V, V _{EN₋} = 0V	T _A = +25°C			11	μA
		T _A = +85°C		0.3		
IN ₋ , V _{DD} Undervoltage Lockout Threshold UVLO Monitors V _{DD} , IN1, and IN2	Rising			2.0	2.2	V
	Falling		1.8	1.9		
IN ₋ , V _{DD} Undervoltage Lockout Deglitch				2		μs
BST1, BST2						
Shutdown BST ₋ Current	V _{IN₋} = V _{VDD} = V _{VDL} = V _{BST₋} 3.6V, V _{EN₋} = 0V, V _{LX₋} = 0 or 3.6V	T _A = +25°C			2	μA
		T _A = +85°C		0.02		
COMP1, COMP2						
COMP ₋ Clamp Voltage, High	V _{VDD} = V _{IN₋} = 2.3V to 3.6V, V _{FB₋} = 0.7V		1.80	2.00	2.25	V
COMP ₋ Slew Rate				1.40		V/μs
COMP ₋ Shutdown Resistance	From COMP ₋ to GND, V _{EN₋} = 0V			7	25	Ω
ERROR AMPLIFIER						
FB ₋ Regulation Voltage	V _{COMP₋} = 1V to 2V	V _{VDD} = V _{IN₋} = 2.5V to 3.3V	0.594	0.600	0.606	V
FB ₋ Regulation Voltage with External Reference	V _{COMP₋} = 1V to 2V	V _{VDD} = V _{IN₋} = 2.5V to 3.3V	0.594	0.600	0.606	V
Error Amplifier Common-Mode-Input Range			0		V _{VDD} - 1.6	V
Error Amplifier Maximum Output Current			1			mA
FB ₋ Input Bias Current	V _{FB₋} = 0.605V	T _A = +25°C		40	300	nA
		T _A = +85°C		37		

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN_} = V_{VDD} = V_{VDL} = 3.3V$, $V_{FB_} = 0.5V$, $V_{SS_} = V_{REFIN} = 600mV$, $PGND_ = GND$, $R_{FSYNC} = 10k\Omega$, $L = 0.47\mu H$, $C_{BST_} = 0.1\mu F$, $C_{SS_} = 0.022\mu F$, $PWRGD_$ not connected; $T_A = -40^\circ C$ to $+85^\circ C$, typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
REFIN, SS2						
REFIN Input Bias Current	$V_{FB_} = 0.610V$	$T_A = +25^\circ C$		90	500	nA
		$T_A = +85^\circ C$		65		
REFIN Common-Mode Range	$V_{VDD} = 2.35V$ to $2.6V$		0		$V_{VDD} - 1.65$	V
	$V_{VDD} = 2.6V$ to $3.6V$		0		$V_{VDD} - 1.70$	
LX1, LX2 (All Pins Combined)						
LX_ On-Resistance, High	$I_{LX_} = -2A$	$V_{IN_} = V_{BST_} - V_{LX_} = 3.3V$		40	55	m Ω
		$V_{IN_} = V_{BST_} - V_{LX_} = 2.5V$		42		
LX_ On-Resistance, Low	$I_{LX_} = -2A$	$V_{IN_} = 3.3V$		35	54	m Ω
		$V_{IN_} = 2.5V$		37		
LX_ Current-Limit Threshold	High-side sourcing and freewheeling		4.6	5.5	6.4	A
LX_ Leakage Current	$V_{IN_} = 3.6V$, $V_{EN_} = 0V$	$V_{LX_} = 3.6V$	$T_A = +25^\circ C$		10	μA
			$T_A = +85^\circ C$		-0.1	
	$V_{LX_} = 0V$	$T_A = +25^\circ C$	-10			
		$T_A = +85^\circ C$	-0.1			
LX_ Switching Frequency	$R_{FSYNC} = 10k\Omega$		0.9	1.0	1.1	MHz
	$R_{FSYNC} = 4.75k\Omega$		1.80	2.0	2.2	
LX_ Minimum Off-Time				50		ns
LX_ Minimum On-Time				95		ns
LX_ Maximum Duty Cycle	$R_{FSYNC} = 10k\Omega$		90	95		%
Maximum LX_ Output Current			3			ARMS
EN1, EN2						
EN_ Logic-Low					0.7	V
EN_ Logic-High			1.7			V
EN_ Input Current	$V_{EN_} = 0$ or $3.6V$, $V_{VDD} = 3.6V$	$T_A = +25^\circ C$	-1		+1	μA
		$T_A = +85^\circ C$		0.01		
SS1, SS2						
SS_ Charging Current	$V_{SS_} = 300mV$		5	8	11	μA
REFIN, SS2						
Discharge Resistance	In shutdown or a fault condition			335		Ω
THERMAL SHUTDOWN						
Thermal-Shutdown Threshold (Independent Channels)				+165		$^\circ C$
Thermal-Shutdown Hysteresis				20		$^\circ C$

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN_} = V_{VDD} = V_{VDL} = 3.3V$, $V_{FB_} = 0.5V$, $V_{SS_} = V_{REFIN} = 600mV$, $PGND_ = GND$, $R_{FSYNC} = 10k\Omega$, $L = 0.47\mu H$, $C_{BST_} = 0.1\mu F$, $C_{SS_} = 0.022\mu F$, $PWRGD_$ not connected; $T_A = -40^\circ C$ to $+85^\circ C$, typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 2)

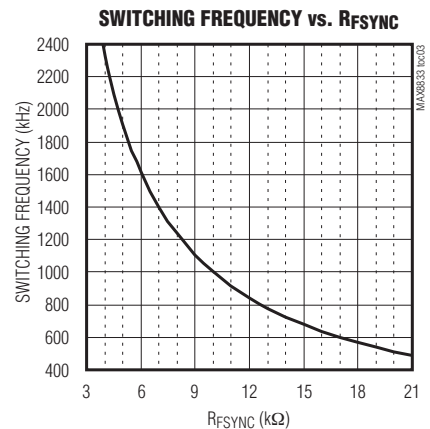
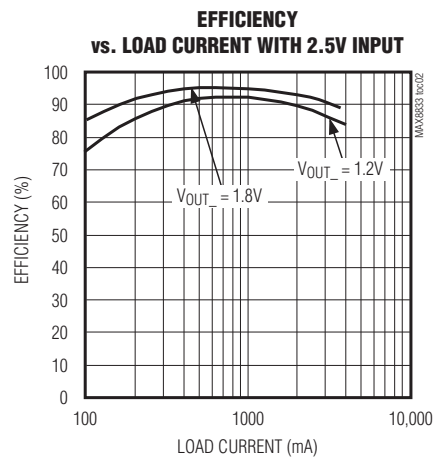
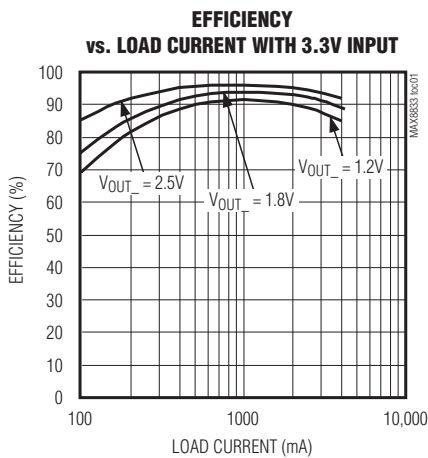
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
FSYNC					
FSYNC Capture Range		250		2500	kHz
FSYNC Input Threshold		1.3	1.5	1.7	V
FSYNC Output Voltage		0.975	1.0	1.025	V
Phase Shift from LX1 to LX2			180		Degrees
PWRGD1, PWRGD2					
PWRGD1 Threshold Voltage	V_{FB1} rising with respect to V_{REFIN} , and $V_{REFIN} > 540mV$ typ	88	90	92	%
PWRGD2 Threshold Voltage	V_{FB2} rising with respect to V_{SS2} , and $V_{SS2} > 540mV$ typ	88	90	92	%
PWRGD_ Hysteresis			2.6		%
PWRGD_ Falling Edge Deglitch		35	45	55	μs
PWRGD_ Output-Low Voltage	$I_{PWRGD_} = 4mA$		0.03	0.15	V
PWRGD_ Leakage Current	$V_{PWRGD_} = 3.6V$, $V_{FB_} = 0.9V$	$T_A = +25^\circ C$	1		μA
		$T_A = +85^\circ C$	0.01		

Note 2: All devices 100% production tested at $+25^\circ C$. Limits over temperature are guaranteed by design.

Note 3: V_{VDD} must equal V_{VDL} and be equal to or greater than $V_{IN_}$.

標準動作特性

($V_{IN1} = V_{IN2} = 3.3V$. MAX8833, circuit of Figure 6, $T_A = +25^\circ C$, unless otherwise noted.)

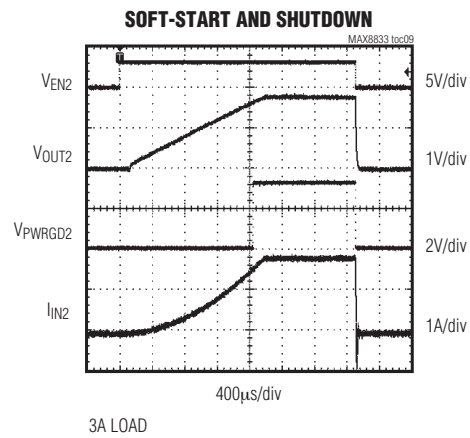
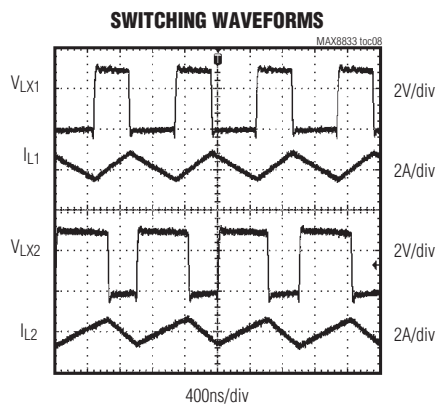
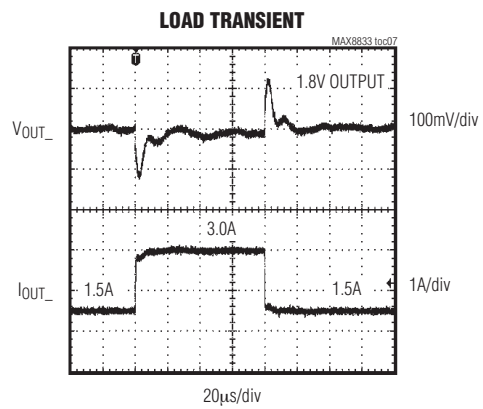
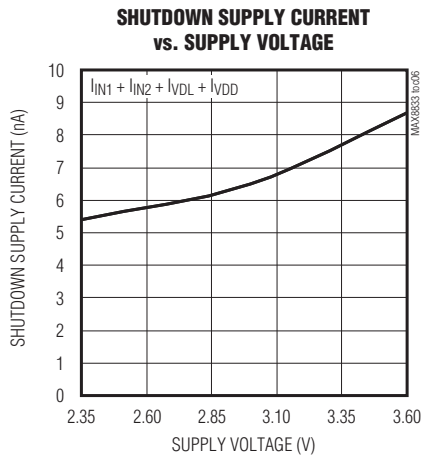
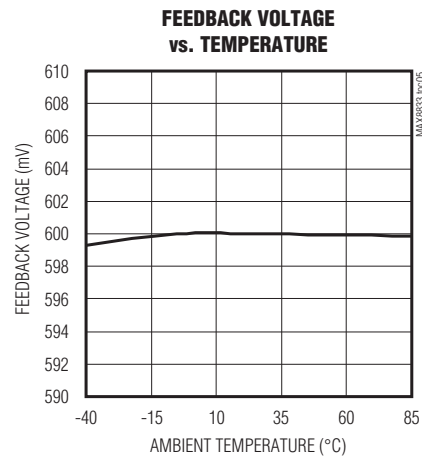
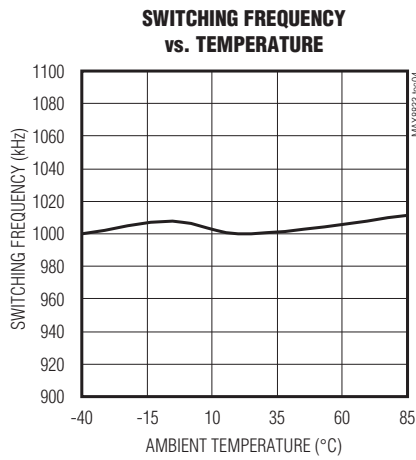


デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

標準動作特性(続き)

($V_{IN1} = V_{IN2} = 3.3V$. MAX8833, circuit of Figure 6, $T_A = +25^\circ C$, unless otherwise noted.)

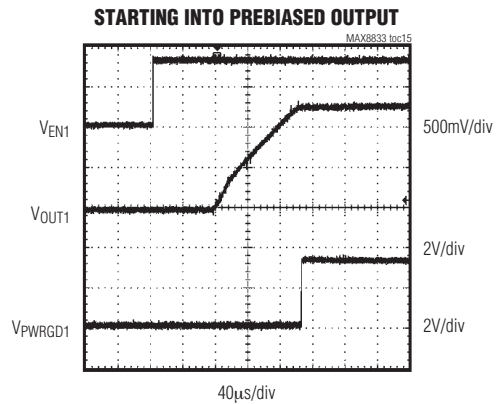
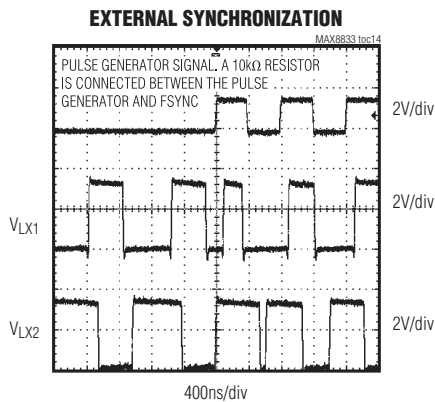
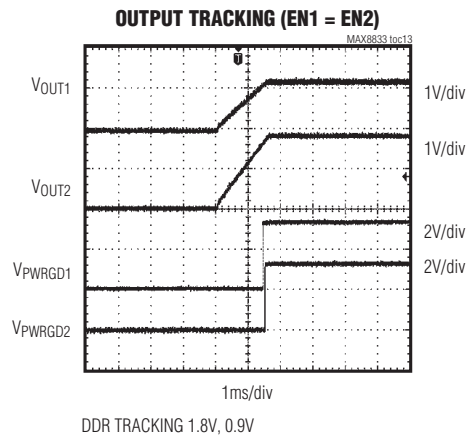
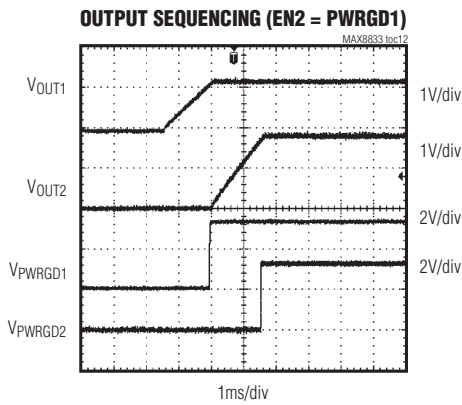
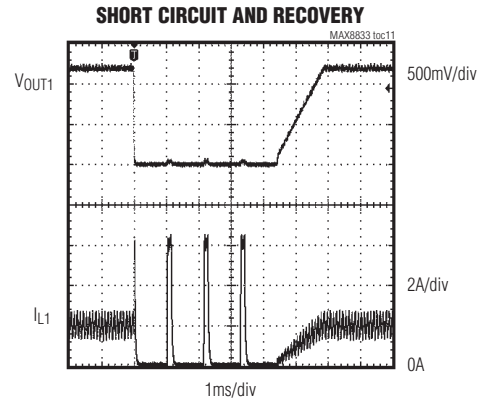
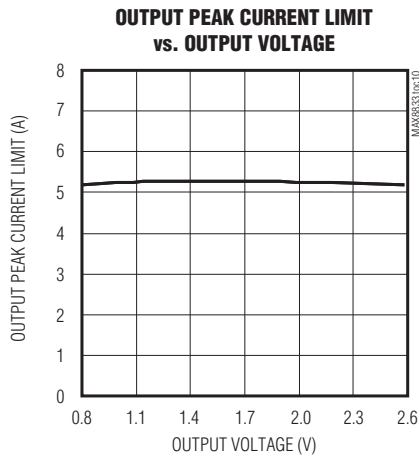


デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

標準動作特性(続き)

($V_{IN1} = V_{IN2} = 3.3V$. MAX8833, circuit of Figure 6, $T_A = +25^\circ C$, unless otherwise noted.)



デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

端子説明

端子	名称	機能
1	PWRGD1	レギュレータ1用パワーグッドのオープンドレイン出力。PWRGD1は、 $V_{REFIN} \geq 0.54V$ で $V_{FB1} \geq 0.9 \times V_{REFIN}$ のときにハイインピーダンスになります。PWRGD1は、 $V_{REFIN} < 0.54V$ 、EN1がロー、 V_{DD} またはIN1がUVLO未満、熱シャットダウンが動作中、または $V_{FB1} < 0.9 \times V_{REFIN}$ のときにローになります。
2	REFIN	レギュレータ1用の外部リファレンス入力。外部リファレンスをREFINに接続するか、REFINをSS1に接続して内部リファレンスを使用してください。REFINは、EN1がローまたはレギュレータ1が障害状態のためにシャットダウンされているときは、335Ωを通してGNDに放電されます。
3	V_{DD}	電源電圧。 V_{DD} とVDL間に10Ωの抵抗を接続し、 V_{DD} とGND間に0.1μFのコンデンサを接続してください。
4	GND	アナロググランド。GNDをアナロググランドプレーンに接続してください。アナロググランドプレーンとパワーグランドプレーンを、ICの近くの1点で相互に接続してください。
5	N.C.	接続無し
6	VDL	ローサイドのゲート駆動用の電源電圧入力。VDLをIN_または3.6V未満で最も高い利用可能な電源電圧に接続してください。VDLと電源グランドプレーン間に1μFのコンデンサを接続してください。
7	FSYNC	周波数設定および同期。4.75kΩ~20.5kΩの抵抗をFSYNCとGND間に接続してスイッチング周波数を設定するか、250kHz~2.5MHzのクロック信号で駆動してスイッチングを同期させてください。 $R_{FSYNC} = (T - 0.05\mu s) \times (10k\Omega / 0.95\mu s)$ で、Tは発振器の周期です。
8	PWRGD2	レギュレータ2用パワーグッドのオープンドレイン出力。 $V_{SS2} \geq 0.54V$ で $V_{FB2} \geq 0.9 \times V_{SS2}$ のときに、PWRGD2はハイインピーダンスになります。 $V_{SS2} < 0.54V$ 、EN2がロー、 V_{DD} またはIN2がUVLO未満、熱シャットダウンが動作中、または $V_{FB2} < 0.9 \times V_{SS2}$ のときに、PWRGD2はローになります。
9	SS2	レギュレータ2用のソフトスタート。SS2とGND間にコンデンサを接続して、ソフトスタート時間を設定してください。「ソフトスタート時間の設定」の項を参照してください。EN2がローまたはレギュレータ2が障害状態にあるときには、SS2は内部的に335Ωでローに強制されます。
10	FB2	レギュレータ2用のフィードバック入力。出力とGND間に接続する外部の抵抗分圧器の midpoint にFB2を接続し、0.6V~ V_{IN2} の90%までの出力電圧に設定してください。ICがシャットダウンのときは、FB2はハイインピーダンスになります。
11	COMP2	レギュレータ2用の補償。COMP2は、内部の電圧誤差アンプの出力です。COMP2とFB2間に外部補償回路を接続してください。「補償設計」の項を参照してください。出力がシャットダウンされると、COMP2は内部でGNDに強制されます。
12	EN2	レギュレータ2用のイネーブル入力。レギュレータ2をイネーブルするにはEN2をハイにするか、またはシャットダウンするにはローに駆動してください。常時オンの動作にするためには、EN2を V_{DD} に接続してください。
13, 14	IN2	レギュレータ2用の電源入力。電圧範囲は2.35V~3.6Vです。IN2とPGND2間に2個の10μFと1個の0.1μFのセラミックコンデンサを接続してください。
15, 16, 17	PGND2	レギュレータ2用の電源グランド。すべてのPGND_端子をパワーグランドプレーンに接続してください。パワーグランドプレーンとアナロググランドプレーンを、ICの近くの1点で相互に接続してください。
18, 19	LX2	レギュレータ2用のインダクタ接続。LX2とレギュレータ出力間にインダクタを接続してください。ICがシャットダウンされると、LX2はハイインピーダンスになります。
20	BST2	レギュレータ2用のブートストラップ接続。BST2とLX2間に0.1μFのコンデンサを接続してください。BST2は、ハイサイドゲート駆動用の電源です。BST2は、内部のpMOSスイッチによってVDLから充電されます。シャットダウンでは、LX2とBST2間およびVDLとBST2間に内部ダイオードの接続が存在します。
21	BST1	レギュレータ1用のブートストラップ接続。BST1とLX1間に0.1μFのコンデンサを接続してください。BST1は、ハイサイドゲート駆動用の電源です。BST1は、内部のpMOSスイッチによってVDLから充電されます。シャットダウンでは、LX1とBST1間およびVDLとBST1間に内部ダイオードの接続が存在します。
22, 23	LX1	レギュレータ1用のインダクタ接続。LX1とレギュレータ出力間にインダクタを接続してください。ICがシャットダウンされると、LX1はハイインピーダンスになります。
24, 25, 26	PGND1	レギュレータ1用の電源グランド。すべてのPGND_端子をパワーグランドプレーンに接続してください。パワーグランドプレーンとアナロググランドプレーンを、ICの近くの1点で相互に接続してください。

デュアル、3A、2MHzステップダウンレギュレータ

端子説明(続き)

端子	名称	機能
27, 28	IN1	レギュレータ1用の電源入力。電圧範囲は2.35V~3.6Vです。IN1とPGND1間に2個の10 μ Fと1個の0.1 μ Fのセラミックコンデンサを接続してください。
29	EN1	レギュレータ1用のイネーブル入力。レギュレータ1をイネーブルするにはEN1をハイにするか、またはシャットダウンするにはローに駆動してください。常時オンの動作には、EN1をV _{DD} に接続してください。
30	COMP1	レギュレータ1用の補償。COMP1は、内部の電圧誤差アンプの出力です。COMP1とFB1間に外部補償回路を接続してください。「補償設計」の項を参照してください。出力がシャットダウンされると、COMP1は内部でGNDに強制されます。
31	FB1	レギュレータ1用のフィードバック入力。出力とGND間に接続する外部の抵抗分圧器の midpoint にFB1を接続し、0.6VからV _{IN1} の90%までの出力電圧に設定してください。ICがシャットダウンのときは、FB1はハイインピーダンスになります。
32	SS1	レギュレータ1用のソフトスタート。SS1とGND間にコンデンサを接続してソフトスタート時間を設定してください。「ソフトスタート時間の設定」の項を参照してください。E1がディセーブル(ローに強制)される場合、またはレギュレータ1が障害状態によってシャットダウンされる場合、SS1は内部的に335 Ω の抵抗でローに強制されます。
—	EP	エクスポーズドパッド。エクスポーズドパッドを電源グラウンドプレーンに接続してください。

詳細

PWMコントローラ

コントローラロジックブロックは中央処理装置で、さまざまな入力、負荷、および温度状態に対してハイサイドMOSFETのデューティサイクルを決定します。電流制限や温度保護がトリガーされていない通常動作では、コントロールロジックブロックは、その出力をPWMコンパレータから得て、ハイサイドおよびローサイドMOSFET用の駆動信号を生成します。このブロックには、ブレークビフォーメイクロジックとブートストラップコンデンサを充電するためのタイミング回路も含まれています。電圧誤差アンプからの誤差信号は、PWMコンパレータの発振器によって生成されたランプ信号と比較され、その後、必要なPWM信号が生成されます。ハイサイドスイッチは発振器サイクルの初めにオンにされ、ランプ電圧がV_{COMP}信号を超えるか、電流制限スレッショルドを超えたときにオフします。そして、ローサイドスイッチは、発振器サイクルの残りの部分でオンにされます。2組のスイッチングレギュレータは、入力コンデンサのリプル電流要件を緩和させるために、180度位相シフトによる同じスイッチング周波数で動作します。図1にMAX8833のファンクションダイアグラムを示します。

電流制限

MAX8833は、ピーク電流制限と谷電流制限の両方を備え、確実な短絡保護が実現します。ハイサイドMOSFETがオンの間に、ドレインとソース間の電流がピーク電流制限のスレッショルド(「Electrical Characteristics (電気的特性)」の表に規定)に達すると、ハイサイドMOSFETはオフになり、ローサイドMOSFETはオンになって、電流が漸減します。次のクロックでインダクタ電流が谷電流制限を下回っている場合は、ハイサイドMOSFETはオンになります。これ以外の場合、PWMサイクルはス

キップされ、インダクタ電流の減少が続行します。インダクタ電流が12 μ sの間、谷電流制限を超えたままに留まり、FB₁が0.7 x V_{REFIN}未満のときには、レギュレータはヒカップモードに入ります。ヒカップモードの間、SS₁コンデンサはゼロまで放電され、ソフトスタートシーケンスがあらかじめ設定された期間後に始まります。

低電圧ロックアウト(UVLO)

V_{DD}の電源電圧が降下低電圧スレッショルド(標準値で1.9V)を下回ると、MAX8833は低電圧ロックアウトモード(UVLO)に入ります。入力電圧が十分に高くなってデバイスが確実に機能することが可能になるまで、UVLOはデバイスを強制的に休眠状態にします。UVLOでは、両方のレギュレータのLX_{ノード}はハイインピーダンス状態です。PWRGD1とPWRGD2は、UVLOで強制的にローにされます。V_{VDD}が上昇低電圧スレッショルド(標準値で2V)を超えて上昇すると、通常、「起動とシーケンス」の項に説明されているとおり、ICに給電されます。

また、UVLO回路により、IN1およびIN2の電源が監視されます。IN_{ノード}電圧が降下低電圧スレッショルド(標準1.9V)を下回ると、対応するレギュレータはシャットダウンし、対応するPWRGD_{ノード}はローになります。V_{IN_{ノード}}が上昇低電圧スレッショルド(標準2V)を超えると、レギュレータの電源が入ります。

パワーグッド出力(PWRGD_{ノード})

PWRGD1とPWRGD2は、対応する出力が動作していることを示すオープンドレインの出力です。

PWRGD1は、V_{REFIN} \geq 0.54VでV_{FB1} \geq 0.9 x V_{REFIN}のときにハイインピーダンスになります。PWRGD1は、V_{REFIN} < 0.54V、EN1がロー、V_{VDD}またはV_{IN1}がV_{UVLO}未満、熱過負荷保護が動作中、またはV_{FB1} < 0.9 x V_{REFIN}の場合、ローになります。

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

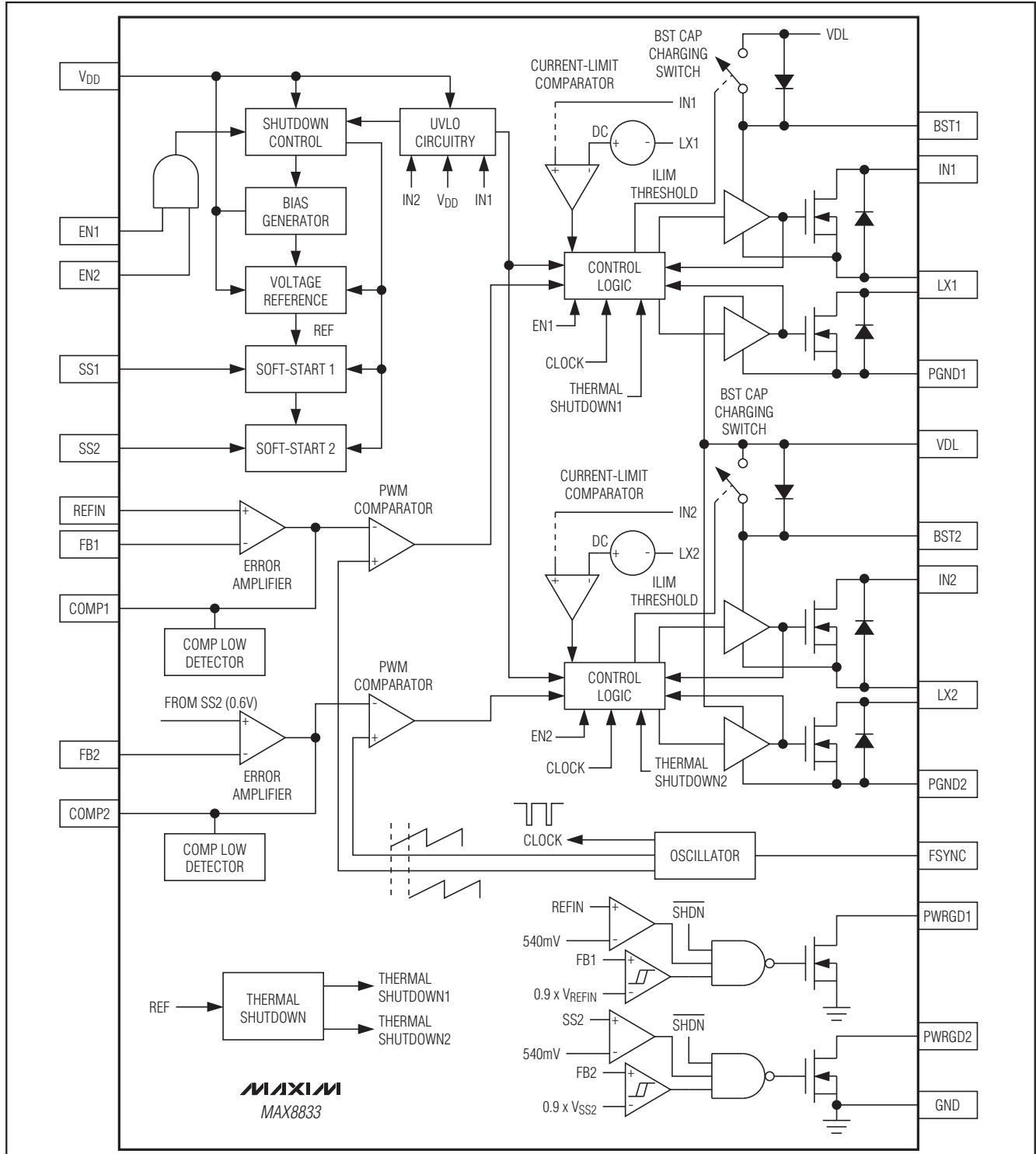


図1. ファンクションダイアグラム

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

レギュレータ2用のオープンドレイン出力のパワーグッド (PWRGD2)は、 $V_{SS2} \geq 0.54V$ で $V_{FB2} \geq 0.9 \times V_{SS2}$ のときにハイインピーダンスになります。PWRGD2は、 $V_{SS2} < 0.54V$ 、EN2がロー、 V_{VDD} または V_{IN2} が V_{UVLO} 未満、熱過負荷保護が動作中、または $V_{FB2} < 0.9 \times V_{SS2}$ の場合、ローになります。

外部リファレンス入力(REFIN)

MAX8833は、外部リファレンス入力を備えています。0~ $V_{VDD} - 1.6V$ の外部リファレンスをREFINに接続し、FB1のレギュレーション電圧を設定してください。内部の0.6Vリファレンスを用いるには、REFINをSS1に接続してください。ICがシャットダウンされると、REFINは335Ωを通じてGNDに強制されます。

起動とシーケンス

MAX8833は、2組のレギュレータ用に個別のイネーブル入力(EN1およびEN2)を装備しています。EN_をハイにすると対応するレギュレータがイネーブルになり、EN_をローにするとそのレギュレータがオフになります。EN1とEN2の両方をローにすると、ICが低電力シャットダウンモードになり、電源電流が標準値で30nAに減少します。MAX8833のレギュレータは、次の条件が満たされる(図2を参照)と起動します。

- EN_がロジックハイである。
- V_{VDD} がUVLOスレッショルドを超えている。
- V_{IN} が、UVLOスレッショルドを超えている。
- 内部リファレンスに電源が供給されている。
- ICは、熱過負荷状態($T_J < +165^{\circ}C$)ではない。

いったんこれらの条件が満たされれば、MAX8833は

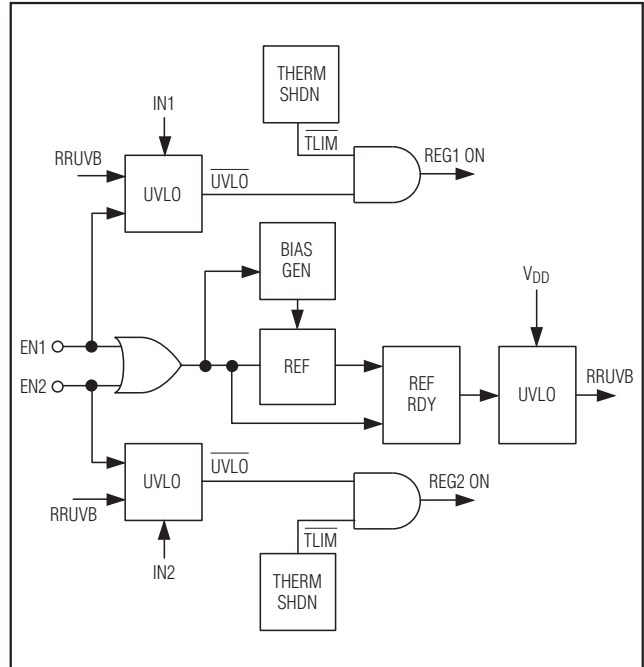


図2. 起動制御図

ソフトスタートを開始します。FB2はSS2の電圧にレギュレートされます。ソフトスタートの間、SS2コンデンサは8μAの電流源で充電され、その電圧はソフトスタート時間の間、漸増します。所望のソフトスタート時間にするためにSS2コンデンサを選択するには、「ソフトスタート時間の設定」の項を参照してください。FB1はREFINの電圧にレギュレートされます。SS1コンデンサによって独立して設定されたソフトスタート時間にするるとともに内部リファレンスを用いるには、REFINをSS1に接続してください(図3aを参照)。

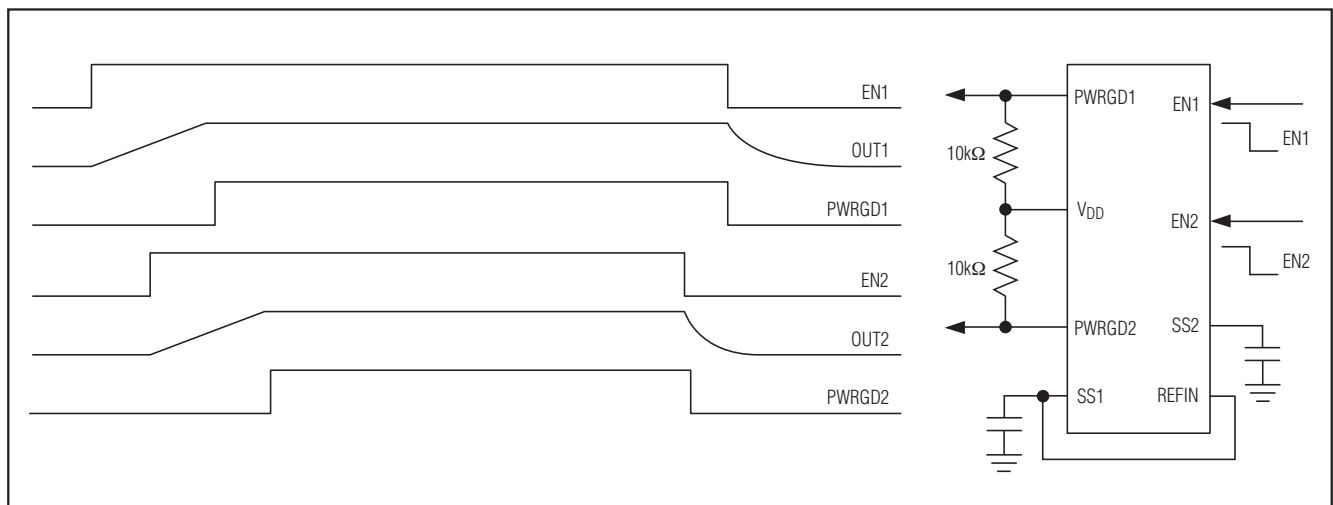


図3a. 起動とシーケンスのオプション—2つの独立した出力起動とシャットダウンの波形

デュアル、3A、2MHzステップダウンレギュレータ

レシオメトリックトラッキングのアプリケーションには、レギュレータ2の出力とGND間の分圧器の midpoint にREFINを接続してください(図3bを参照)。このアプリケーションでは、EN_入力 は相互に接続されており、1個のイネーブル入力として駆動されます。レギュレータ2は、通常のソフトスタートで起動し(C_{SS2} が時間を設定)、レギュレータ1の出力は、レシオメトリック的にレギュレータ2の出力電圧を追跡します。分圧器の抵抗は、 V_{OUT1}/V_{OUT2} の比率に設定されます(「出力電圧の設定」の項を参照)。図3bでは、 V_{OUT1} が V_{OUT2}

の半分にレギュレートされます。安定化のために、1000pFの容量値をSS1に接続する必要があります。ご注意ください。

図3cは、外部リファレンスを使用する出力シーケンスのアプリケーションを示しています。

シーケンスは、EN2をPWRGD1に接続することによって行われます。このモードでは、レギュレータ1がレギュレーションに達した後レギュレータ2がスタートします。

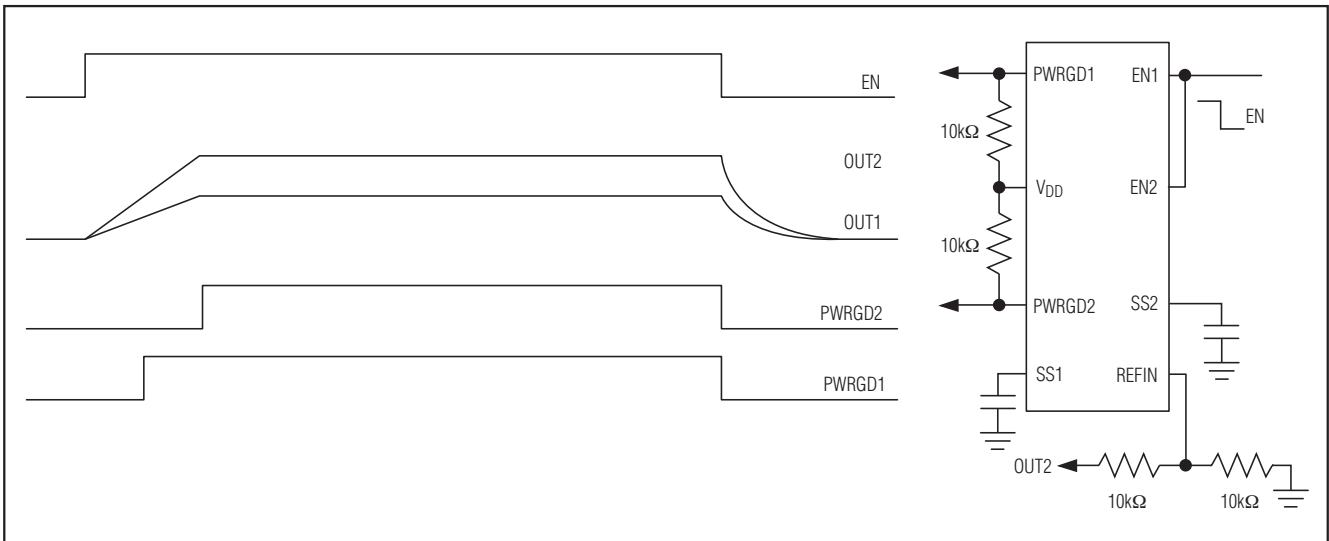


図3b. 起動とシーケンスのオプション—レシオメトリックトラッキングの起動とシャットダウンの波形、 V_{OUT1} が V_{OUT2} を追跡

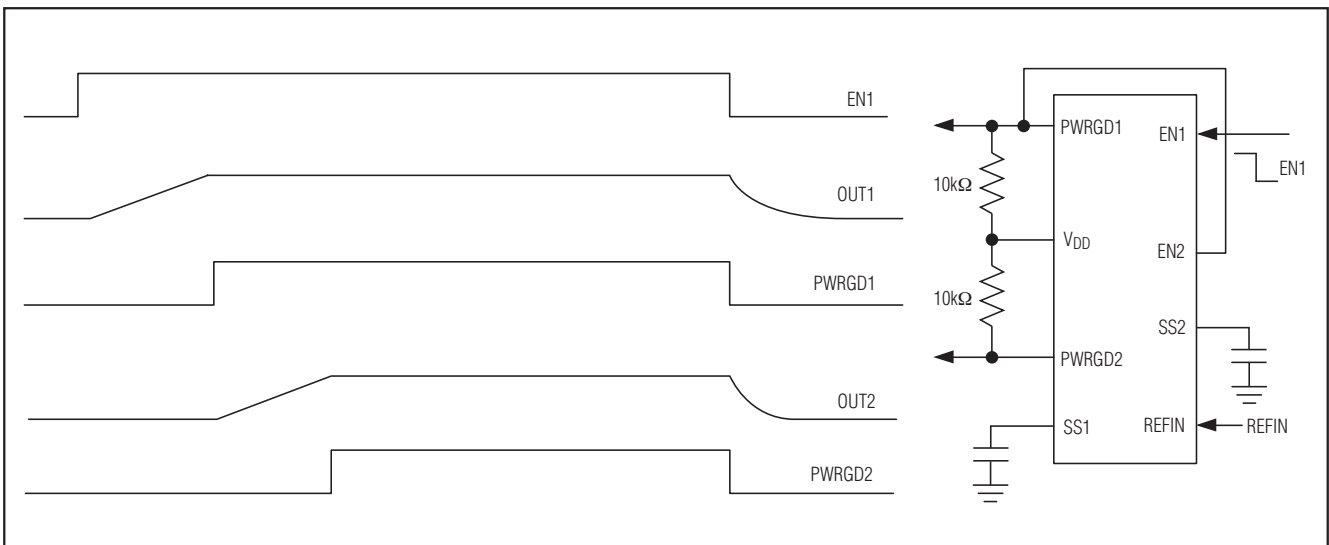


図3c. 起動とシーケンスのオプション—外部リファレンスの場合のシーケンス起動とシャットダウンの波形

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

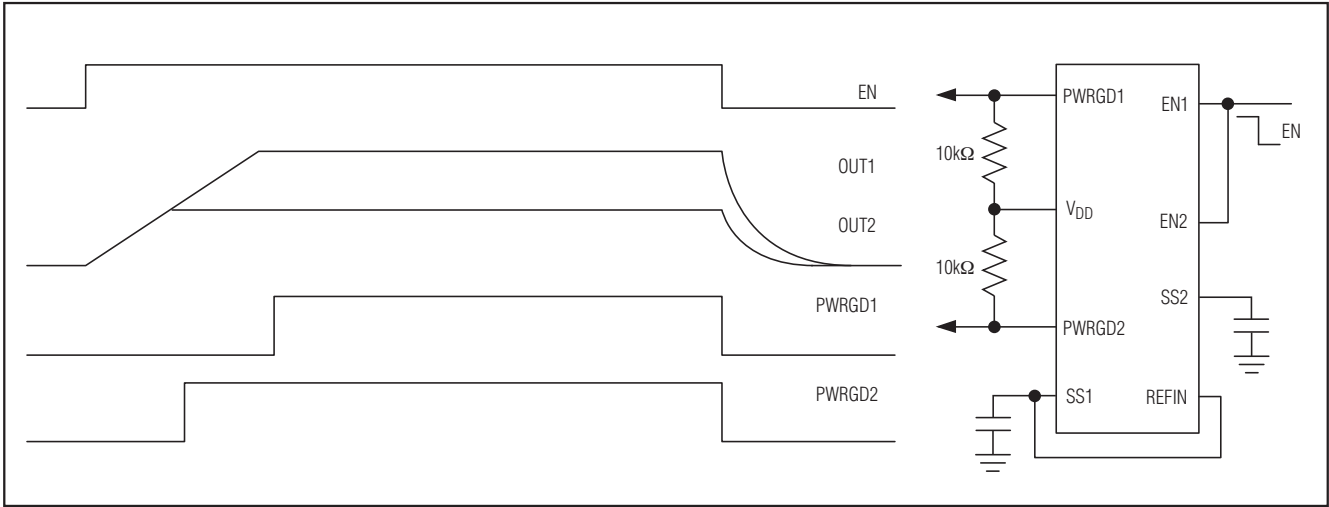


図3d. 起動とシーケンスのオプション—内部リファレンスの場合の出力電圧の起動スロープの整合

図3dでは、EN1とEN2は相互に接続されており、1つの入力として駆動されます。両出力が同時に漸増し始めますが、スロープのマッチングはSS_コンデンサの選択によります。SS_コンデンサの選択に関する情報については、「ソフトスタート時間の設定」の項を参照してください。図3dでは、ソフトスタートの間の出力電圧のスロープは等しくなります。これは、ソフトスタートコンデンサの比率を出力電圧の比率と等しくすることによって達成されます。

$$\frac{C_{SS1}}{C_{SS2}} = \frac{V_{OUT1}}{V_{OUT2}}$$

同期(FSYNC)

MAX8833は、内部発振器または外部供給クロックのいずれかを使用して500kHz~2MHzまで動作します。「スイッチング周波数の設定」の項を参照してください。

熱過負荷保護

熱過負荷保護は、MAX8833の総合電力消費を制限します。内部の熱センサは、各レギュレータでジャンクション温度を監視します。ジャンクション温度が+165℃を超えると、対応するレギュレータはシャットダウンされ、ICが冷却されます。ジャンクション温度が+20℃だけ下がった後、熱センサはレギュレータをオンにします。連続的な熱過負荷条件においては、これはパルス化された出力になります。

設計手順

出力電圧の設定

レギュレータ1の出力電圧(REFINがSS1に接続された場合)およびレギュレータ2の出力は、図4に示されているように、出力からFB_とGND間に接続された抵抗分圧器によって設定されます。出力からFB_に接続されている抵抗(図4のR4)の値を2kΩ~10kΩの間に選んでください。FB_からGNDに接続されている抵抗(図4のR6)の値を決定するには、次式を使用してください。

$$R6 = \frac{0.6}{(V_{OUT_} - 0.6)} \times R4$$

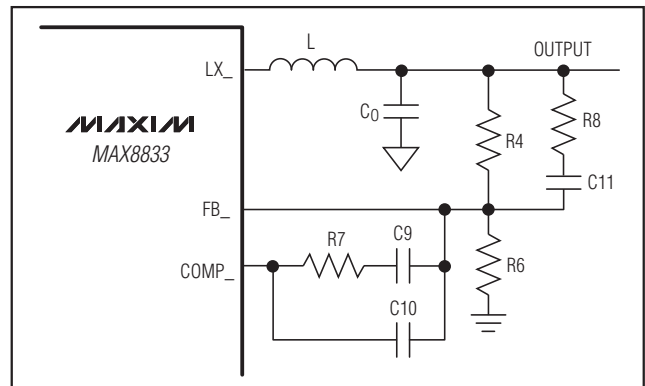


図4. タイプIIIの補償回路

デュアル、3A、2MHzステップダウンレギュレータ

図7のようなDDRトラッキングのアプリケーションでは、FB1のレギュレーション電圧はREFINの電圧を追跡します。図7では、レギュレータ1の出力はV_{OUT2}を追跡し、出力電圧の比率は次のように設定されます。

$$\frac{V_{OUT1}}{V_{OUT2}} = \frac{R19}{R1 + R19}$$

スイッチング周波数の設定

MAX8833は、可変の内部発振器を備えており、これは500kHz~2MHzの周波数に設定することができます。スイッチング周波数を設定するには、FSYNCとGND間に抵抗を接続してください。次式から抵抗値を計算してください。

$$R_{FSYNC} = \left(\frac{1}{f_s} - 50\text{ns} \right) \left(\frac{10\text{k}\Omega}{950\text{ns}} \right)$$

また、MAX8833は、10kΩのアイソレーション抵抗を通してクロック信号をFSYNCに接続すると、500kHz~2MHzの外部クロックに同期させることができます。外部からの同期周波数は、R_{FSYNC}によって生成される周波数より高くする必要があります。2組のレギュレータはFSYNCクロックと同じ周波数でスイッチし、それぞれが180度の逆位相になります。外部クロックのデューティサイクルを10%~90%の範囲にすると180度の位相差動作になることが保証されます。

ソフトスタート時間の設定

2組のステップダウンレギュレータは、独立した調整可能なソフトスタート時間を持っています。SS_{_}とGND間のコンデンサは、8μA (typ)の定電流源によりフィードバックレギュレーション電圧まで充電されます。ソフトスタートコンデンサの値は、次のように所望のソフトスタート時間から計算することができます。

$$C_{SS_} = t_{SS} \times \left(\frac{8\mu\text{A}}{0.6\text{V}} \right)$$

インダクタの選択

インダクタを決定する場合は、最大入力電圧、出力電圧、負荷電流、スイッチング周波数、およびLIRなど検討を要するいくつかのパラメータがあります。LIRは、インダクタの電流リップルのDC負荷電流に対する比率です。LIR値を大きくすると、小さなインダクタの使用が可能ですが、結果的に大きな損失や大きな出力リップルを生じてしまいます。他方、インダクタ値を大きくすると効率が上がりますが、ついには巻数の増加による抵抗性損失が、低いAC電流レベルから得られる利益を超えてしまいます。

サイズおよび効率間の良い妥協点は、30%のLIRです。サイズおよび過渡応答が重要なアプリケーションでは、40%から50%程度のLIRを推薦します。全てのパラメータが選択されると、インダクタ値は次式で決定されます。

$$L = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{f_s \times V_{IN} \times LIR \times I_{OUT(MAX)}}$$

ここで、f_sはスイッチング周波数です。計算された値に近い標準値を選択してください。正確なインダクタ値は重要ではなく、サイズ、コスト、および効率の間でトレードオフを行って調整することができます。割り当てられた寸法に収まる可能な限り最も低いDC抵抗を持つ低損失インダクタを選んでください。ピークインダクタ電流は、次のように決定されます。

$$I_{PEAK} = \left(1 + \frac{LIR}{2} \right) \times I_{OUT(MAX)}$$

I_{PEAK}は、選ばれたインダクタの飽和電流定格、またはMAX8833の最小電流限界仕様を超えないようにしてください。

入力コンデンサの選択

各レギュレータ用の入力コンデンサは、入力電源から引き出されるピーク電流を減少させるのに役立ち、IC内のスイッチングノイズを減少させます。各電源の総入力容量値は、仕様内に入力電圧リップルを抑え、入力ソースにフィードバックされる高周波リップル電流を最小限にするために、次式で与えられた値以上とする必要があります。

$$C_{IN_MIN_} = \frac{D_ \times I_{OUT_}}{f_{SW} \times V_{IN_RIPPLE_}}$$

ここで、Dは静止デューティサイクル(V_{OUT_{_}}/V_{IN_{_}})、f_{SW}はスイッチング周波数、およびV_{IN_{_}RIPPLE_{_}}は、最小のDC入力電圧の2%よりも小さくなくてはならないピークトゥピークの入力電圧リップルです。

スイッチング周波数における入力コンデンサのインピーダンスは、高周波スイッチング電流が入力ソースではなく、入力コンデンサに流れるように、入力ソースのインピーダンスよりも小さくする必要があります。ソースインピーダンスが大きいと、大きな入力容量を必要とします。入力コンデンサは、スイッチング電流によって発生するリップル電流の要件を満たす必要があります。RMS入力リップル電流のI_{RIPPLE_{_}}は、次式で与えられます。

$$I_{RIPPLE_} = I_{OUT_} \times \sqrt{D_ \times (1 - D_)}$$

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

出力コンデンサの選択

出力コンデンサの重要な選択パラメータは、容量値、ESR、ESL、および定格電圧要件です。これらは、全体の安定性、出力リップル電圧、およびDC-DCコンバータの過渡応答に影響を及ぼします。出力リップルは、出力コンデンサに充電される電荷の変化、コンデンサのESRによる電圧低下、およびコンデンサのESLによる電圧低下によって発生します。出力容量値、ESR、およびESLによる出力電圧リップルを次式で計算してください。

$$V_{\text{RIPPLE}} = V_{\text{RIPPLE(C)}} + V_{\text{RIPPLE(ESR)}} + V_{\text{RIPPLE(ESL)}}$$

ここで、出力容量値、ESR、およびESLによる出力リップルは：

$$V_{\text{RIPPLE(C)}} = \frac{I_{\text{P-P}}}{8 \times C_{\text{OUT}} \times f_{\text{S}}}$$

$$V_{\text{RIPPLE(ESR)}} = I_{\text{P-P}} \times \text{ESR}$$

$$V_{\text{RIPPLE(ESL)}} = \frac{I_{\text{P-P}}}{t_{\text{ON}}} \times \text{ESL}$$

あるいは、

$$V_{\text{RIPPLE(ESL)}} = \frac{I_{\text{P-P}}}{t_{\text{OFF}}} \times \text{ESL}$$

の、いずれか大きい方になります。

前述のリップル電圧成分が代数的にではなくベクトル的に加えられることに注目する必要があります。したがって、 V_{RIPPLE} を控えめな推定値にしています。

ピークインダクタ電流($I_{\text{P-P}}$)は、以下のとおりです。

$$I_{\text{P-P}} = \frac{V_{\text{IN}} - V_{\text{OUT}}}{f_{\text{S}} \times L} \times \frac{V_{\text{OUT}}}{V_{\text{IN}}}$$

はじめてコンデンサを選択する場合は、これらの式を使用してください。そして、プロトタイプまたは評価回路を試験して最終値を決定してください。リップル電流が小さいほど、小さな出力電圧リップルとなります。インダクタのリップル電流はインダクタ値の関数であり、出力電圧リップルは大きなインダクタンスほど減少します。セラミックコンデンサを使用して、コンバータのスイッチング周波数で低ESRおよび低ESLになるようにしてください。セラミックコンデンサのESLは小さいため、ESLによるリップル電圧は無視することができます。

負荷過渡応答は、選択された出力容量値によって変わります。負荷過渡の間は、レギュレータの出力は、 $\text{ESR} \times \Delta I_{\text{LOAD}}$ だけ即座に変化します。コントローラが応答することができる前に、インダクタおよび出力コン

デンサの値に応じて、出力はさらに大きく変化します。短時間後、コントローラは、あらかじめ決められた値まで出力電圧をレギュレートして戻すことによって応答します。コントローラの応答時間は、閉ループ帯域幅によって決まります。帯域幅が広いほど速い応答時間になり、出力がレギュレートされる値から大きく離れることが防止されます。詳細については、「補償設計」および「プリバイアス出力への安全な立上り」の項を参照してください。

補償設計

電力段の伝達関数は、1個のダブルポールと1個のゼロからなります。ダブルポールは、インダクタ L と出力フィルタコンデンサ C_{O} によって作られます。出力フィルタコンデンサのESRがゼロを決定します。ダブルポールおよびゼロの周波数は、次式で与えられます。

$$f_{\text{P1_LC}} = f_{\text{P2_LC}} = \frac{1}{2\pi \times \sqrt{L \times C_{\text{O}} \times \left(\frac{R_{\text{O}} + \text{ESR}}{R_{\text{O}} + R_{\text{L}}} \right)}}$$

$$f_{\text{Z_ESR}} = \frac{1}{2\pi \times \text{ESR} \times C_{\text{O}}}$$

ここで、 R_{L} は、出力インダクタのDC抵抗と内部スイッチの抵抗 $R_{\text{DS(ON)}}$ の合計に等しくなります。 $R_{\text{DS(ON)}}$ の標準的な値は35mΩです。 R_{O} は出力負荷抵抗で、これは定格出力電圧を定格出力電流で除算した値に等しくなります。ESRは、出力フィルタコンデンサのESRの和です。2個以上の同じタイプのコンデンサを並列にした出力コンデンサの場合は、上述の式のESRの値は1個の出力コンデンサのESRを出力コンデンサの合計数で除算した値に等しくなります。

MAX8833の高速スイッチング周波数の範囲では、出力にセラミックコンデンサを使用することが可能です。一般的に、セラミックコンデンサのESRは非常に小さいため、対応する伝達関数のゼロ周波数はユニティゲインクロスオーバー周波数の f_{C} よりも高くなり、ゼロは出力フィルタのインダクタとコンデンサで形成されるダブルポールの補償に使うことはできません。ダブルポールは、40dB/桁の利得減少と180°/桁の位相シフトを作り出します。安定した広帯域幅の閉ループシステムを達成するためには、誤差アンプはこの利得減少と位相シフトを補償しなければなりません。したがって、図4に示すようなタイプIIIの補償を使用してください。タイプIIIの補償方法は、最初のポールの $f_{\text{P1_EA}}$ がゼロ周波数(DC)に存在している3つのポールと2つのゼロを持ちます。タイプIII補償のその他のポールとゼロの位置は、次式で与えられます。

デュアル、3A、2MHzステップダウンレギュレータ

$$f_{z1_EA} = \frac{1}{2\pi \times R7 \times C9}$$

$$f_{z2_EA} = \frac{1}{2\pi \times R4 \times C11}$$

$$f_{p2_EA} = \frac{1}{2\pi \times R7 \times C10}$$

$$f_{p3_EA} = \frac{1}{2\pi \times R8 \times C11}$$

これらの式はC9 >> C10、およびR4 >> R8を前提としていますが、これはほとんどのアプリケーションに当てはまります。これらのポールとゼロの配置は、ダブルポールの周波数と電力段の伝達関数のESRゼロによって決定されます。それはまた、所望の閉ループ帯域の関数でもあります。図5は、タイプIIIの補償設計においてポールゼロの相殺を示します。

次の項は、必要な補償部品を計算するためのステップバイステップの設計手順の概要を示します。「出力電圧の設定」の項に説明されているように、所望の出力電圧を設定することから始めます。

ゼロクロス周波数 f_c (すなわちレギュレータの閉ループ、ユニティゲイン帯域幅)は、スイッチング周波数 f_s の10%~20%としてください。ゼロクロス周波数を高くすると、より速い過渡応答となります。高すぎるゼロクロス周波

数は、動作不安定を起こしてしまいます。 f_c が選ばれた後は、次式からC9 (ファラッドで)を計算してください。

$$C9 = \frac{2.5 \times V_{IN}}{2\pi \times f_c \times R4 \times \left(1 + \frac{R_L}{R_O}\right)}$$

ここで、 V_{IN} はボルトで示される入力電圧で、 f_c はヘルツで示されるゼロクロス周波数、 $R4$ は上側のフィードバック抵抗(オーム値)、 R_L はインダクタの抵抗値と内部のスイッチオン抵抗値の合計、そして R_O は出力負荷抵抗(V_{OUT}/I_{OUT})です。

出力LC回路のダブルポールが低制動特性を持つため、十分な進み位相を持たせるためには、2つのタイプIII補償のゼロ周波数をこのLCのダブルポール周波数を下回るように設定してください。2つのゼロ周波数は、LC回路のダブルポール周波数の80%に設定してください。したがって次のようになります。

$$R7 = \frac{1}{0.8 \times C9} \times \sqrt{\frac{L \times C_O \times (R_O + ESR)}{R_L + R_O}}$$

$$C11 = \frac{1}{0.8 \times R4} \times \sqrt{\frac{L \times C_O \times (R_O + ESR)}{R_L + R_O}}$$

3番目の補償ポール f_{p3_EA} を f_{z_ESR} に設定すると、次のようになります。

$$R8 = \frac{C_O \times ESR}{C11}$$

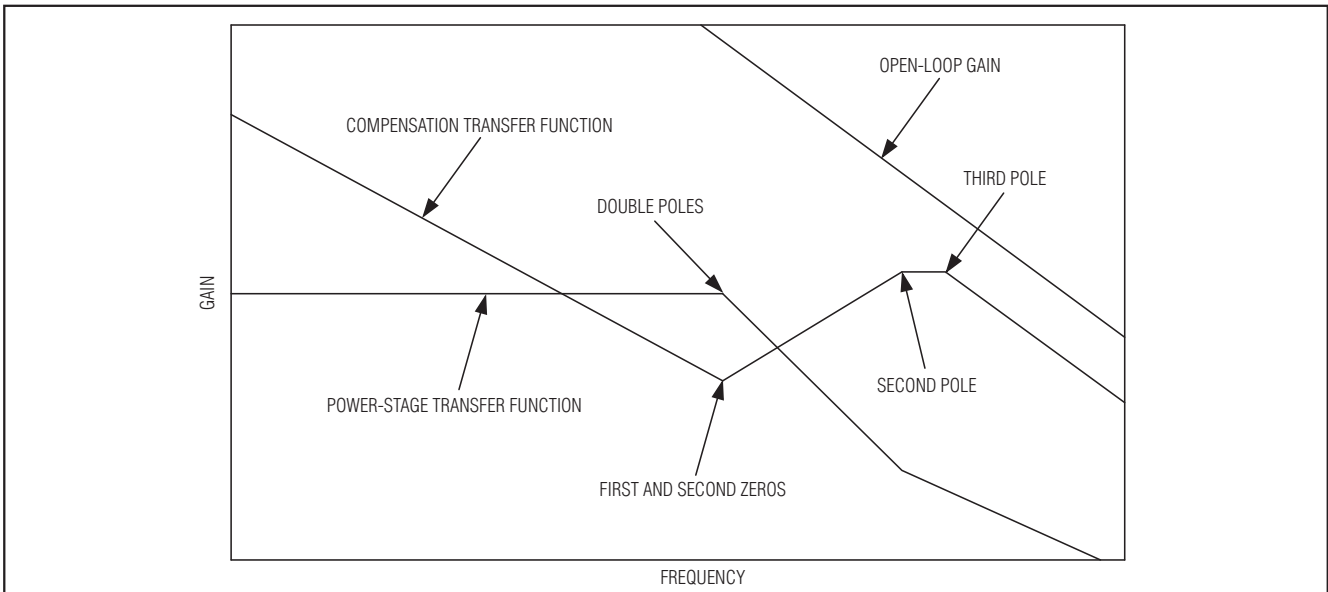


図5. 補償設計におけるポールとゼロの相殺

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

2番目の補償ポールをスイッチング周波数の1/2に設定してください。C10は次のように計算してください。

$$C10 = \frac{1}{\pi \times R7 \times f_S}$$

R4の推奨範囲は2kΩ~10kΩです。異なる出力の設定用にR6の抵抗値のみが変更される場合には、ループ補償が変化しないように注意してください。

プリバイアス出力への安全な立上り

MAX8833は、出力コンデンサを放電させることなくプリバイアスされた出力まで安全に起動することができます。この種類の動作はモニタリング起動とも呼ばれています。ただし、安全な立上りの際に出力電圧のグリッチが発生しないようにするために、ソフトスタート期間の終わりにインダクタ電流を必ず連続導通モードにしてください。これは以下の式を満足することによって実現します。

$$C_O \times \frac{V_O}{t_{SS}} \geq \frac{I_{P-P}}{2}$$

ここで、 C_O は出力コンデンサ、 V_O は出力電圧、 t_{SS} はソフトスタートコンデンサ C_{SS} で設定されるソフトスタート時間、 I_{P-P} はピークインダクタリップル電流(「出力コンデンサの選択」の項で定義済み)です。アプリケーションによっては選択をする上でこれらのパラメータが他のパラメータよりも優先される場合があります。上記パラメータの選択例として、「標準動作特性」の項の中のStarting into Prebiased Output (プリバイアス出力への立上り)の波形を参照してください。

アプリケーション情報

PCBレイアウトのガイドライン

低スイッチング損失でノイズのない安定した動作を得るためには、注意深いPCBのレイアウトが重要です。スイッチングパワー段は、特別な注意を必要とします。最適な性能を得るためには、MAX8833のEVキットのレイアウトをそのまま使用することを大いに推奨します。変更が必要な場合は、優れたPCBレイアウトとするために、次のガイドラインに従ってください。

- 多層PCBの使用を推奨します。ノイズ結合を最小限にするために、内層グランド(および電源)を使用してください。
- 入力のカップリングセラミックコンデンサは、IN_およびPGND_間にじかにできるだけ近くに配置してください。これは、大きなスイッチング電流を小さなループ内に閉じ込めておく効果があります。
- IN_とPGND_を大きな銅面積に別々に接続してICの冷却を補助し、効率の改善と長期の信頼性を向上させてください。
- 入力、出力、およびVDLコンデンサをパワーグランドプレーン(PGND_)に接続してください。
- スwitching電流の経路を短くして、LX_、出力コンデンサ(複数)、および入力コンデンサ(複数)によって形成されるループ面積を最小にしてください。
- できる限りIC端子の近傍にカップリングコンデンサを配置し、他のすべてのグランドに接続されるコンデンサ、抵抗、および受動部品をリファレンスまたはアナロググランドプレーン(GND)に接続してください。
- 1点の共通接続点(標準的には C_{IN} のカソード)を使用して、パワープレーンとアナロググランドプレーンを分離してください。
- エキスポーズドパッドをアナロググランドプレーンに接続し、デバイスの冷却に役立つ十分な銅面積となるようにしてください。エキスポーズドパッドをPGND_とGND間の接続点として使用する場合には、最上面レイヤでPGND_端子とパワーグランドプレーンをエキスポーズドパッドに接続するよりも、分割された複数のビアを使ってPGND_端子をパワーグランドプレーンと接続して、大きな電流がエキスポーズドパッドを通して流れるのを回避してください。
- フィードバックと補償ノードの配線には、大きなdV/dtノード(LX_)および大電流経路の近くに配線しないように注意してください。フィードバックと補償用の部品は、できる限りIC端子の近くに配置してください。
- レイアウト例としてMAX8833のEVキットを参照してください。

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

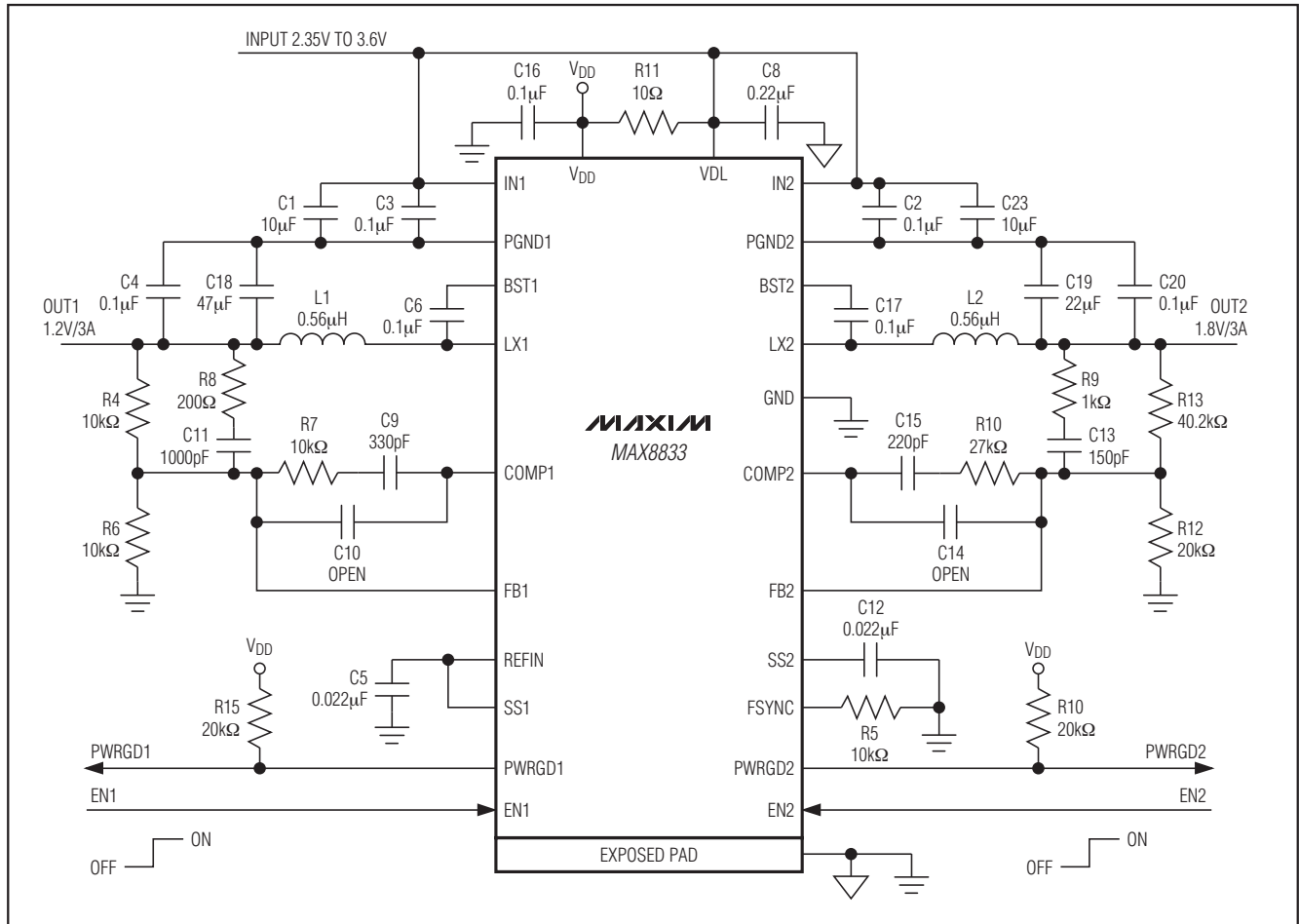


図6. 1MHzの標準アプリケーション回路

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

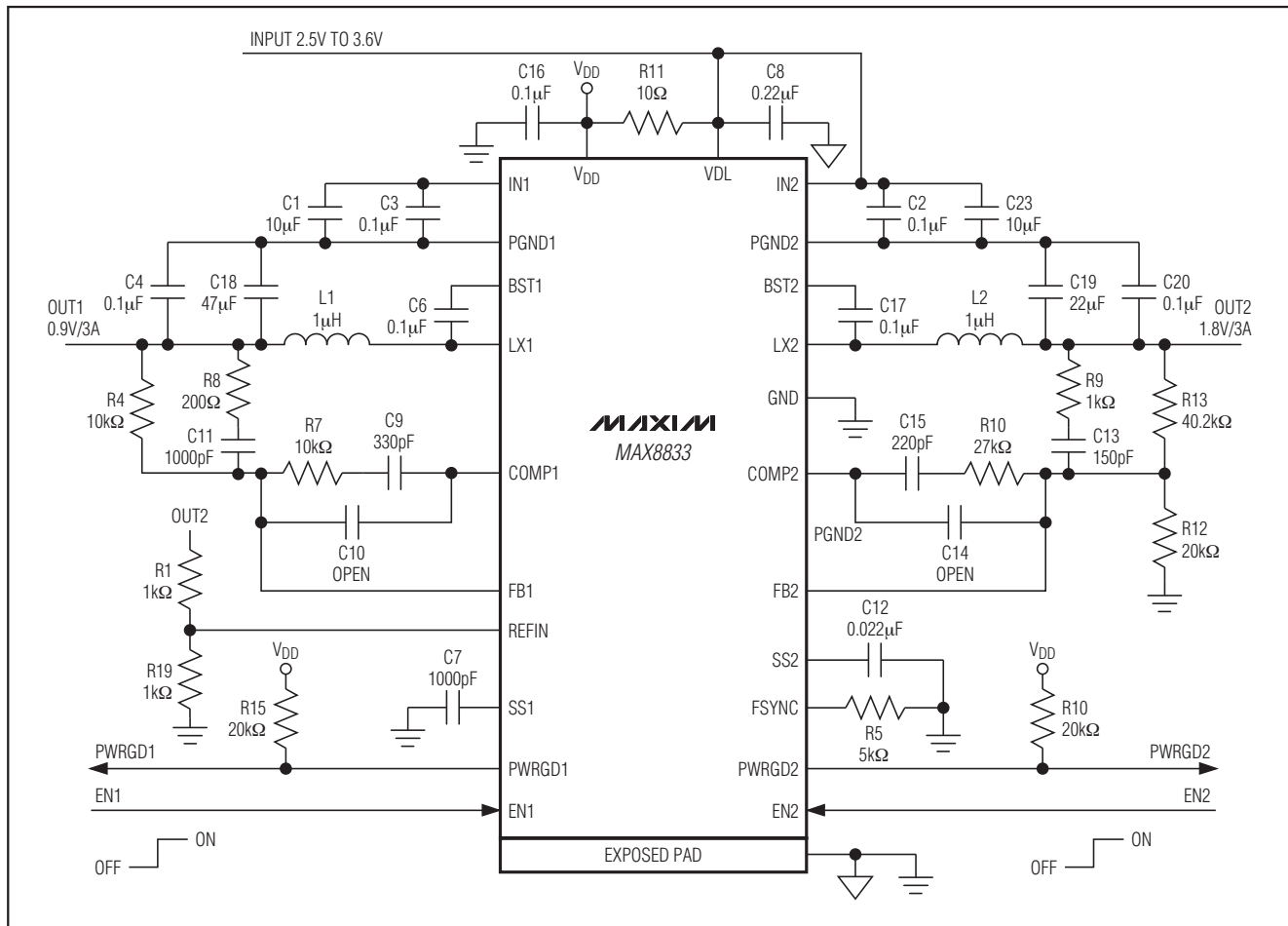
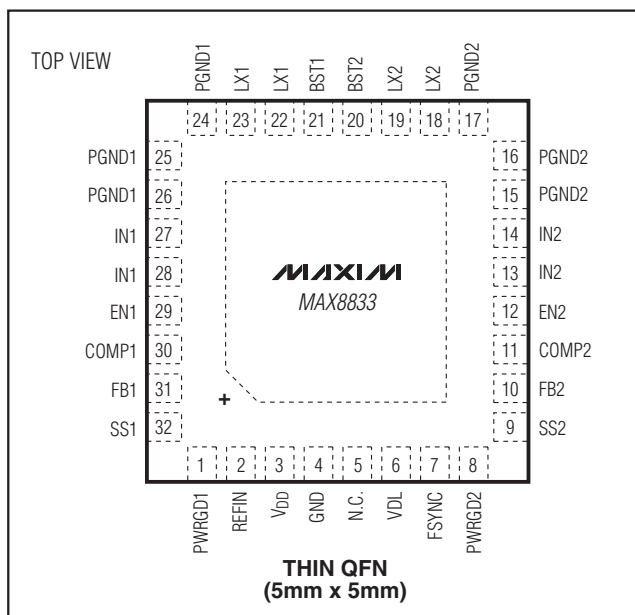


図7. DDRトラッキングのアプリケーション回路

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

ピン配置



チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
TQFN-EP	T3255-4	21-0140

デュアル、3A、2MHzステップダウンレギュレータ

MAX8833

改訂履歴

版数	改訂日	説明	改訂ページ
0	8/07	初版	—
1	6/08	「特長」の項を改訂し、図6を訂正	1, 17
2	4/09	「特長」、「標準動作特性」、および「出力コンデンサの選択」の項を改訂。 「プリバイアス出力への安全な立上り」の項を追加	1, 6, 14, 16

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**