

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

概要

MAX8563/MAX8564は超低出力デュアル及びトリプルLDOコントローラで、マザーボード、デスクノート、ノートブックなどのアプリケーションでフレキシブルな低コストのポイントオプロード電圧変換を実現します。

両製品は精度±1%の0.5Vのリファレンス電圧を備え、出力電圧を厳密にレギュレーションします。MAX8563は3つのnチャネルMOSFETコントローラ出力、MAX8564は2つのコントローラ出力を装備しています。

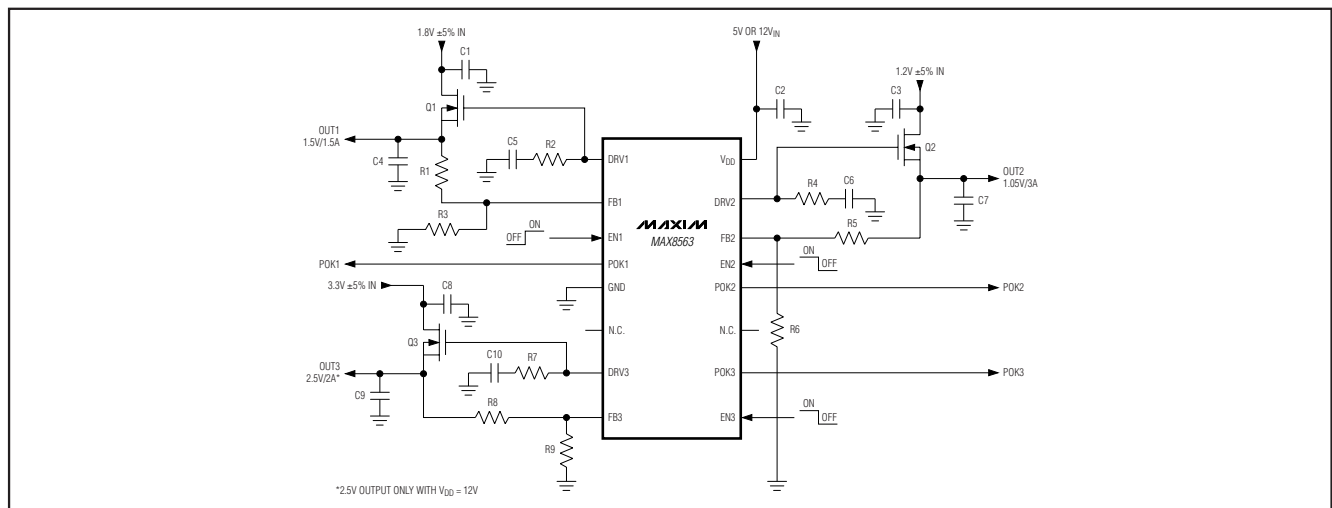
各コントローラ出力は、 $V_{DD} = 12V$ の場合は0.5V~3.3Vに、 $V_{DD}=5V$ の場合は0.5V~1.8Vに調整可能です。各出力は個別にイネーブルされ、出力が設定値の94%に達するとPOK信号をアサートします。出力が50 μ s間以上、設定電圧の80%以下に降下すると、出力をディセーブルする低電圧コンパレータによって、各出力はソフト短絡状態から保護されます。破局的な短絡状態の場合は、出力が設定電圧の60%を下回るとレギュレータが即時シャットダウンされます。

MAX8563は16ピンQSOPパッケージで、MAX8564は10ピン μ MAX[®]パッケージで提供されます。

アプリケーション

- マザーボード
- デュアル/トリプル電源
- デスクノート及びノートブック
- グラフィックカード
- 超低ドロップアウト電圧レギュレータ
- 低電圧DSP、 μ P、及びマイクロコントローラ電源

標準動作回路



特長

- ◆ MAX8563：3つの出力
- ◆ MAX8564：2つの出力
- ◆ ±1%精度のフィードバックレギュレーション
- ◆ 可変出力最低電圧：0.5V
- ◆ セラミック出力コンデンサを使用可能
- ◆ 広い電源電圧範囲によって5Vまたは12Vレールの動作を実現
- ◆ 独立したイネーブル制御とPOK信号によってシーケンシングを実現
- ◆ ソフト短絡状態に対して過負荷保護
- ◆ 低電圧短絡保護
- ◆ nチャネルMOSFETを駆動

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX8563EEE	-40°C to +85°C	16 QSOP
MAX8564EUB	-40°C to +85°C	10 μ MAX

ピン配置はデータシートの最後に記載されています。

μ MAXはMaxim Integrated Products, Inc.の登録商標です。

±1%、超低出力電圧、デュアル及び トリプルリニアn-FETコントローラ

MAX8563/MAX8564

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +14V
DRV1, DRV2, DRV3, EN1, EN2, EN3 to GND	-0.3V to (V _{DD} + 0.3V)
FB1, FB2, FB3, POK1, POK2, POK3 to GND	-0.3V to +6V
Continuous Power Dissipation (T _A = +70°C)	
10-Pin μ MAX (derate 5.6mW/°C above +70°C)	444.4mW
16-Pin QSOP (derate 8.3mW/°C above +70°C)	666.7mW

Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{EN1} = V_{EN2} = V_{EN3} = 5V, V_{GND} = 0V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL					
V _{DD} Voltage Range		4.5		13.2	V
V _{DD} Undervoltage-Lockout Threshold	Rising, 200mV hysteresis (typ)	3.56	3.76	4.00	V
V _{DD} Quiescent Current	V _{EN_} = V _{DD} = 12V (MAX8563)		930	1600	μ A
	V _{EN_} = V _{DD} = 12V (MAX8564)		660	1200	
V _{DD} Shutdown Current	EN1 = EN2 = EN3 = GND, V _{DD} = 12V			25	μ A
LDOs					
FB_ Accuracy	T _A = 0°C to +85°C	0.494	0.5	0.504	V
	T _A = -40°C to +85°C	0.489		0.509	
FB_ Input Bias Current	T _A = +25°C	-100		+100	nA
	T _A = +85°C		-8		
DRV_ Soft-Start Charging Current			100		μ A
DRV_ Max Sourcing Current	V _{FB_} = 0.45V	T _A = 0°C to +85°C	4		mA
		T _A = -40°C to +85°C	3	7	
DRV_ Max Sinking Current	V _{FB_} = 0.6V	T _A = 0°C to +85°C	3		mA
		T _A = -40°C to +85°C	1.8	7	
DRV_ Max Voltage	V _{DD} = 5V, V _{FB_} = 0.46V	4.7			V
	V _{DD} = 13.2V, V _{FB_} = 0.46V	8.0		10.9	
FB_ Slow Short-Circuit Threshold	Measured at FB_ (falling)		400		mV
FB_ Fast Short-Circuit Threshold	Measured at FB_ (falling)		300		mV
Slow Short-Circuit Timer			50		μ s
FB_ to DRV_ Transconductance		0.115	0.24	0.460	Mho
LOGIC					
EN_ Input Low Level				0.7	V
EN_ Input High Level		1.3			V
EN_ Input Leakage Current	V _{EN_} = 0 and V _{DD} , V _{DD} = 13.2V	T _A = +25°C	-0.1	+0.1	μ A
		T _A = +85°C		0.001	

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

ELECTRICAL CHARACTERISTICS (continued)

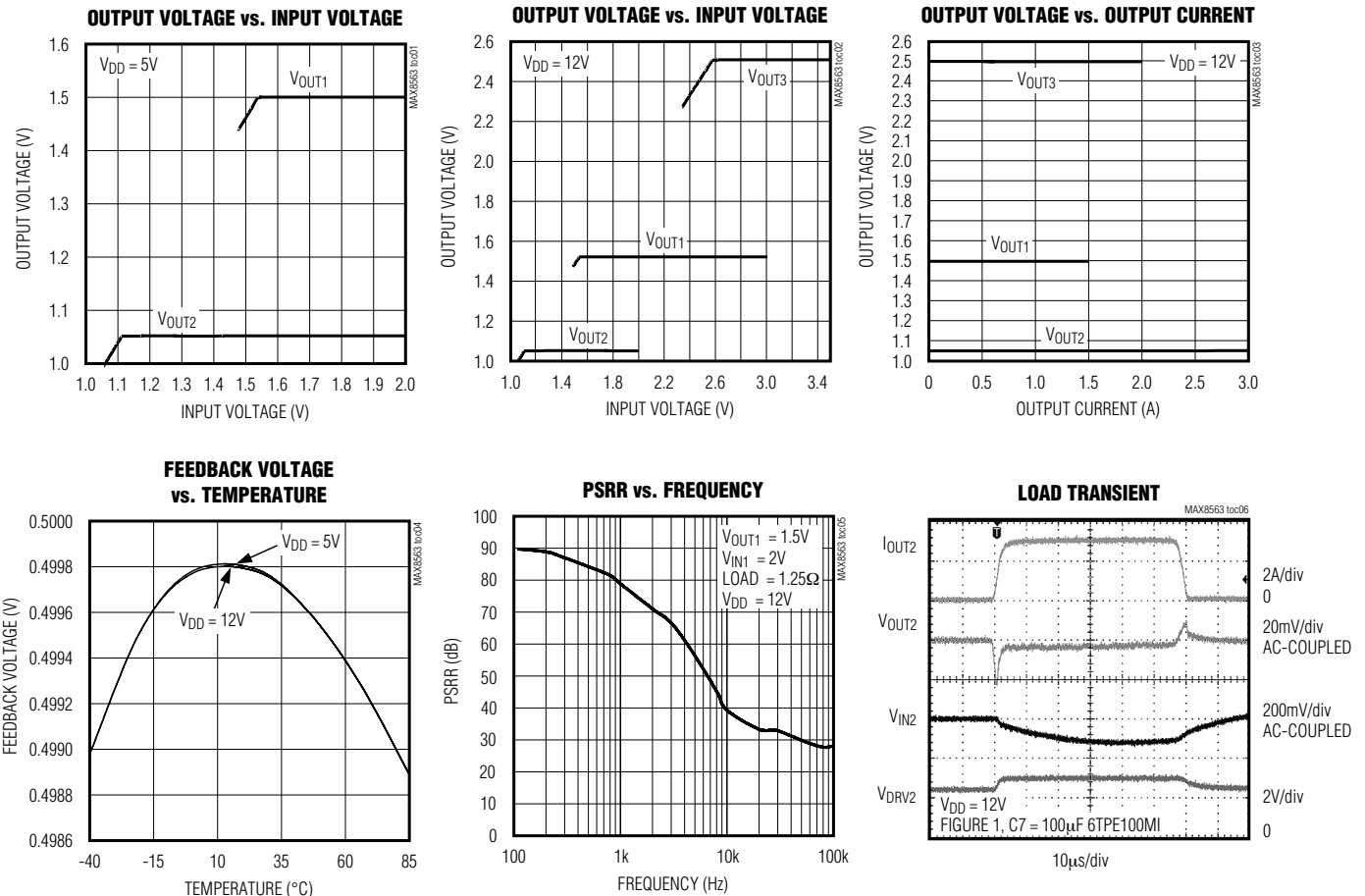
($V_{DD} = V_{EN1} = V_{EN2} = V_{EN3} = 5V$, $V_{GND} = 0V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
POK_ Threshold Falling	Measured at FB_ (falling)	425	440	455	mV
POK_ Threshold Rising at Startup	Measured at FB_ (rising)	455	470	485	mV
POK_ Output Low Level	Sinking 1mA, $V_{DD} = 4.5V$, $V_{FB_} = 0.4V$			0.1	V
POK_ Output High Leakage	$V_{DD} = 5.5V$	$T_A = +25^{\circ}C$		0.1	μA
		$T_A = +85^{\circ}C$		0.001	

Note 1: Specifications are production tested at $T_A = +25^{\circ}C$. Maximum and minimum specifications over temperature are guaranteed by design.

標準動作特性

(Circuit of Figure 1, $T_A = +25^{\circ}C$.)

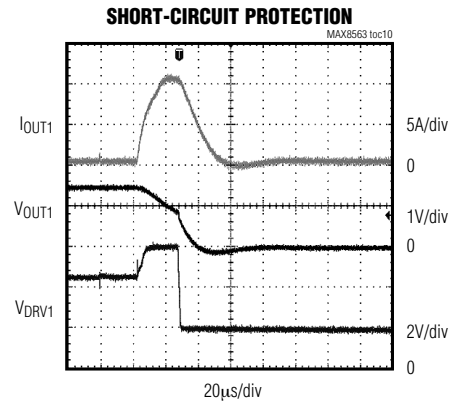
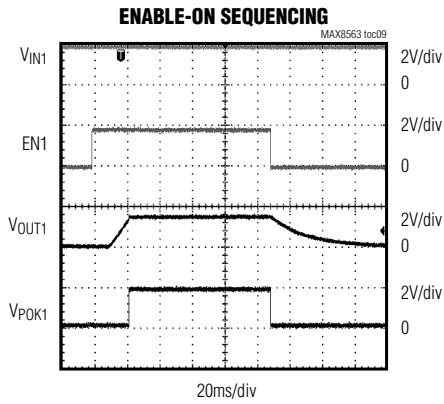
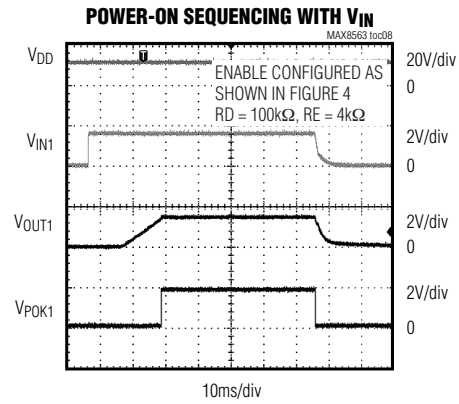
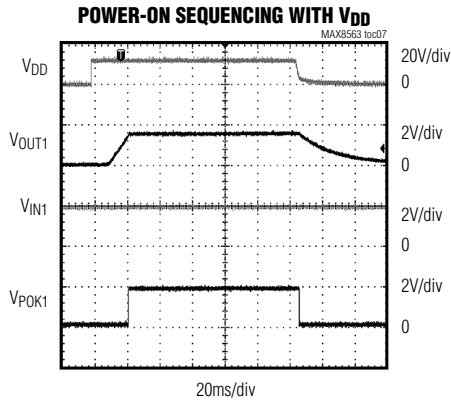


±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

標準動作特性(続き)

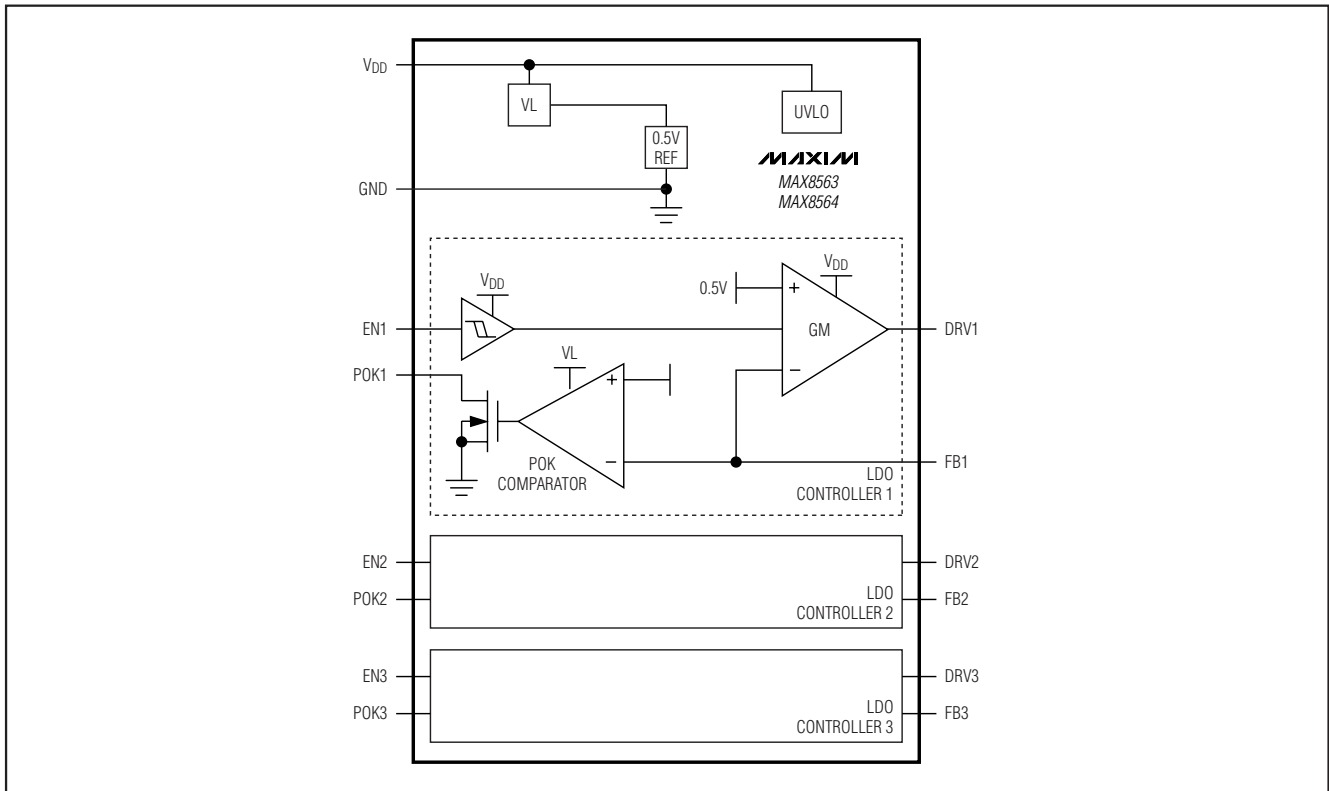
(Circuit of Figure 1, $T_A = +25^\circ\text{C}$.)



±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

ファンクションダイアグラム



端子説明

端子	名称		機能
	MAX8563	MAX8564	
1	DRV1	DRV1	出力のn-MOSFET駆動。外付けnチャンネルMOSFETのゲートを駆動して、出力1をレギュレーションします。EN1がロジックローの場合は、DRV1はグラウンドに内部でプルされます。補償を行うために外付け直列RC回路を接続します。「安定性の補償」の項を参照してください。
2	FB1	FB1	出力1のフィードバック入力。出力1の出力電圧を設定するには、出力1とGNDの間に接続された抵抗分圧器の midpoint に接続します。フィードバックレギュレーション電圧は0.500Vです。「出力電圧の設定」の項を参照してください。
3	EN1	EN1	出力1のイネーブル制御。出力1をイネーブルするにはロジックをハイにします。また出力をディセーブルするにはロジックをローにします。常時オン動作にするには、V _{DD} に接続します。
4	POK1	POK1	出力1のパワーグッド信号。出力1が公称安定化電圧よりも12%低い場合は、オープンドレイン出力がローにプルされます。
5	GND	GND	グラウンド
6	—	POK2	出力2のパワーグッド信号。出力2が公称安定化電圧よりも12%低い場合は、オープンドレイン出力がローにプルされます。
	N.C.	—	内部接続なし。

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

端子説明(続き)

端子	名称		機能
	MAX8563	MAX8564	
7	—	EN2	出力2のイネーブル制御。出力2をイネーブルするにはロジックをハイにします。また出力をディセーブルするにはロジックをローにします。常時オン動作にするには、V _{DD} に接続します。
	DRV3	—	出力3のn-MOSFET駆動。外付けnチャンネルMOSFETのゲートを駆動して、出力3をレギュレーションします。EN3がロジックローの場合は、DRV3はグラウンドに内部でプルされます。補償を行うために外付け直列RC回路を接続します。「安定性の補償」の項を参照してください。
8	—	FB2	出力2のフィードバック入力。出力2の出力電圧を設定するには、出力2とGNDの間に接続された抵抗分圧器の midpoint に接続します。フィードバックレギュレーション電圧は0.500Vです。「出力電圧の設定」の項を参照してください。
	FB3	—	出力3のフィードバック入力。出力3の出力電圧を設定するには、出力3とGNDの間に接続された抵抗分圧器の midpoint に接続します。フィードバックレギュレーション電圧は0.500Vです。「出力電圧の設定」の項を参照してください。
9	—	DRV2	出力2のn-MOSFET駆動。外付けnチャンネルMOSFETのゲートを駆動して、出力2をレギュレーションします。EN2がロジックローの場合は、DRV2はグラウンドに内部でプルされます。補償を行うために外付け直列RC回路を接続します。「安定性の補償」の項を参照してください。
	EN3	—	出力3のイネーブル制御。出力3をイネーブルするにはロジックをハイにします。また出力をディセーブルするにはロジックをローにします。常時オン動作にするには、V _{DD} に接続します。
10	—	V _{DD}	+5Vまたは+12Vの電源入力。+5Vまたは+12Vの外付け電源レールに接続します。0.1µFのセラミックコンデンサまたはそれ以上のコンデンサでバイパスします。
	POK3	—	出力3のパワーグッド信号。出力3が公称安定化電圧よりも12%低い場合は、オープンドレイン出力がローにプルされます。
11	N.C.	—	内部接続なし。
12	POK2	—	出力2のパワーグッド信号。出力2が公称安定化電圧よりも12%低い場合は、オープンドレイン出力がローにプルされます。
13	EN2	—	出力2のイネーブル制御。出力2をイネーブルするにはロジックをハイにします。また出力をディセーブルするにはロジックをローにします。常時オン動作にするには、V _{DD} に接続します。
14	FB2	—	出力2のフィードバック入力。出力2の出力電圧を設定するには、出力2とGNDの間に接続された抵抗分圧器の midpoint に接続します。フィードバックレギュレーション電圧は0.500Vです。「出力電圧の設定」の項を参照してください。
15	DRV2	—	出力2のn-MOSFET駆動。外付けnチャンネルMOSFETのゲートを駆動して、出力2をレギュレーションします。EN2がロジックローの場合は、DRV2はグラウンドに内部でプルされます。補償を行うために外付け直列RC回路を接続します。「安定性の補償」の項を参照してください。
16	V _{DD}	—	+5Vまたは+12Vの電源入力。+5Vまたは+12Vの外付け電源レールに接続します。0.1µFのセラミックコンデンサまたはそれ以上のコンデンサでバイパスします。

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

標準動作回路

MAX8563 : 3つの出力

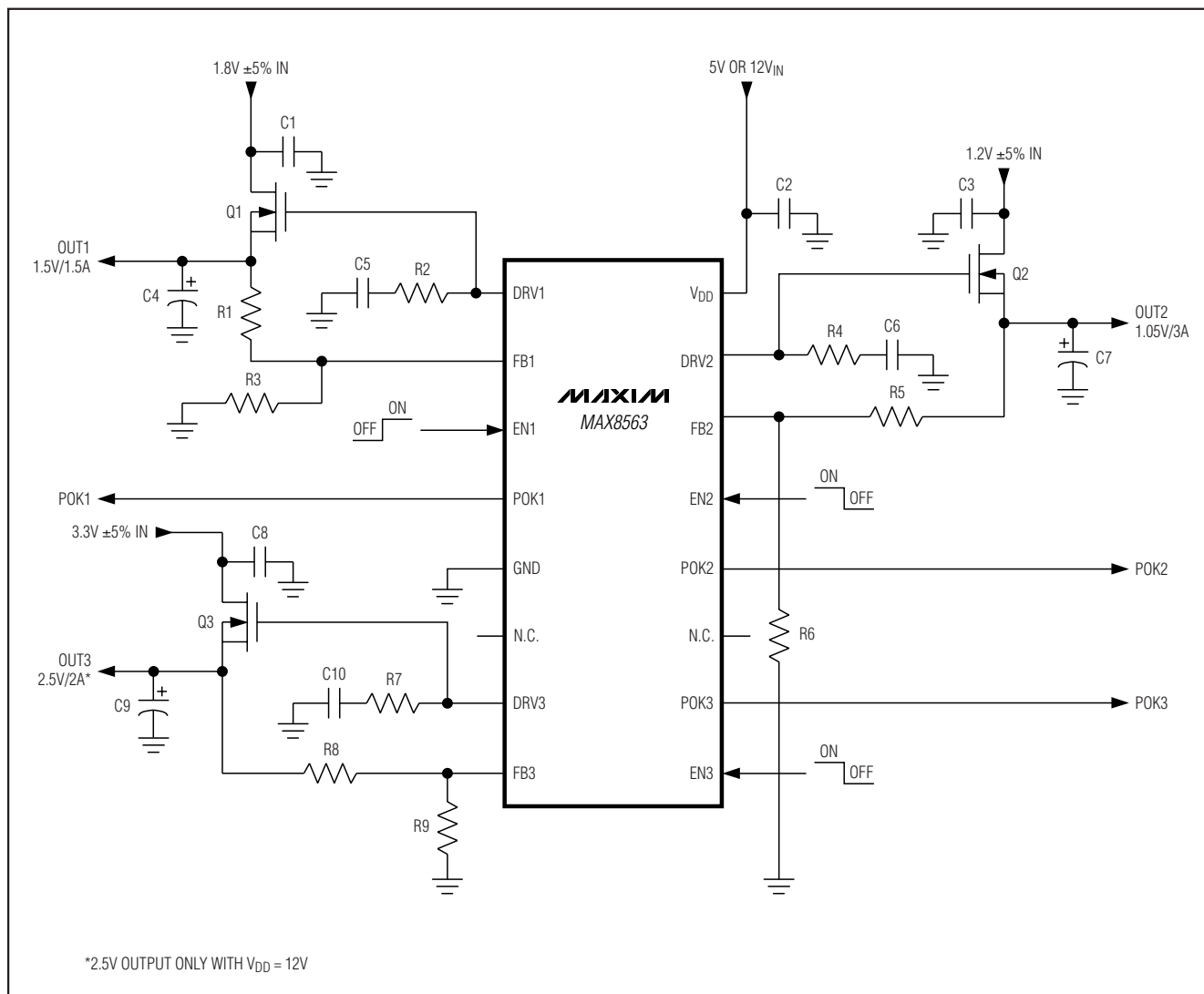


図1. MAX8563の標準動作回路

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

標準動作回路(続き)

MAX8564 : 2つの出力

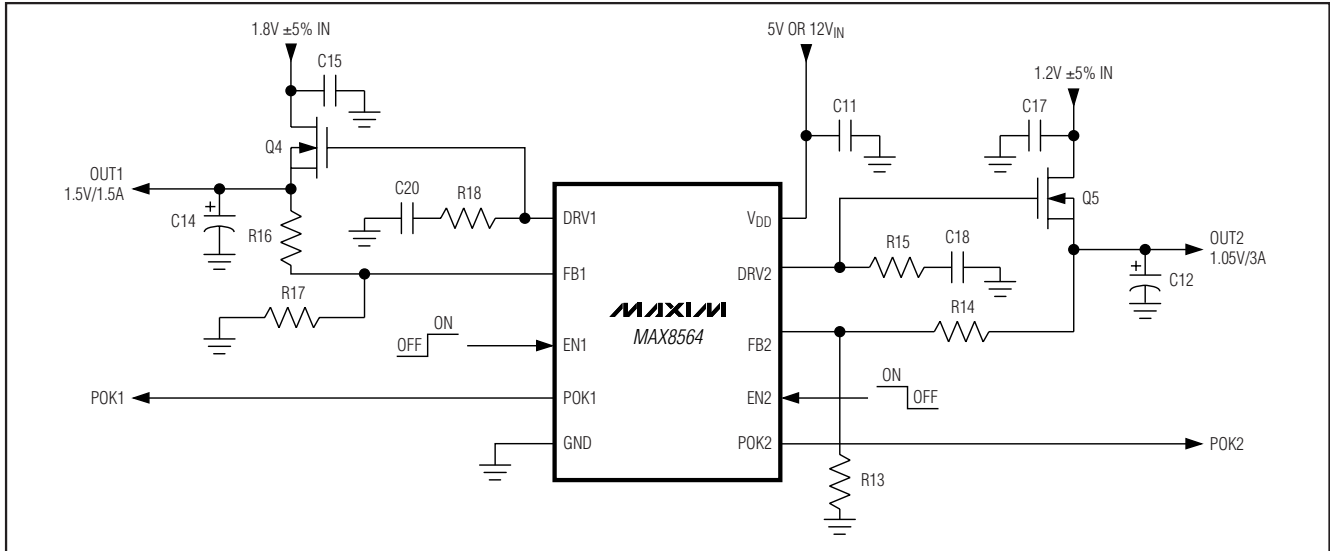


図2. MAX8564の標準動作回路

MAX8563の外付け部品リスト

部品	数量	説明
C1, C3, C8	3	2.2μF、10V X5Rセラミックコンデンサ (オプションの100μF、18mΩ、6.3Vアルミ電解、Sanyo GTPE100MIを並列)
C2	1	0.1μF、16V X7Rセラミックコンデンサ
C4, C7, C9	3	100μF、18mΩ、6.3Vアルミ電解コンデンサ Sanyo GTPE100MI
C5, C6, C10	3	1μF、16V X7Rセラミックコンデンサ
Q1/Q2 (Dual)	1	デュアルnチャンネルMOSFET、30V、18mΩ Vishay Si4922DY
Q3	1	nチャンネルMOSFET、30V、50mΩ Fairchild Semiconductor FDD6630A
R1	1	665Ω ±1%抵抗器
R2	1	620Ω ±5%抵抗器
R3	1	332Ω ±1%抵抗器
R4	1	390Ω ±5%抵抗器
R5	1	182Ω ±1%抵抗器
R6	1	165Ω ±1%抵抗器
R7	1	910Ω ±5%抵抗器
R8	1	1kΩ ±1%抵抗器
R9	1	249Ω ±1%抵抗器

MAX8564の外付け部品リスト

部品	数量	説明
C11	1	0.1μF、16V X7Rセラミックコンデンサ
C12, C14	2	100μF、18mΩ、6.3Vアルミ電解コンデンサ Sanyo GTPE100MI
C15, C17	2	2.2μF、10V X5Rセラミックコンデンサ (オプションの100μF、18mΩ、6.3Vアルミ電解、Sanyo並列GTPE100MI)
C18, C20	2	1μF、16V X7Rセラミックコンデンサ
Q4/Q5 (Dual)	1	デュアルnチャンネルMOSFET、30V、18mΩ Vishay Si4922DY
R13	1	165Ω ±1%抵抗器
R14	1	182Ω ±1%抵抗器
R15	1	390Ω ±5%抵抗器
R16	1	665Ω ±1%抵抗器
R17	1	332Ω ±1%抵抗器
R18	1	620Ω ±5%抵抗器

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

詳細

MAX8563/MAX8564はトリプル及びデュアルLDOコントローラで、ソースフォロワ構成で外付けn-MOSFETのゲートを制御して、フレキシブルな低コストの電圧変換を実現します。MAX8563/MAX8564は複数の同一LDOコントローラから構成されています。各LDOコントローラは、イネーブル入力(EN₋)及びパワーOK出力(POK₋)を備えています。また、MAX8563/MAX8564は0.5Vのリファレンス、レギュレータ、及び低電圧ロックアウト(UVLO)も内蔵しています。トランスコンダクタンスアンプはFB₋のフィードバック電圧を測定し、この電圧を正入力に接続された0.5Vの内部リファレンスと比較します。FB₋の電圧が0.5Vを下回ると、ゲート駆動出力DRV₋の電流出力が増加します。FB₋の電圧が0.5Vを上回ると、ゲート駆動出力の電流出力が減少します。

バイアス電圧(V_{DD})、UVLO、及びソフトスタート

内蔵回路のMAX8563/MAX8564バイアス電流はV_{DD}から供給されます。V_{DD}電圧範囲は4.5V~13.2Vです。V_{DD}が3.76V(typ)を下回ると、MAX8563/MAX8564は電源電圧及びリファレンス電圧が低すぎると見なし、UVLO回路を作動します。UVLOの期間に、内蔵レギュレータ(VL)と内蔵バンドギャップリファレンスがオフにされて、DRV₋がGNDにプルされ、POK₋がローにプルされます。

内蔵起動回路を作動させる前に、V_{DD}はUVLOスレッシュホールド以上である必要があります。V_{DD}が十分高いことをUVLOが示すと、内蔵VLレギュレータ、内部バンドギャップリファレンス、及びバイアス電流が作動します。内部リファレンス及びバイアス電流が作動した後にEN₋がロジックハイの場合は、該当するDRV₋出力がソフトスタートモードで動作を開始します。FB₋の電圧がレギュレーションスレッシュホールドの94%に達すると、LDOコントローラの全出力電流が許可されます。

LDOが作動すると、各DRV₋が100µAのGNDからの標準ソフトスタート電流でプルアップされます。ソフトスタート電流によって、出力電圧のスルー及び外付けn-MOSFETのドレインが受ける初期電流スパイクも制限されます。補償コンデンサ(C_C)のサイズに応じて、スルーレートが制限されます(図3参照)。このスルーレートは(100/C_C)mV/msです。ここでは、C_Cの単位はµFです。起動時の最大ドレイン電流は、C_Cに対するC_{OUT₋}の比に、100µAのソフトスタート電流を掛けた値です。

入力電圧(外付けn-MOSFETのドレイン電圧)

n-MOSFETのドレインへの最小入力電圧は、n-MOSFETの任意の出力電圧及びドロップアウト電圧の関数です。

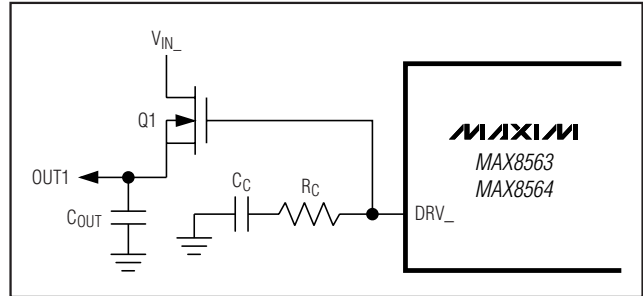


図3. ソフトスタート及び補償回路図

この値の算出に関する詳細は、「[パワーMOSFETの選択](#)」の項に記載されています。

n-MOSFETのドレインへの最小入力電圧は、ブレークダウン電圧及び動作時の熱の状態の関数です。ドレインとソース間のブレークダウン電圧は、通常、MOSFETのデータシートに記載されています。理論上の最大入力電圧は、設定出力電圧にブレークダウン電圧を加えた値です。熱の制約は通常、最大入力電圧に関する最大の懸念事項です。この値の算出に関する詳細は、「[パワーMOSFETの選択](#)」の項に記載されています。基板上のMOSFETパッケージとサーマルリリーフは、n-MOSFETから熱を除去する最大の要因です。出力電圧は標準的に設定され、最大出力電流は固定されているため、入力電圧が最大損失電力を決定する唯一の変数になります。このため、ほとんどの場合そうですが、最大入力電圧がブレークダウン電圧以下の場合は、最大入力電圧はn-MOSFETの電力能力によって制限されます。入力コンデンサで最大入力電圧を処理するようにします。

n-MOSFETのドレインへの入力前にV_{DD}及びEN₋が上昇する立上りシーケンスの間に、MAX8563/MAX8564はDRV₋をハイにしますが、出力は上昇しません。DRV₋レイル及びV_{FB₋}がレギュレーション電圧のなお80%以下である場合は、MAX8563/MAX8564は出力短絡障害が存在すると見なし、レギュレータをシャットダウンします。このエラー状態を回避するために、V_{DD}とIN₋の間に抵抗分圧器を接続し、その中点と各EN₋を接続します(図4参照)。以下の式を使って、抵抗値を算出します。

V_{IN₋}がオフまたは低電圧状態の場合は、次のとおりです。

$$0.7 > \left(\frac{R_E}{R_E + R_D} \right) \times (V_{DD} - V_{IN-}) + V_{IN-}$$

V_{IN₋}がオンまたは高電圧状態の場合は、以下のとおりです。

$$1.3 < \left(\frac{R_E}{R_E + R_D} \right) \times (V_{DD} - V_{IN-}) + V_{IN-}$$

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

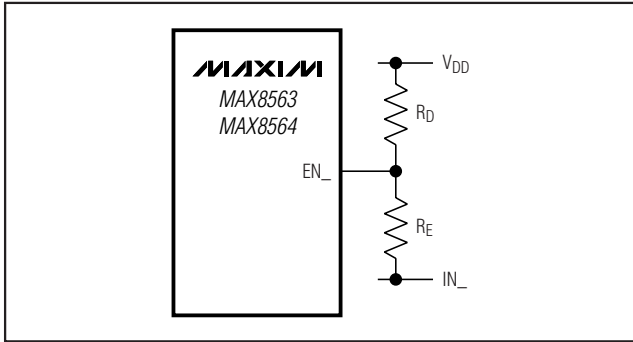


図4. EN_の分圧器

$R_D = 100k\Omega$ に設定します。また、 $V_{IN_}$ がオンまたは高電圧状態のときは、 $V_{DD} > V_{IN_} > 1V$ であり、かつ $V_{DD} > 3V$ であると、上の式は仮定しています。

例：ENと V_{DD} の間に $100k\Omega$ 、EN_と $IN_$ の間に $4k\Omega$ を接続します。このため、 $V_{DD} = 12V$ 及び $V_{IN_} = 0V$ の場合は、 $V_{EN_} = 0.46V$ です。 $V_{DD} = 12V$ 及び $V_{IN_} = 1.2V$ の場合は、 $V_{EN_} = 1.6V$ です。

または、 V_{DD} に相対的な $V_{IN_}$ の遅延による障害シャットダウンを回避するために、独立した制御ロジックでEN_をローにプルし、 $V_{IN_}$ が定常状態値に達した場合のみハイにします。

出力電圧

V_{DD} が $12V$ の場合はn-MOSFETのソースの出力電圧範囲は $0.5V \sim 3.3V$ で、 V_{DD} が $5V$ の場合は $0.5V \sim 1.8V$ です。最大出力電圧は、MOSFETのゲートとソース間の最小電圧(V_{GS})及び V_{DD} の関数です。

外付けn-MOSFETは、ソースとドレイン間に寄生ダイオードが存在します。出力が入力を超えると予測される場合は、電流がソースからドレインに流れます。これが望ましくない場合は、外部保護が必要です。簡単な解決法は、逆電流が発生しないように、 $IN_$ からn-MOSFETのドレインへ直列にダイオードを挿入することです。ダイオードの順方向電圧降下によって、最大出力電圧が減少し、またダイオードで電力が追加消費されます。

イネーブル及びPOK

MAX8563/MAX8564は、独立したイネーブル制御入力(EN1、EN2、及びEN3)を備えています。出力1をイネーブルするには、EN1をハイにします。出力2をイネーブルするには、EN2をハイにします。出力3をイネーブルするには、EN3をハイにします。EN_をローにすると、該当するDRV_が内部でGNDにプルされ、POK_が内部でローにプルされます。

POK_は、出力電圧の状態を示して回路状態に応じてローにプルするオープンドレイン出力です。起動時に、FB_が

POK_スレッショルドに達すると、POK_信号はハイになります。POK_スレッショルドは、 $30mV$ のヒステリシスを備えています。出力電圧が公称安定化電圧から 12% 降下すると、POK_はローにプルされます。UVLOが作動するか、または内蔵VLレギュレータ及びリファレンスが作動不能の場合は、すべてのPOK_出力がローにプルされます。

出力低電圧及び過負荷保護

過負荷イベントや短絡が発生する際に最も脆弱なデバイスは外付けn-MOSFETです。

MAX8563/MAX8564は出力電圧を監視し、MOSFETを保護します。DRV_が最大電圧状態で、出力電圧が $50\mu s$ 以上の間、公称電圧の 80% を下回っているが、なお 60% 以上である場合は、MAX8563/MAX8564はDRV_をGNDにプルして、該当レギュレータ出力をシャットダウンします。MOSFETのターンオフ時に付随的な固有遅延がさらに存在することに注意してください。遅延は、補償コンデンサとMOSFETの関数です。出力が $50\mu s$ 以内に 80% 以上までリカバリすると、過負荷状態であると見なされず、対応されません。出力電圧が公称電圧の 60% を下回ると、MAX8563/MAX8564はDRV_をGNDにプルして、該当レギュレータ出力を即時シャットダウンします。該当LDOを再起動するには、 V_{DD} を再度UVLO以下にするか、または該当するEN_をローにする必要があります。過負荷保護は、「標準動作特性」に示されています。

設計手順

出力電圧の設定

MAX8563/MAX8564の各コントローラの最小出力電圧は、 $0.5V$ (typ)です。最大出力電圧は、 $V_{DD} = 12V$ の場合は最大 $3.3V$ まで可変で、 $V_{DD} = 5V$ の場合は最大 $1.8V$ まで可変です。出力電圧を設定するには、OUT_とGNDの間にある分圧器の midpoint にFB_端子を接続します(図5参照)。抵抗分圧器電流は、最大出力電流の $1A$ あたり $1mA$ 以上である必要があります。すなわち、 $3A$ の最大出力電流の場合は、抵抗分圧器バイアス電流を $3mA$ 以上に設定します。

$$I_{OUT(MIN)} \geq \frac{I_{OUT(MAX)}}{1000}$$

$$R_B \leq \frac{V_{FB}}{I_{OUT(MIN)}} = 1000 \times \frac{V_{FB}}{I_{OUT(MAX)}} = \frac{500}{I_{OUT(MAX)}}$$

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

$$R_A = R_B \times \left[\left(\frac{V_{OUT}}{V_{FB}} \right) - 1 \right] = R_B \times (2 \times V_{OUT} - 1)$$

出力電圧を0.5Vに設定するには、 R_B を FB_- から切断してから OUT_- に接続します。この変更によって、出力の最低負荷要件が維持されます。この場合は、 R_A の範囲は1kΩから10kΩにすることができます。

入力及び出力コンデンサの選択

入力フィルタコンデンサはレギュレータに対して低インピーダンスにするのに役立ち、過渡状態時に電源からのピーク電流を減らします。 IN_- (外付けパワーストックMOSFETのドレイン)とGNDの間に最低2.2μFのセラミックコンデンサを使用します(図1及び図2を参照)。大きなライン過渡や負荷過渡が予想される場合は、入力容量を増やして、出力電圧の変動を最低限に抑えます。

出力フィルタコンデンサとその等価直列抵抗(ESR)はレギュレータの安定性に寄与し(「安定性の補償」の項を参照)、負荷過渡応答に影響を及ぼします。大きなステップ負荷(無負荷から全負荷まで)が予想され、超高速応答(数マイクロ秒以下)が必要な場合は、出力コンデンサに100μF、18mΩのPOSCAPを使用します。これより大容量が望まれる場合は、容量ESRの積($C_{OUT} \times R_{ESR}$)を1μs~5μsの範囲に維持します。

アプリケーションが小さい負荷ステップ(全負荷の50%以下)を想定する場合は、最大出力電流のアンペア当たり6.8μF以上のセラミックコンデンサを使用します。このオプションによって、レギュレータ回路のサイズとコストが削減されます。

一部のセラミック誘導体は温度による大きな容量変動を示すことに注意してください。X7RまたはX5R誘導体を使って、全動作温度で十分な容量を確保します。タンタル及びアルミコンデンサは推奨できません。

パワーMOSFETの選択

MAX8563/MAX8564は、コストを削減するためにpチャネルMOSFETの代わりにnチャネルMOSFETを直列パストランジスタとして使用します。選択するMOSFETは、以下の基準を満たすゲートスレッショルド電圧を備える必要があります。

$$V_{GS_MAX} \leq V_{DD} - V_{OUT_}$$

ここでは、 V_{DD} はコントローラバイアス電圧で、 V_{GS_MAX} は製造メーカのデータシートで規定されるオン抵抗(R_{DS_ON})を得るのに必要な最大ゲート電圧です。

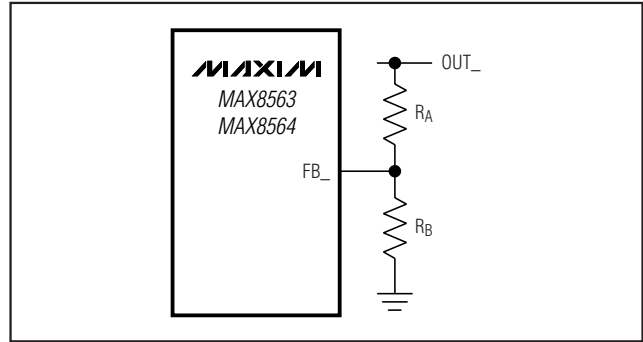


図5. 可変出力電圧

R_{DS_ON} に最大出力電流(負荷電流)を乗じた値が、MOSFETにかかる最大電圧ドロップアウト V_{DS_MIN} です。ドロップアウトになるのを避けるために、 V_{DS_MIN} が以下の条件を満たすようにしてください。ここでは、出力電圧が次第に低下し、入力のリプルが出力まで流れます。

$$V_{IN_MIN} > V_{DS_MIN} + V_{OUT}$$

ここでは、 V_{IN_MIN} はMOSFETドレインの最低入力電圧です。 V_{DS_MIN} は正温度係数を持っているため、最高動作ジャンクション温度での V_{DS_MIN} の値を使用する必要があります。

温度を管理するために、MOSFETの最大消費電力は次式で計算されます。

$$P_D = (V_{IN_MAX} - V_{OUT}) \times I_{OUT_MAX}$$

MOSFETは通常、SMTパッケージで提供されます。要求される最大動作ジャンクション温度に適合するのに必要なプリント基板面積については、MOSFETのデータシートを参照してください。

安定性の補償

DRV_端子とGNDの間に、抵抗 R_C 及びコンデンサ C_C を直列に接続します。補償回路の値は、外付けMOSFETの特性、出力電流範囲、及び設定出力電圧によって異なります。以下のパラメータがMOSFETのデータシートで必要となります。すなわち、入力容量($V_{DS} = 1V$ での C_{ISS})、標準順方向トランスコンダクタンス(g_{FS})、及び g_{FS} が測定された電流(I_{DFS})です。以下のように、最大負荷電流(I_{OUT_MAX})でFETのトランスコンダクタンスを算出します。

$$g_C(MAX) = g_{FS} \times \sqrt{\frac{I_{OUT_MAX}}{I_{DFS}}}$$

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

ステップ負荷が大きいアプリケーションの過渡応答を最適化するには(出力容量要件については「入力及び出力コンデンサの選択」の項を参照)、次式を使って補償部品を選択します。

$$C_C = \frac{\left[0.16 \times V_{OUT} \times C_{OUT} \times \left(g_{C(MAX)} \times (g_{C(MAX)} \times R_{ESR} + 1) \right) \right]}{\left(g_{C(MAX)} \times V_{OUT} + I_{OUT_MAX} \right)^2} - C_{ISS}$$

$$R_C = 59 \times \frac{V_{OUT} \times C_{OUT} (g_{C(MAX)} \times R_{ESR} + 1)}{C_C \times (g_{C(MAX)} \times V_{OUT} + I_{OUT_MAX})}$$

ここでは、 C_{OUT} は出力容量で、 R_{ESR} は C_{OUT} のESRです。低コストセラミックコンデンサを使用するには(負荷過渡応答特性については「入力及び出力コンデンサの選択」の項を参照)、次式を使って補償部品を選択します。

$$C_C = \frac{C_{OUT} \times g_{C(MAX)}}{\left(g_{C(MAX)} \times V_{OUT} + I_{OUT_MAX} \right)} - C_{ISS}$$

$$R_C = 15 \times \frac{C_{OUT}}{C_C \times g_{C(MAX)}}$$

例

この例では図1のOUTPUT 1が使用されています。表1は、補償を算出するのに必要な値を示しています。これらの値は、該当するデータシートと図1から抜粋されました。

表1. 補償算出に必要なパラメータ

PARAMETER	CONDITIONS	VALUE	UNITS
MOSFET C_{ISS}	$V_{DS} = 1V$	2500	pF
MOSFET G_{FS}	$IDFS = 8.8A$	30	S
V_{OUT1}	Figure 1	1.5	V
I_{OUT_MAX}	Figure 1	1.5	A
C_{OUT1}	Figure 1	100	μF
R_{ESR}	Figure 1	18	m Ω

$$g_{C(MAX)} = 30S \times \sqrt{\frac{1.5A}{8.8A}} = 12.4S$$

$$C_C = 0.16 \times \frac{1.5V \times 100\mu F \times 12.4S \times \left(\frac{12.4S \times 18m\Omega}{1} + 1 \right)}{\left(12.4S \times 1.5V + 1.5A \right)^2} - 2500pF = 0.90\mu F, 1\mu F \text{ を使用}$$

$$R_C = 59 \times \frac{7.5V \times 100\mu F \times (12.4S \times 18m\Omega + 1)}{1\mu F (12.4S \times 1.5V + 1.5A)} = 599.4\Omega, 620\Omega \text{ を使用}$$

プリント基板レイアウトのガイドライン

大電流経路と厳密な出力精度は大部分のアプリケーションに必要なため、プリント基板を綿密にレイアウトする必要があります。設計時間を短縮する評価キット(MAX8563EVKIT)が提供されます。

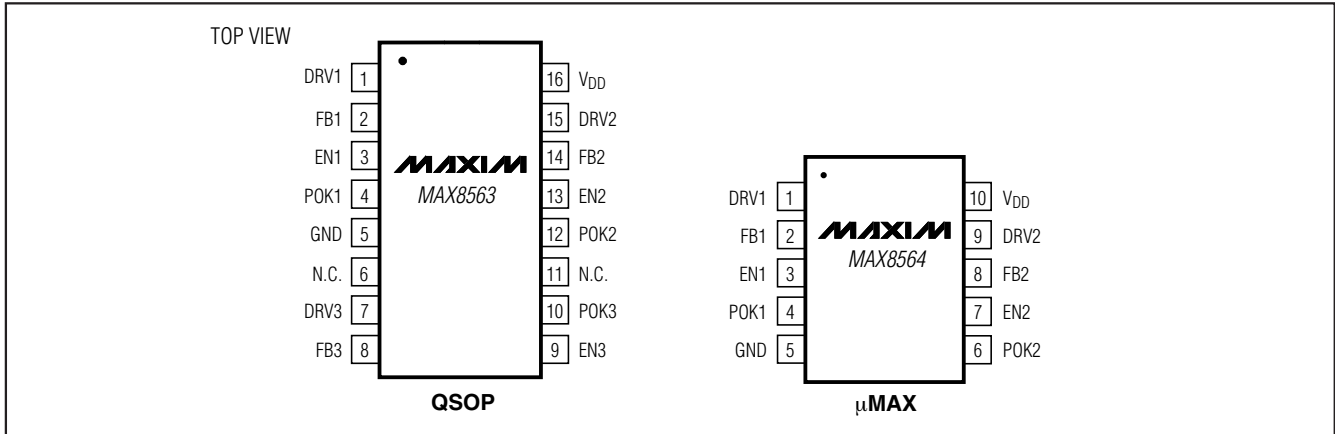
大電流配線サイズを最大にして、有害な寄生インダクタンスの影響を低減するために、すべての配線をできる限り短くすることが重要です。大電流によって、特に入力と出力の電圧差が大きいときに、MOSFETはかなりの量の熱を放熱します。MOSFETで発生した熱を放熱するには、広い銅箔面積で超幅広の電力配線にします。表面実装パッケージで優れた電力消費を効率的に実現するには、MOSFETパッケージの真下に銅箔面積をレイアウトして、ビアを通じて複数層の銅箔面積を接続します。グランドプレーンを使って、インピーダンスとインダクタンスを最低限に抑えます。通常のハイパワーの考慮事項に加えて、高出力精度を得るための次の4つのヒントがあります。

- C_{OUT} とのフィードバック接続は、短くかつ直線にします。
- FB端子に隣接してフィードバック抵抗を配置します。
- DRV_端子に隣接して R_C 及び C_C を配置します。
- 高精度を得るには、FB_及びDRV_配線をノイズ源から離します。

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

MAX8563/MAX8564

ピン配置



チップ情報

TRANSISTOR COUNT: 1801

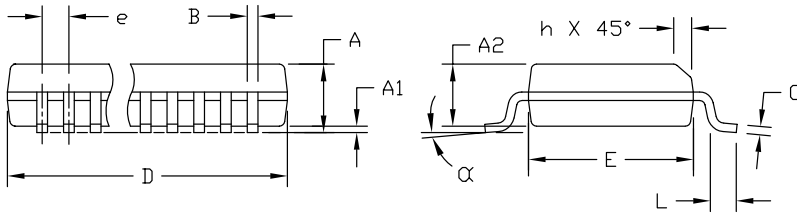
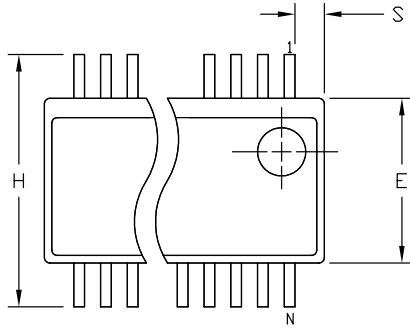
PROCESS: BiCMOS

±1%、超低出力電圧、デュアル及び トリプルリニアn-FETコントローラ

MAX8563/MAX8564

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°

VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:

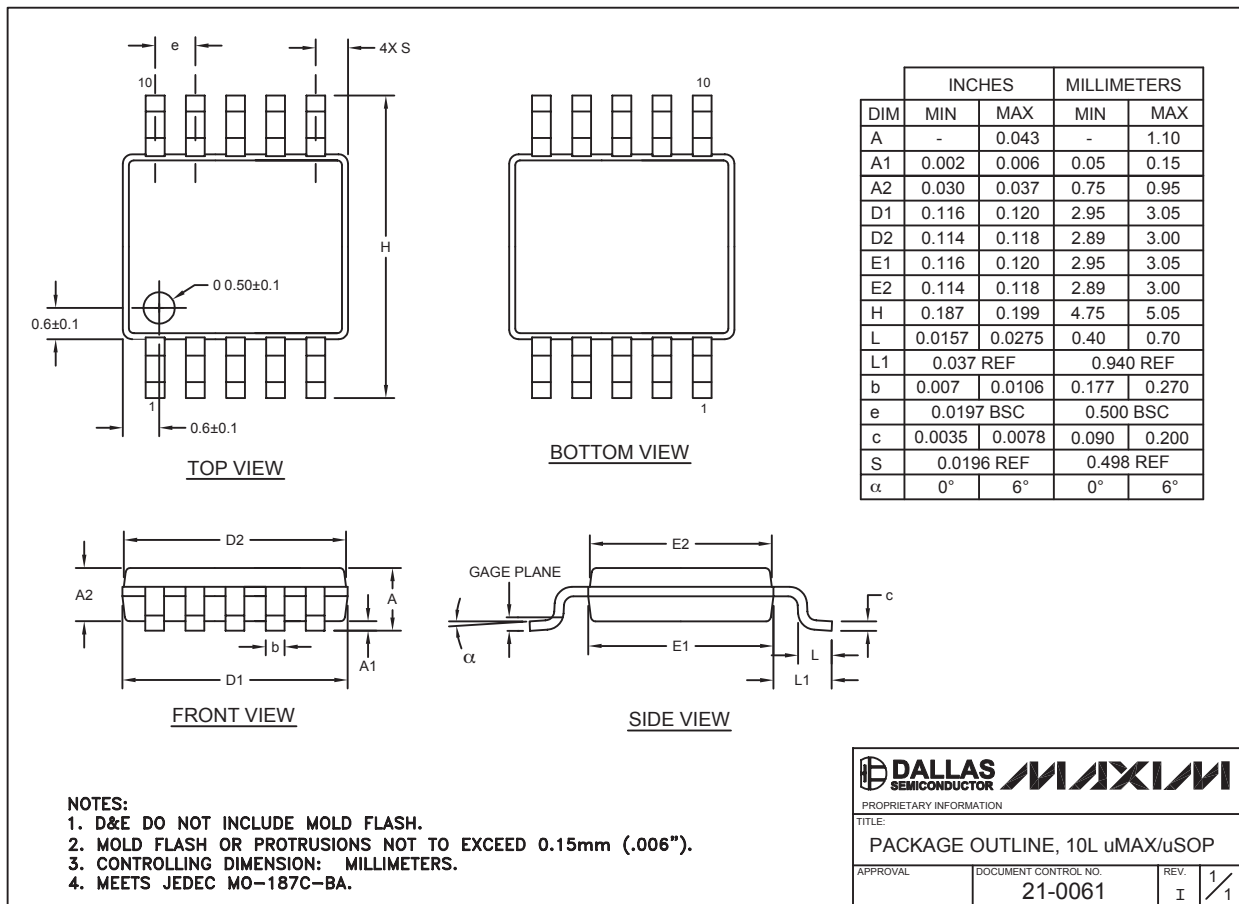
- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

	MAXIM	
	PROPRIETARY INFORMATION	
TITLE: PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH		
APPROVAL:	DOCUMENT CONTROL NO. 21-0055	REV. E 1/1

±1%、超低出力電圧、デュアル及びトリプルリニアn-FETコントローラ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



10LUMAX.EPS

MAX8563/MAX8564

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 15

© 2004 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products.