

+5Vマイクロプロセッサ監視回路

概要

MAX817/MAX818/MAX819は、マイクロプロセッサ(μP)システムの電源監視、バッテリー制御及びチップイネーブル機能に必要な部品の複雑さを抑え、部品点数を低減します。これらの製品は+5V電源駆動システム用に設計されています。低消費電流(11μA typ)で小型パッケージを使用しているため、ポータブル機器に最適です。MAX817/MAX818/MAX819はV_{CC}の高速トランジェントを無視するように設計されています。その他の監視機能としては、アクティブローリセット、バックアップバッテリー切換え、ウォッチドッグ入力、バッテリーフレッシュネスシール及びチップイネーブルゲート機能等が挙げられます。下の「選択ガイド」に各素子の機能を示します。

MAX817/MAX818/MAX819は2つのバージョンで提供されており、それぞれが±5%又は±10%電源に合わせて予めトリミングされたりセットスレッシュホールド電圧を持っています。すなわち、Lバージョンが4.65V、Mバージョンが4.40Vとなっています。MAX817/MAX818/MAX819は省スペースの8ピンDIP/SOPと共に、μMAXパッケージでも供給されています。

選択ガイド

機能	MAX817 L/M	MAX818 L/M	MAX819 L/M
アクティブローリセット	✓	✓	✓
バックアップバッテリー切替え	✓	✓	✓
パワーフェイルコンパレータ	✓	—	✓
ウォッチドッグ入力	✓	✓	—
バッテリーフレッシュネスシール	✓	✓	✓
マニュアルリセット入力	—	—	✓
チップイネーブルゲート	—	✓	—
ピン数、パッケージ	8-DIP/SOP/ μMAX	8-DIP/SOP/ μMAX	8-DIP/SOP/ μMAX
低電力、ピンコンパチブルアップグレード:	MAX690A/ MAX692A	—	MAX703/ MAX704

アプリケーション

バッテリー駆動型のコンピュータ及びコントローラ
組み込み型コントローラ
インテリジェント機器
μP電源監視
ポータブル機器

標準動作回路はデータシートの最後にあります。

* 特許出願中

特長

- ◆ 高精度電源電圧監視:
4.65V(MAX81_L)
4.40V(MAX81_M)
- ◆ 自己消費電流: 11μA
- ◆ リセットのタイムディレイ: 200ms
- ◆ ウォッチドッグタイマ(タイムアウト1.6秒)
(MAX817/MAX818)
- ◆ バックアップバッテリーへの電源切換え
(バッテリー電圧がV_{CC}を超えても可)
- ◆ バッテリーフレッシュネスシール
- ◆ チップイネーブル信号用ゲート(3ns)(MAX818)
- ◆ パワーフェイル又はローバッテリー警報用の
独立した電圧モニタ(MAX817/MAX819)
- ◆ マニュアルリセット入力(MAX819)

型番

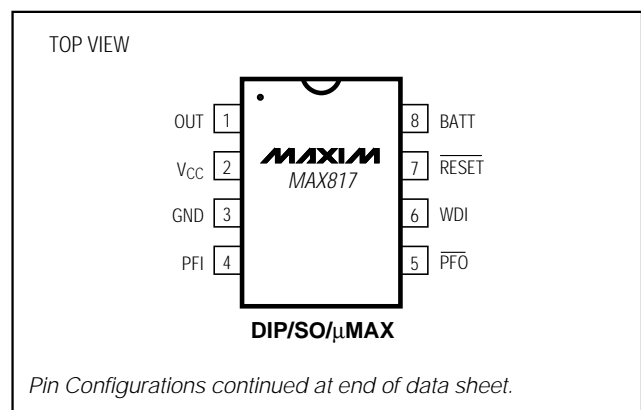
PART†	TEMP. RANGE	PIN-PACKAGE
MAX817_CPA	0°C to +70°C	8 Plastic DIP
MAX817_CSA	0°C to +70°C	8 SO
MAX817_CUA	0°C to +70°C	8 μMAX

Ordering Information continued on last page.

† These parts offer a choice of reset threshold voltage. From the table below, select the suffix corresponding to the desired threshold and insert it into the blank to complete the part number.

SUFFIX	RESET THRESHOLD (V)
L	4.65
M	4.40

ピン配置



+5V マイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M*

ABSOLUTE MAXIMUM RATINGS

Input Voltage	
V _{CC} , BATT	-0.3V to +6.0V
All Other Pins (Note 1)	-0.3V to (V _{CC} + 0.3V)
Input Current	
V _{CC} Peak	1A
V _{CC} Continuous	250mA
BATT Peak	250mA
BATT Continuous	50mA
GND	25mA
Output Current	
OUT	250mA
All Other Outputs	25mA
OUT Short-Circuit Duration	10sec

Continuous Power Dissipation (T _A = +70°C)	
Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
SO (derate 5.88mW/°C above +70°C)	471mW
μMAX (derate 4.10mW/°C above +70°C)	330mW
Operating Temperature Ranges	
MAX81_C_A	0°C to +70°C
MAX81_E_A	-40°C to +85°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Note 1: The input voltage limits on PFI and WDI may be exceeded (up to 12V V_{IN}) if the current into these pins is limited to less than 10mA.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.75V to +5.5V for MAX81_L, V_{CC} = +4.5V to +5.5V for MAX81_M, V_{BATT} = 2.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Voltage Range, V _{CC} , V _{BATT} (Note 2)			0		5.5	V
Supply Current (excluding I _{OUT})	I _{SUPPLY}	As applicable; \overline{CE} IN = 0V, WDI and \overline{MR} unconnected	MAX81_C	11	45	μA
			MAX81_E	11	60	
Supply Current in Battery-Backup Mode (excluding I _{OUT})		V _{CC} = 0V	T _A = +25°C	0.05	1.0	μA
			T _A = T _{MIN} to T _{MAX}		5.0	
BATT Standby Current (Note 3)		5.5V > V _{CC} > (V _{BATT} + 0.2V)	T _A = +25°C	-0.10	0.02	μA
			T _A = T _{MIN} to T _{MAX}	-1.00	0.02	
BATT Leakage Current, Freshness Seal Enabled		V _{CC} = 0V, V _{OUT} = 0V			1	μA
V _{OUT} Output		I _{OUT} = 5mA	V _{CC} - 0.05	V _{CC} - 0.025		V
		I _{OUT} = 50mA	V _{CC} - 0.5	V _{CC} - 0.25		
V _{CC} to OUT On-Resistance				5	10	Ω
BATT to OUT On-Resistance				100		Ω
V _{OUT} in Battery-Backup Mode		I _{OUT} = 250μA, V _{CC} < (V _{BATT} - 0.2V)	V _{BATT} - 0.1	V _{BATT} - 0.02		V
Battery Switch Threshold (V _{CC} - V _{BATT})		V _{CC} < V _{RST}	Power-up	20		mV
			Power-down	-20		
Battery Switchover Hysteresis				40		mV

+5V マイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M*

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +4.75V to +5.5V for MAX81_L, VCC = +4.5V to +5.5V for MAX81_M, VBATT = 2.8V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RESET AND WATCHDOG TIMER						
Reset Threshold	VRST	MAX81_L	4.50	4.65	4.75	V
		MAX81_M	4.25	4.40	4.50	
Reset Threshold Hysteresis				25		mV
Reset Timeout Period	tRP		140	200	280	ms
$\overline{\text{RESET}}$ Output Voltage	VOH	VCC > VRST(MAX), ISOURCE = 800μA	VCC - 1.5			V
	VOL	VCC < VRST(MIN), ISINK = 3.2mA			0.4	
		MAX81_C, VCC = 1V, VCC falling, VBATT = 0V, ISINK = 50μA			0.3	
		MAX81_E, VCC = 1.2V, VCC falling, VBATT = 0V, ISINK = 100μA			0.3	
VCC to $\overline{\text{RESET}}$ Delay		From VRST, VCC falling at 10V/ms		100		μs
Watchdog Timeout Period	tWD		1.00	1.60	2.25	sec
WDI Pulse Width	tWDI	VIL = 0.4V, VIH = 0.8VCC	50			ns
WDI Input Threshold (Note 4)	VIL	VCC = 5V			0.8	V
	VIH		3.5			
WDI Input Current (Note 5)		WDI = VCC, time average		120	160	μA
		WDI = GND, time average	-20	-15		
POWER-FAIL COMPARATOR (MAX817/MAX819 only)						
PFI Input Threshold	VPFT		1.20	1.25	1.30	V
PFI Input Hysteresis				4		mV
PFI Input Current	IPFI		-25	0.01	25	nA
$\overline{\text{PFO}}$ Output Voltage	VOL	V _{PFI} < 1.20V, ISINK = 3.2mA, VCC > 4.50V			0.4	V
	VOH	V _{PFI} > 1.30V, ISOURCE = 40μA, VCC > 4.5V	VCC - 1.5			
$\overline{\text{PFO}}$ Short-Circuit Current		V _{PFO} = 0V		250	500	μA
MANUAL RESET INPUT (MAX819 only)						
$\overline{\text{MR}}$ Input Threshold	VIL		0.8			V
	VIH				2.0	
$\overline{\text{MR}}$ Pulse Width			1			μs
$\overline{\text{MR}}$ Pulse that Would Not Cause a Reset				100		ns
$\overline{\text{MR}}$ to Reset Delay				120		ns
$\overline{\text{MR}}$ Pull-Up Resistance			45	63	85	kΩ

+5V マイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M*

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +4.75V$ to $+5.5V$ for MAX81_L, $V_{CC} = +4.5V$ to $+5.5V$ for MAX81_M, $V_{BATT} = 2.8V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CHIP-ENABLE GATING (MAX818 only)						
\overline{CE} IN Leakage Current		Disable mode		± 0.005	± 1	μA
\overline{CE} IN to \overline{CE} OUT Resistance (Note 6)		Enable mode		40	150	Ω
\overline{CE} OUT Short-Circuit Current (Reset Active)		Disable mode, \overline{CE} OUT = 0V	0.1	0.75	2.0	mA
\overline{CE} IN to \overline{CE} OUT Propagation Delay (Note 7)		50Ω source impedance driver, $C_{LOAD} = 50pF$		3	8	ns
\overline{CE} OUT Output	V_{OH}	$I_{OUT} = -100\mu A$, $V_{CC} = 0V$	$V_{CC} - 1V$			V
		$I_{OUT} = -1\mu A$, $V_{CC} = 0V$, $V_{BATT} = 2.8V$	2.7			
\overline{CE} OUT Input Threshold	V_{IH}	$V_{CC} = 5V$			0.8	V
	V_{IL}		3.5			
\overline{RESET} to \overline{CE} OUT Delay		Power-down		15		μs

Note 2: Either V_{CC} or V_{BATT} can go to 0V if the other is greater than 2.0V.

Note 3: "-" = battery-charging current, "+" = battery-discharging current.

Note 4: WDI is internally serviced within the watchdog timeout period if WDI is left unconnected.

Note 5: WDI input is designed to be driven by a three-stated output device. To float WDI, the "high-impedance mode" of the output device must have a maximum leakage current of $10\mu A$ and a maximum output capacitance of $200pF$. The output device must also be able to source and sink at least $200\mu A$ when active.

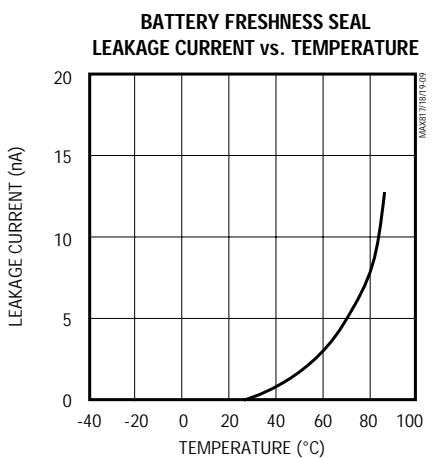
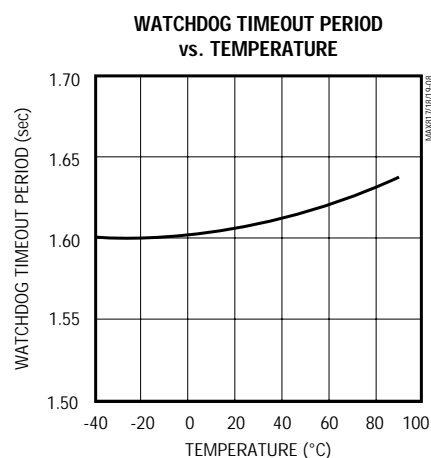
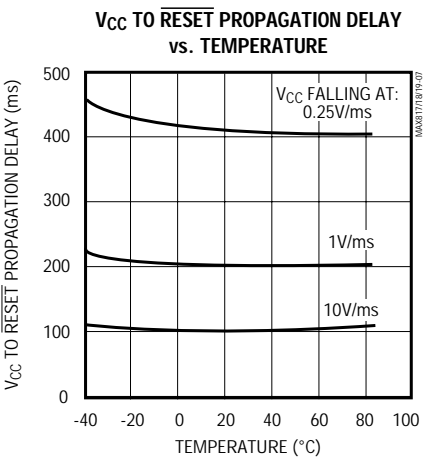
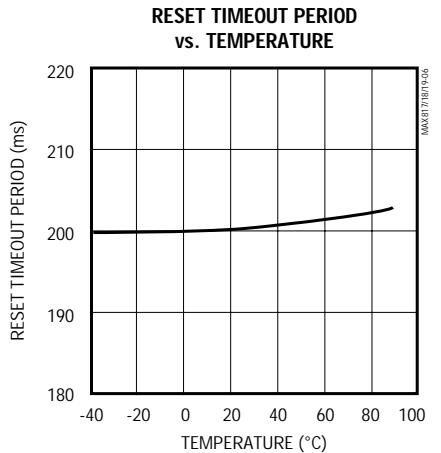
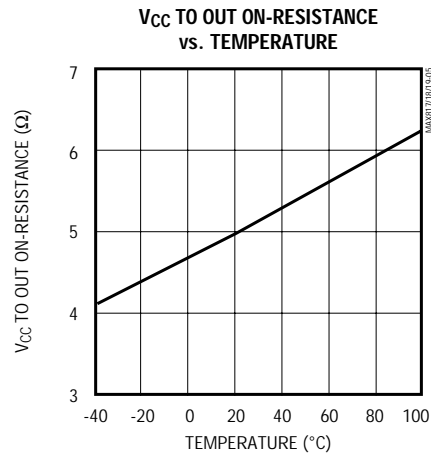
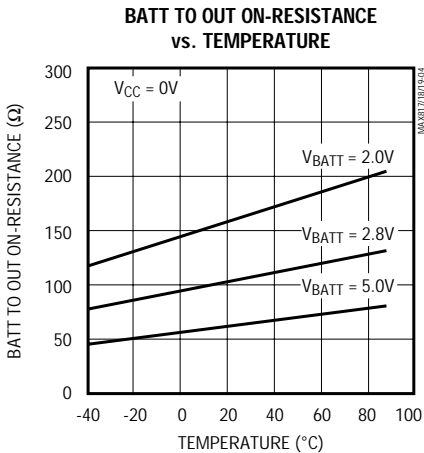
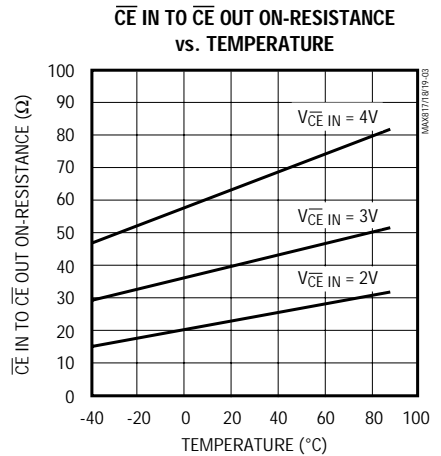
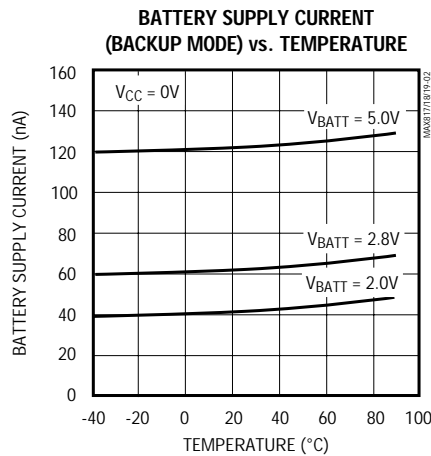
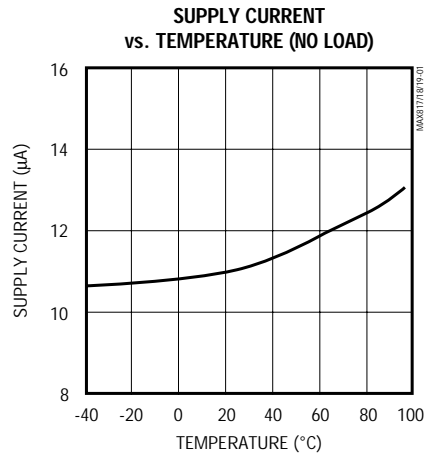
Note 6: The chip-enable resistance is tested with $V_{CC} = +4.75V$ for the MAX818L and $V_{CC} = +4.5V$ for the MAX818M.
 $V_{\overline{CE} IN} = V_{\overline{CE} OUT} = V_{CC}/2$.

Note 7: The chip-enable propagation delay is measured from the 50% point at \overline{CE} IN to the 50% point at \overline{CE} OUT.

+5V マイクロプロセッサ監視回路

標準動作特性

($V_{CC} = +5V$, $V_{BATT} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



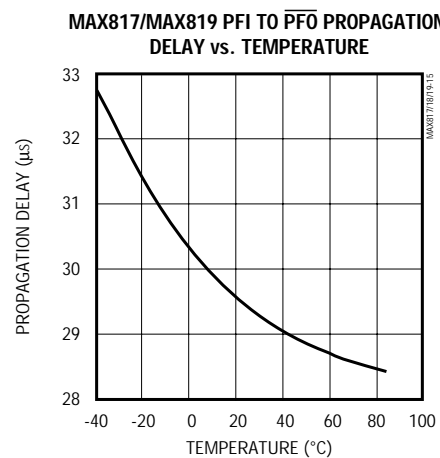
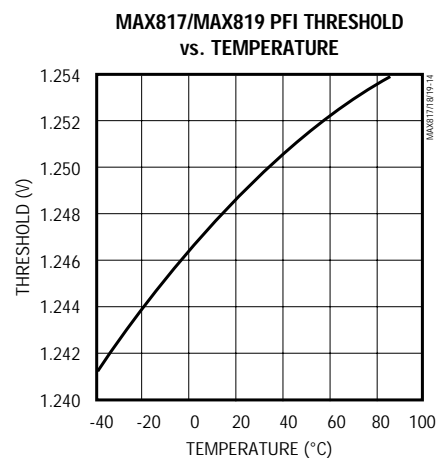
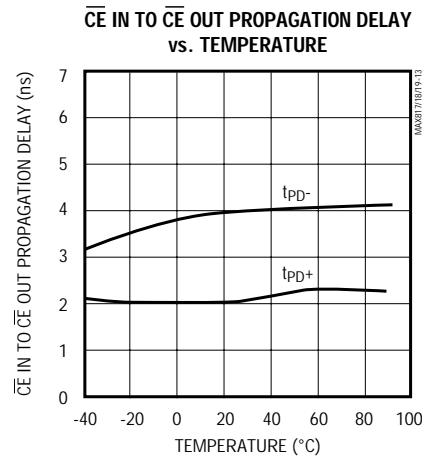
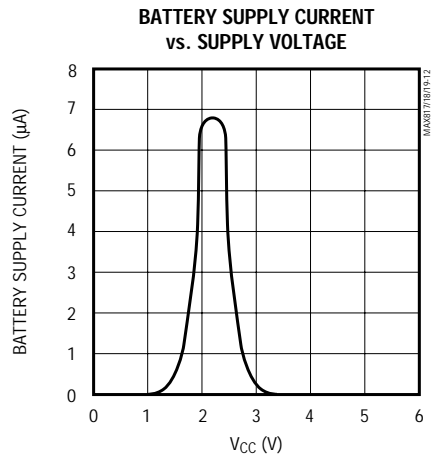
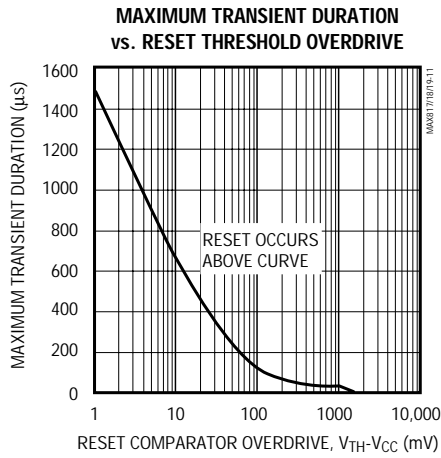
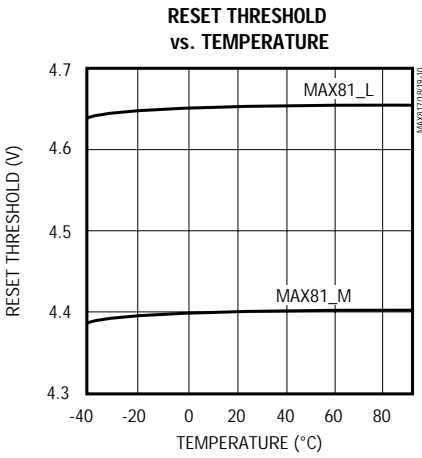
MAX8171L/M, MAX8181L/M, MAX8191L/M*

+5V マイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M*

標準動作特性(続き)

($V_{CC} = +5V$, $V_{BATT} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



+5Vマイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M *

端子説明

端子			名称	機能
MAX817	MAX818	MAX819		
1	1	1	OUT	CMOS RAMへの電源出力。V _{CC} がリセットスレッシュホールド以上又はV _{BATT} 以上の時には、OUTは内部PチャネルMOSFETスイッチによってV _{CC} に接続されます。V _{CC} がV _{BATT} 以下の時には、BATTがOUTに接続されます。
2	2	2	V _{CC}	入力電源電圧、+5V入力
3	3	3	GND	グランド。全ての信号の0V基準。
4	—	4	PFI	パワーフェイルコンパレータ入力。V _{PFI} がV _{PFT} よりも低い時、あるいはV _{CC} がV _{BATT} よりも低い時、PFIはローになります。それ以外の時はPFIはハイに留まります(「パワーフェイルコンパレータ」の項を参照してください)。使用しない場合はグランドに接続してください。
—	4	—	\overline{CE} IN	チップイネーブル入力。チップイネーブルゲート回路への入力。使用しない場合はグランドに接続してください。
5	—	5	\overline{PFO}	パワーフェイルコンパレータ出力。PFIがV _{PFT} よりも低い時、あるいはV _{CC} がV _{BATT} よりも低い時、 \overline{PFO} はローになります。それ以外の時は \overline{PFO} はハイに留まります。PFIはバッテリーフレッシュネスシールをイネーブルする時にも使用されます(「バッテリーフレッシュネスシール」及び「パワーフェイルコンパレータ」の項を参照してください)。
—	5	—	\overline{CE} OUT	チップイネーブル出力。リセットが実行されていない場合で、 \overline{CE} INがローのときのみ、 \overline{CE} OUTはローになります。リセットが実行されている場合で \overline{CE} INがローのときは、 \overline{CE} OUTは15 μ sの間、あるいは \overline{CE} INがハイになるまで(いずれか早い方)ローのままです。バッテリーバックアップモードでは \overline{CE} OUTはOUTへプルアップされます。 \overline{CE} OUTはバッテリーフレッシュネスシールをイネーブルするときにも使用されます(「バッテリーフレッシュネスシール」の項を参照)。
6	6	—	WDI	ウォッチドッグ入力。ウォッチドッグタイムアウト期間よりも長い間WDIがハイ又はローを維持した場合、内部ウォッチドッグタイムが切れてリセットがトリガされます。WDIがどこにも接続されないか、あるいはハイインピーダンスのスリーステートバッファに接続された場合、ウォッチドッグ機能はディセーブルされます。内部ウォッチドッグタイムは、リセットが発生するか、WDIがスリーステートになるか、あるいはWDIの立上がり又は立下がりエッジが生じるとクリアされます。この端子はリーク電流10 μ A、最大容量200pFのスリーステート出力素子を駆動するようにも設計されています。出力デバイスはアクティブ時に200 μ Aの電流シンク/ソース能力を持っていない限りなりません。
—	—	6	\overline{MR}	マニュアルリセット入力。 \overline{MR} がロジックローになるとリセットが発生します。リセット状態は \overline{MR} がローである間及び \overline{MR} がハイに戻ってから200msの間維持されます。このアクティブローの入力は63k Ω で内部プルアップされており、TTL又はCMOSロジックラインで駆動するか、あるいはスイッチでグランドに短絡することができます。使用しない場合はオープンのままにするか、あるいはV _{CC} に接続してください。
7	7	7	\overline{RESET}	アクティブローのリセット出力。トリガされると200msだけパルス的にローになり、V _{CC} がリセットスレッシュホールド以下の時、あるいは \overline{MR} がロジックローの時はローに留まります。V _{CC} がリセットスレッシュホールド以上になった時、ウォッチドッグがリセットをトリガした時、あるいは \overline{MR} がローからハイになった後に200msだけローに留まります。
8	8	8	BATT	バックアップバッテリー入力。V _{CC} がV _{BATT} 以下になると、OUTはV _{CC} からBATTに切り換わります。V _{CC} がV _{BATT} 以上になると、OUTは再びV _{CC} に接続します。

+5Vマイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M*

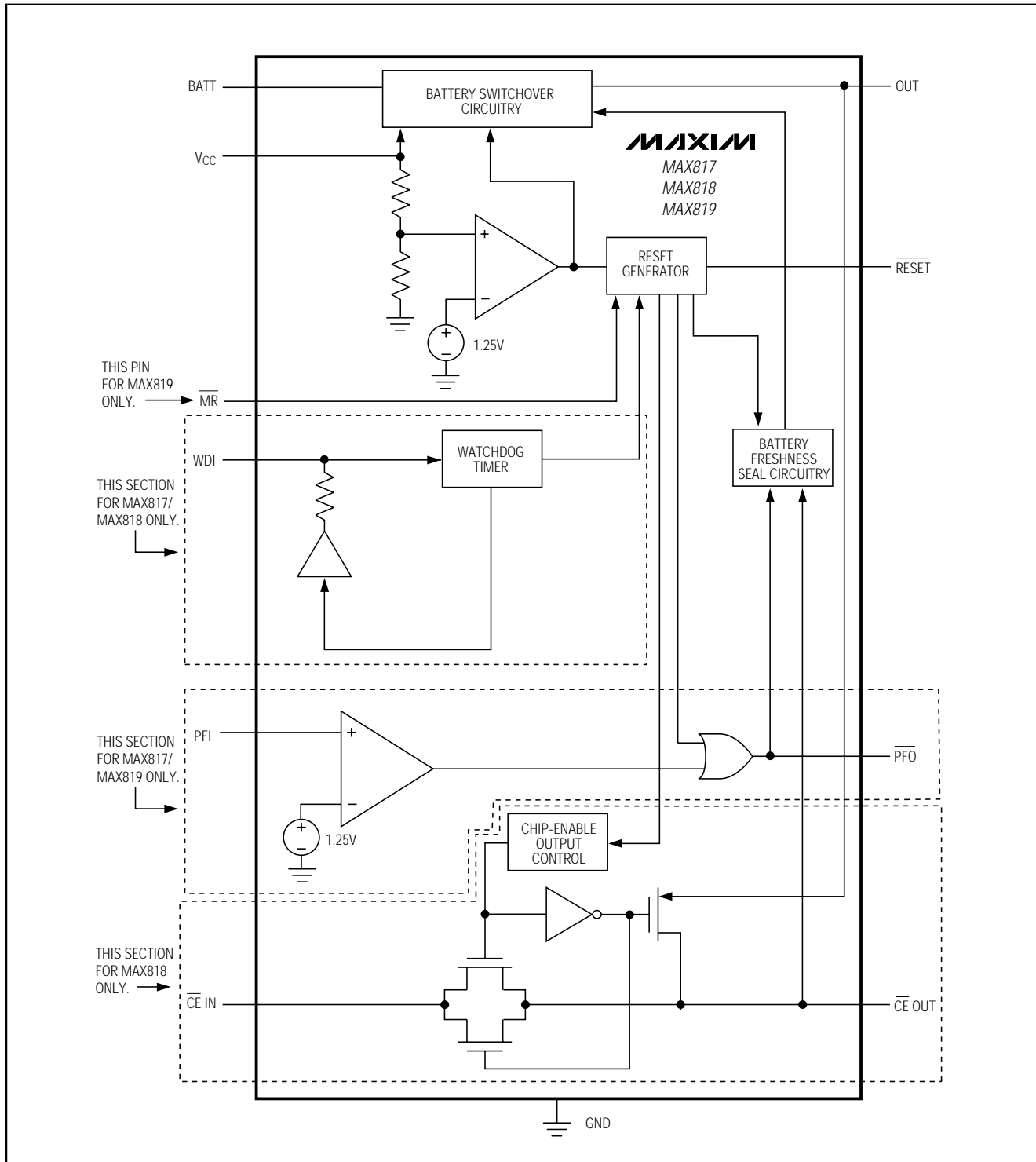


図1. ファンクションダイアグラム

詳細

一般的なタイミング特性

MAX817/MAX818/MAX819は5Vシステム用に設計されており、数多くのマイクロプロセッサ(μ P)監視機能を備えています(最初のページの「選択ガイド」を参照)。標準的な V_{CC} の立上がり/立下がり時間を想定した場合の、パワーアップ及びパワーダウン時の様々な出力の標準的なタイミングを図2に示します。

RESET出力

マイクロプロセッサ(μ P)のリセット入力によって、 μ Pは既知の状態です。MAX817/MAX818/MAX819の μ P監視回路はパワーアップ、パワーダウン及び電圧低下時のコード実行エラーを防止するためにリセットを発生します。 V_{BATT} が1V以上で $0V < V_{CC} < V_{RST}$ の条件が満たされていれば、RESETはロジックローになることが保証されています。バックアップ 배터리がない場合($V_{BATT} = GND$)、 $V_{CC} < 1V$ の条件でRESETが有効であることが保証されています。 V_{CC} がリセットスレッシュホールドを超えると、内部タイマがリセットタイムアウト期間(t_{RP})だけRESETをローに保持します。この期間が終了するとRESETはハイに戻ります(図2)。

電圧低下時(V_{CC} がリセットスレッシュホールドよりも低い時)には、RESETはローになります。RESETは実行される度に、リセットタイムアウト期間中ローを保持します。 V_{CC} がリセットスレッシュホールド以下になる度に内部タイマがクリアされます。 V_{CC} がリセットスレッシュホールド以上に戻ると、リセットタイマはスタートします。RESETは電流のソース及びシンクとなります。

マニュアルリセット入力(MAX819)

μ P製品を使用する多くの製品は、マニュアルリセット機能を必要とします。マニュアルリセット機能によってオペレータ、テストエンジニア、又は外部のロジック回路がリセットを発生することができます。MAX819では、 \overline{MR} がロジックローになるとリセットが発生します。リセット状態は \overline{MR} がローの間維持され、そして、 \overline{MR} が

ハイに戻った後も t_{RP} (200ms)間だけ維持されます。リセットタイムアウト期間(t_{RP})中、バッテリーフレッシュネスシールがイネーブルされていると \overline{MR} の状態は無視されます。 \overline{MR} は63kの内部プルアップ抵抗を備えているため、未使用時はオープンにしたままでも構いません。 \overline{MR} はTTL/CMOSロジックレベル又はオープンドレイン/コレクタ出力によって駆動することができます。 \overline{MR} とGNDの間にノーマリオープンのモーメンタリスイッチを接続することで、マニュアルリセット機能を実現できます(外部デバウンス回路は必要ありません)。 \overline{MR} を駆動するケーブルが長い場合やノイズが大きい環境では、 \overline{MR} とGNDの間に0.1 μ Fのコンデンサを取り付けることでノイズ耐性を強化してください。

バッテリーフレッシュネスシールをイネーブルする時には \overline{MR} がオープン又はハイでなければなりません。イネーブルされれば、バッテリーフレッシュネスシールの動作は \overline{MR} に影響されません。

バッテリーフレッシュネスシール

MAX817/MAX818/MAX819のバッテリーフレッシュネスシール機能は、必要な時までバックアップバッテリーを内部回路とOUTから切り離しておきます。これによって、BATTに接続されたバッテリーの鮮度を最終製品が使用されるまで保つことができます。MAX817とMAX819のフレッシュネスシールをイネーブルするには:

- 1) バッテリーをBATTに接続する。
- 2) \overline{PFO} を接地する。
- 3) V_{CC} をリセットスレッシュホールドよりも高くし、リセットタイムアウト期間が終了してリセットが解除されるまで V_{CC} をそのまま保持する。
- 4) 再び V_{CC} を下げる(図3)。

MAX818では \overline{PFO} を接地する代わりに $\overline{CE OUT}$ を接地して同じ手順で行って下さい。いったんバッテリーフレッシュネスシールをイネーブルすると(つまり、バックアップバッテリーを内部回路及びOUTに接続された回路から切り離すと)、 V_{CC} が V_{RST} 以上になるまでイネーブル状態は続きます。

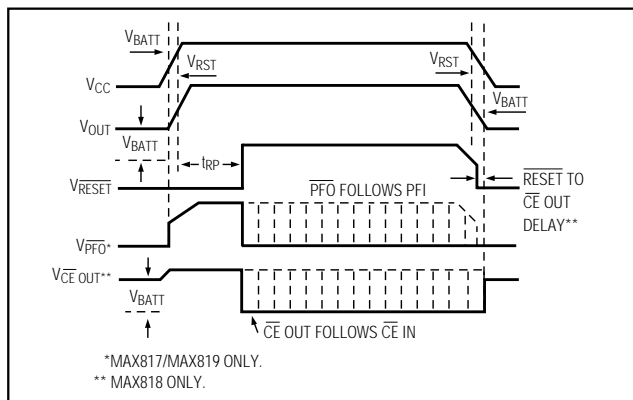


図2. パワーアップ及びパワーダウンのタイミング

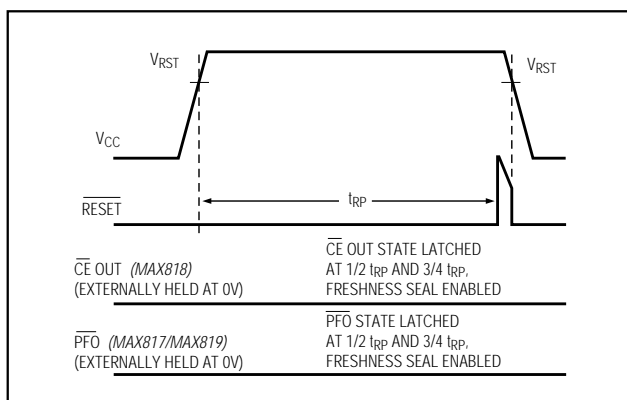


図3. バッテリーフレッシュネスシールのタイミング

+5Vマイクロプロセッサ監視回路

* MAX817L/M, MAX818L/M, MAX819L/M

MAX819では、バッテリーフレッシュネスシールをイネーブルする時に \overline{MR} がオープン又はハイでなければなりません。イネーブルされれば、バッテリーフレッシュネスシールの動作は \overline{MR} に影響されません。

ウォッチドッグ入力(MAX817/MAX818)

MAX817/MAX818ではウォッチドッグ回路が μP の動作を監視します。 μP が t_{WD} (1.6秒)以内にウォッチドッグ入力(WDI)をトグルしない場合、リセットが発生します。1.6秒の内部タイマはリセットパルス又はWDIのトグルによってクリアされます(最小50nsのパルスまで検出されます)。タイマはリセットが実行されている間はクリア状態を保ち、カウントを行いません。リセットがリリースされるとタイマはただちにカウントを開始します(図4)。

ウォッチドッグ機能をディセーブルするにはWDIに何も接続しないか、あるいはWDIに接続しているドライバをスリーステートにします。ウォッチドッグタイマのタイムアウト期間の最初の7/8までは、ウォッチドッグ入力は内部でローに下げられており、その後パルス的にハイになってからウォッチドッグカウンタをリセットします。WDIがオープンの場合、この内部ドライバは1.6秒タイマを1.4秒ごとにクリアします。WDIがスリーステート又は無接続の場合、最大許容リーク電流は10 μA で、最大許容負荷容量は200pFです。

チップイネーブルゲート(MAX818)

チップイネーブル(CE)信号の内部ゲートは、低電圧状態時に誤データがCMOS RAMを破壊することを防ぎます。MAX818は $\overline{CE IN}$ から $\overline{CE OUT}$ へは直列トランスミッションゲート使用しています(図5)。通常動作中(リセットが実行されていない時)はCEトランスミッションゲートはイネーブルされ、CEトランジションを全て通過させます。リセットが実行された場合はこの経路はディセーブルされ、誤データがCMOS RAMのデータを破壊するのを防ぎます。 $\overline{CE IN}$ から $\overline{CE OUT}$ へのCE伝播遅延は短いため、MAX818は殆どの μP で使用することができます。リセットが実行された時に $\overline{CE IN}$ がローの場合、進行中の書込みサイクルを完了させるために $\overline{CE OUT}$ は15 μs (typ)間だけローに留まります。

チップイネーブル入力(MAX818)

リセットが実行されている間はCEトランスミッションゲートはディセーブルされ、 $\overline{CE IN}$ はハイインピーダンス(ディセーブルモード)です。パワーダウンシーケンス中に V_{CC} がリセットスレッシュホールドを切った場合、CEトランスミッションゲートはディセーブルされ、 $\overline{CE IN}$ での電圧が高ければ $\overline{CE IN}$ はすぐにハイインピーダンスになります。リセットが実行されたときに $\overline{CE IN}$ がローの場合、CEトランスミッションゲートはリセットが実行されてから15 μs 後にディセーブルされます(図6)。これに

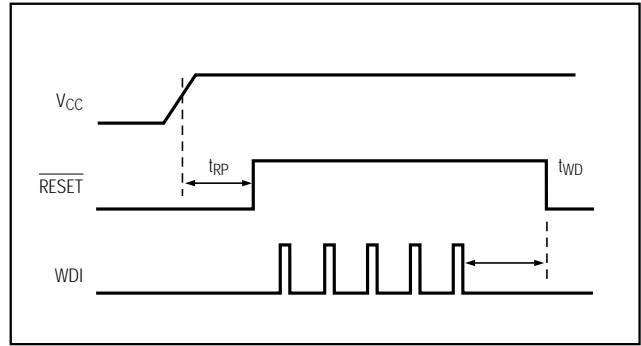


図4. ウォッチドッグのタイミング

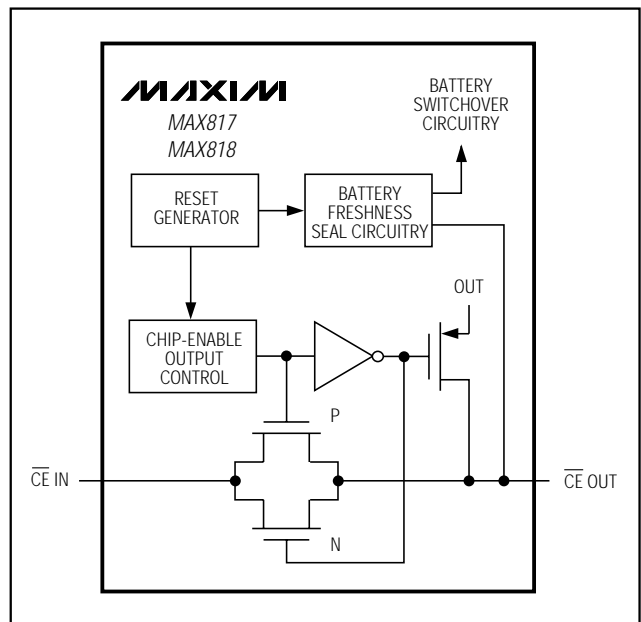


図5. チップイネーブル・トランスミッションゲート

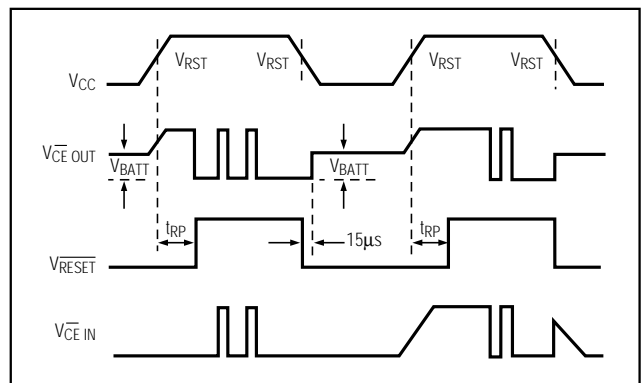


図6. チップイネーブルのタイミング

よってパワーダウン中に進行中の書込みサイクルを完結させることができます。

リセットが発生する度に、リセットタイムアウト期間の間CEトランスミッションゲートはディセーブルのままになり、 $\overline{CE\ IN}$ は(そのアクティビティに関係なく)ハイインピーダンスを維持します。CEトランスミッションゲートがイネーブルされると、 $\overline{CE\ IN}$ のインピーダンスは $\overline{CE\ OUT}$ の負荷と直列に接続された40Ωの抵抗として見えます。CEトランスミッションゲートの伝播遅延は、 V_{CC} 、 $\overline{CE\ IN}$ に接続されているドライブのソースインピーダンス及び $\overline{CE\ OUT}$ での負荷に依存します(「標準動作特性」を参照)。CE伝播遅延は、50Ωドライバと50pFの負荷容量を用いて、 $\overline{CE\ IN}$ の50%のところから $\overline{CE\ OUT}$ の50%のところまでテストされています(図7)。伝播遅延を最小限に留めるためには、 $\overline{CE\ OUT}$ の容量性負荷をなるべく小さくし、また低出力インピーダンスドライバを使用してください。

チップイネーブル出力(MAX818)

CEトランスミッションゲートがイネーブルされている時、 $\overline{CE\ OUT}$ のインピーダンスは、 $\overline{CE\ IN}$ を駆動するソースに直列に接続された40Ωと等価です。ディセーブルモードでは、トランスミッションゲートはオフになり、アクティブプルアップにより $\overline{CE\ OUT}$ がOUTに接続されます(図5)。トランスミッションゲートがイネーブルされると、このプルアップはオフになります。

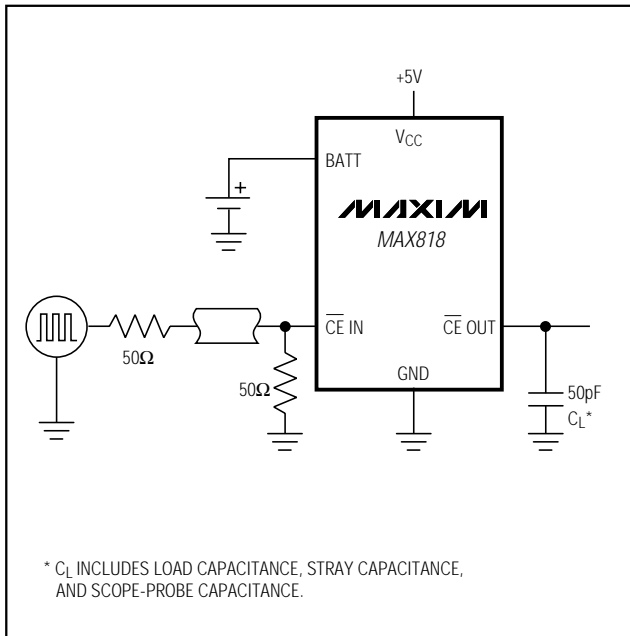


図7. CE伝播遅延試験回路

パワーフェイルコンパレータ(MAX817/MAX819)

MAX817/MAX819のPFI入力には内部リファレンスと比較されます。PFIがパワーフェイルスレッショルド(V_{PFT})よりも低い場合、 \overline{PFO} がローになります。パワーフェイルコンパレータは、電源が低下し始めることを知らせる低電圧検出器として使用するよう意図されています(図8)。しかし、このコンパレータは他の回路部分から完全に独立しているため、用途をこの機能に限る必要はありません。

V_{CC} が V_{BATT} よりも低くなると、パワーフェイルコンパレータがターンオフし、 \overline{PFO} がローになります。リセットタイムアウト期間(t_{RP})中は V_{PFI} の状態にかかわらず、 \overline{PFO} は強制的にハイに保たれます(「バッテリーフレッシュネスシール」の項を参照)。このコンパレータを使用しない場合は、PFIをグランドに接続し、 \overline{PFO} には何も接続しないでください。MAX819では \overline{PFO} をMRに接続することで、PFIが低電圧の時にリセットが発生するように構成できます(図9)。この構成で監視されている電圧が低下してPFIが V_{PFT} より低くなると、 \overline{PFO} がMRをローに引き下げ、リセットが発生します。 \overline{PFO} がMRをローに保持している間、及び監視されている電圧が設定スレッショルドより高くなり、 \overline{PFO} がMRをハイに引き上げた後も t_{RP} (200ms)の間だけ、リセット状態は維持されます。 \overline{PFO} がMRに接続されていると、バッテリーフレッシュネスシールをイネーブルすることができません。バッテリーフレッシュネスシールをイネーブルするためには、MRがハイ又はオープンでなければなりません。イネーブルされれば、バッテリーフレッシュネスシールの動作は \overline{PFO} とMRとの接続には影響されません。

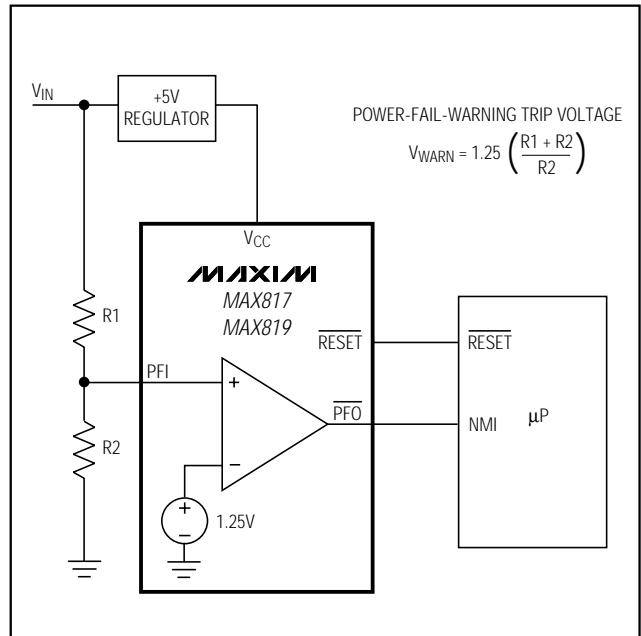


図8. パワーフェイルコンパレータを用いてパワーフェイル警報を発生

+5Vマイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M

バックアップバッテリー切換え

低電圧あるいは電源異常時には、RAMの内容を保持することが必要になってきます。バックアップバッテリーがBATTに接続されている場合、V_{CC}が低下すればMAX817/MAX818/MAX819はRAMを自動的にバックアップ電源に切換えます。バッテリーバックアップモードへの切換えが起こるには2つの条件が満たされる必要があります。すなわち、1) V_{CC}はリセットスレッシュホールド以下でなければならず、また2) V_{CC}はV_{BATT}以下でなければなりません。表1にバッテリーバックアップモード中の入出力状態を示します。

V_{CC}がリセットスレッシュホールドより高い間はOUTは5のPMOSパワースイッチを通してV_{CC}に接続されています。V_{CC}がリセットスレッシュホールドよりも低くなると、V_{CC}又はV_{BATT}(どちらか高い方)がOUTに接続されます。V_{CC}がV_{RST}及びV_{BATT}よりも低くなると、BATTは80のスイッチを通してOUTに接続されます。

表1. バッテリーバックアップモードでの入出力状態

SIGNAL	STATUS
V _{CC}	Disconnected from V _{OUT} .
V _{OUT}	Connected to V _{BATT} through an internal 80Ω PMOS switch.
V _{BATT}	Connected to V _{OUT} . Current drawn from the battery is less than 1μA, as long as V _{CC} < V _{BATT} - 0.2V.
V _{RESET}	Logic low
V _{WDI}	Watchdog timer is disabled.
V _{CE} OUT	Logic high. The open-circuit voltage is equal to V _{OUT} .
V _{CE} IN	High impedance

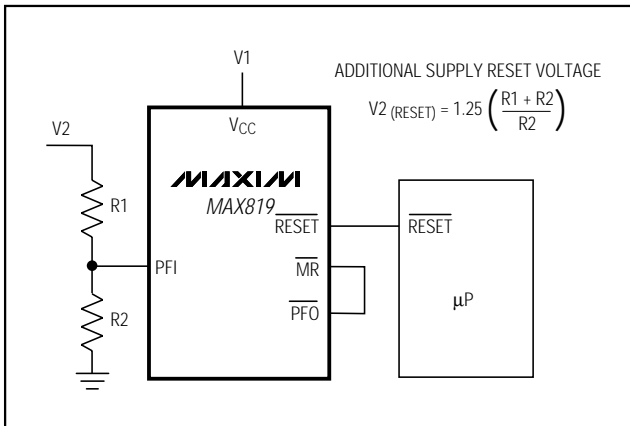


図9. PFIをMRに接続してもう一つの電源を監視

V_{CC}がリセットスレッシュホールドを超えると、BATTの電圧に関係なくサブストレートに接続されます(図10)。このとき、V_{BATT}がV_{CC}よりも0.6V高ければ、BATTとサブストレートの間のダイオード(D1)がBATTからV_{CC}に電流を通します。BATTがOUTに接続されるときは、バックアップモードが作動し、内部回路はバッテリーで駆動されるようになります(表1)。V_{CC}がV_{BATT}よりわずかに低い場合、BATTから流れる電流は6μA(typ)です。V_{CC}がV_{BATT}よりも1V以上低くなると、内部切換えコンパレータがオフになり、消費電流は1μA以下になります。

アプリケーション情報

MAX817/MAX818/MAX819は10秒以下の通常の短絡状態から保護されています。OUTを10秒間以上グラウンドに短絡すると素子が破壊されます。0.1μFコンデンサを素子のできるだけ近くに取り付けてV_{CC}、OUT及びBATTをグラウンドにデカップリングしてください。

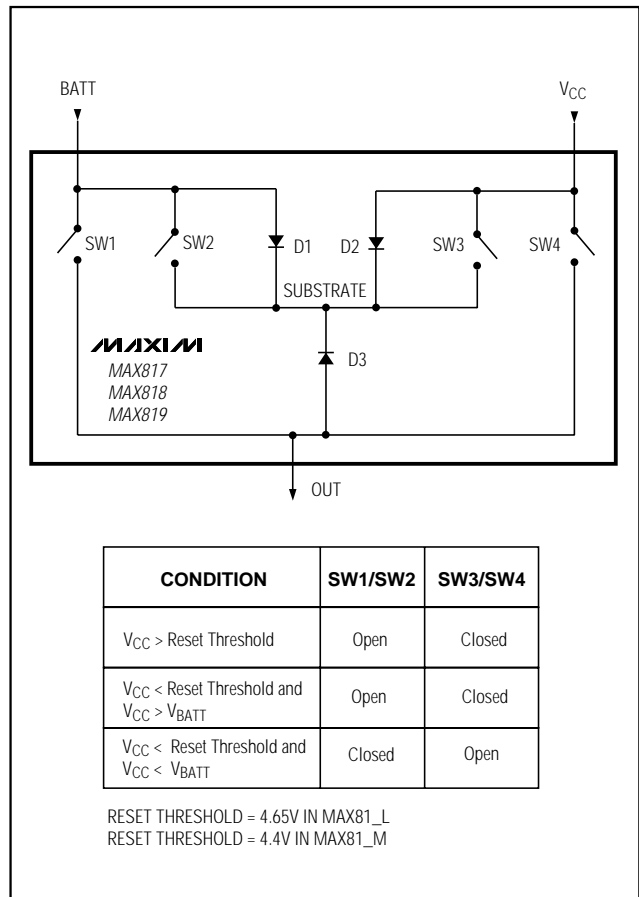


図10. バックアップバッテリー切換えのブロック図

ウォッチドッグ入力電流

MAX817/MAX819のWDI入力は内部で、ウォッチドッグカウンタからバッファと直列抵抗を通して駆動されます(図1)。WDIが無接続のままだと、ウォッチドッグタイムアウト期間内に、カウンタからのロー・ハイ・ローパルスによって動作します。ウォッチドッグ入力電流を最小限にしたい場合(全体的な消費電力を最小限にしたい場合)は、ウォッチドッグタイムアウト期間の大部分の間WDIをローのままにし、7/8のウォッチドッグタイムアウト期間内に1度だけロー・ハイ・ローのパルスを送ってウォッチドッグタイマをリセットしてください。この処置をせず、WDIがタイムアウト期間の大部分の間外部からハイに駆動された場合、最大150μAの電流がWDIに流れ込みます。

SuperCap™のバックアップ電源としての使用

SuperCapはサイズの割には非常に容量の大きいコンデンサです(0.47F程度)。BATTはV_{CC}と同じ動作電圧範囲を持ち、バッテリー切換えスレッシュホールド電圧は通常V_{BATT}を中心に±30mVであるため、バックアップ電源としてSuperCapとシンプルな充電回路を使用することができます。図11にSuperCapをバックアップ電源として使用する例を示します。

V_{CC}がリセットスレッシュホールドよりも高く、V_{BATT}がV_{CC}よりも0.5V高い場合、BATTとV_{CC}の差が0.5Vより小さくなるまで、BATTからOUT及びV_{CC}へ電流が流れます。例えば、SuperCapがBATTに接続され、ダイオードを通じてV_{CC}に接続されている場合、V_{CC}が5.4Vから4.9Vに急激に変化したときに、V_{BATT}が5.1V(typ)に達するまでOUTとV_{CC}を通してコンデンサは放電します。SuperCap充電ダイオードと内部パワーダイオードを通るリーク電流が最終的にはSuperCapの電圧をV_{CC}まで放電させます。また、最初にV_{CC}とV_{BATT}がリセット

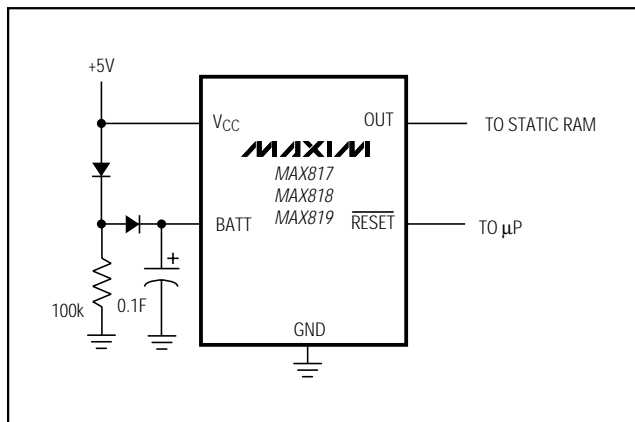


図11. +5V±10%電源のバックアップ電源にSuperCapを使用

SuperCapはBaknor Industriesの商標です。

スレッシュホールドよりも0.1V高いときに、V_{CC}電源が失われた場合、BATTに接続されたSuperCapはV_{CC}を通してV_{BATT}がリセットスレッシュホールドに達するまで放電します。そこでバッテリーバックアップモードに入り、V_{CC}を通る電流はゼロになります。

バックアップ電源なしの動作

MAX817/MAX818/MAX819はバッテリーバックアップ付のアプリケーション用に設計されています。バックアップバッテリーを使用しない場合はV_{CC}をOUTに接続し、BATTをグランドに接続してください。

バックアップバッテリーの交換

BATTが0.1μFコンデンサでグランドにデカップリングされていれば、V_{CC}が有効な時にバックアップ電源を取去ってもリセットパルスが発生する心配はありません。V_{CC}がリセットスレッシュホールドよりも高い間はバッテリーバックアップモードには入りません。

パワーフェイルコンパレータにヒステリシスを付加 (MAX817/MAX819)

パワーフェイルコンパレータの入力ヒステリシスは4mV(typ)です。電源ラインが外部分圧器を通じて監視される殆どのアプリケーションでは、これで十分です(「もう一つの電源の監視」の項を参照)。

ノイズマージンを増やしたい時は、図12に示すように、PFOとPFIの間に抵抗を接続してください。R1とR2の

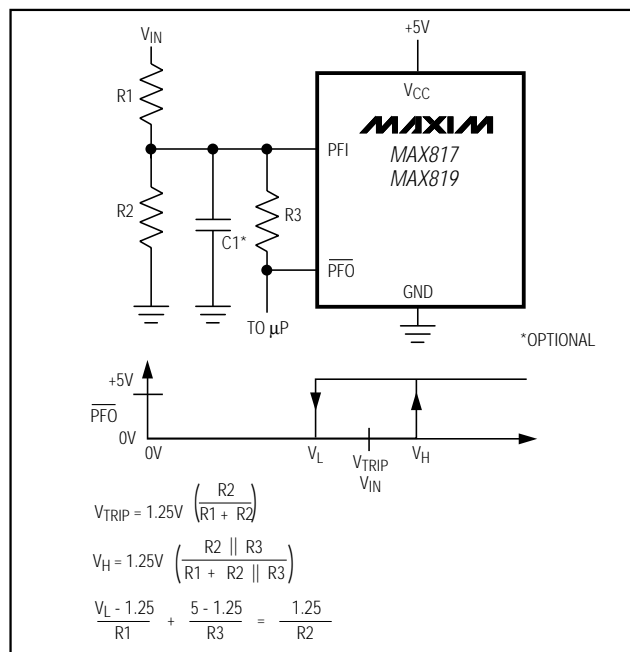


図12. パワーフェイルコンパレータにヒステリシスを付加

+5V マイクロプロセッサ監視回路

* MAX817L/M, MAX818L/M, MAX819L/M

比は、 V_{IN} が希望の検出点(V_{TRIP})まで下がった時に、PFIの電圧が V_{PFT} になるように設定してください。抵抗R3がヒステリシスを追加します。R3は通常R1やR2よりも約1桁大きな値になります。PFI入力のリーク電流が最大値の25nAでも検出点がずれないように、R1とR2を流れる電流は少なくとも $1\mu A$ 以上が必要です。PFOピンが過負荷にならないために、R3は200k以上にしてください。コンデンサC1はノイズ除去を改善します。

もう一つの電源の監視(MAX817/MAX819)

MAX817/MAX819 μP 監視回路は、PFIに抵抗分圧器を接続することで、正又は負の電源を監視することができます。PFOは μP へ割込みの発生又はリセットのトリガに使用することができます(図9及び図13)。

双方向リセットピン付きの μP へのインタフェース

Motorola社の68HC11シリーズ等の双方向リセットピン付きの μP は、MAX817/MAX818/MAX819のRESET出力と競合することができます。例えばRESET出力がハイになり、 μP がその出力をローにしようとする、ロジックレベルが不定状態になることがあります。これを正常にするためには、4.7kの抵抗をRESET出力と μP のリセットI/Oの間に接続してください(図14)。また、他のシステム部品へ出力する場合はRESET出力をバッファしてください。

V_{CC} の負方向への変動

MAX817/MAX818/MAX819はパワーアップ、パワーダウン及び電圧低下時に μP にリセット信号を発生しますが、 V_{CC} の負方向への瞬時的なトランジェント(グリッチ)に対しては比較的耐性があります。従って、 V_{CC} でのグリッチが僅かな場合には μP をリセットすることは通常推奨されません。

「標準動作特性」に、リセットパルスが発生しない最大トランジェント持続時間対リセットスレッシュホールドオーバードライブのグラフを示します。このグラフは、負方向へのパルスを V_{CC} に重畳させて測定しています。まず、3.3Vで始め、リセットスレッシュホールドより示された値(リセットスレッシュホールドオーバードライブ)だけ低い電圧まで測定します。グラフは、リセットパルスをトリガしない V_{CC} の負方向へのトランジェントの標準的な最大パルス幅を示しています。トランジェントの大きさが増加するに従って(リセットスレッシュホールドよりさらに低下)、最大許容パルス幅は低下します。通常、 V_{CC} のトランジェントがリセットスレッシュホールドよりも100mV低下し、持続時間が135 μs 以下の場合にはリセットパルスをトリガしません。

0.1 μF のバイパスコンデンサを V_{CC} ピンの近くに取付けることで、トランジェントへの耐性を強化できます。

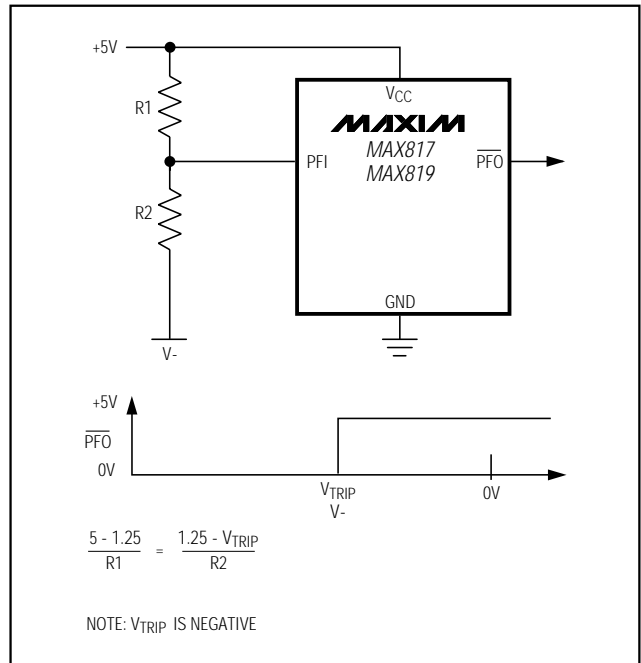


図13. 負電圧の監視

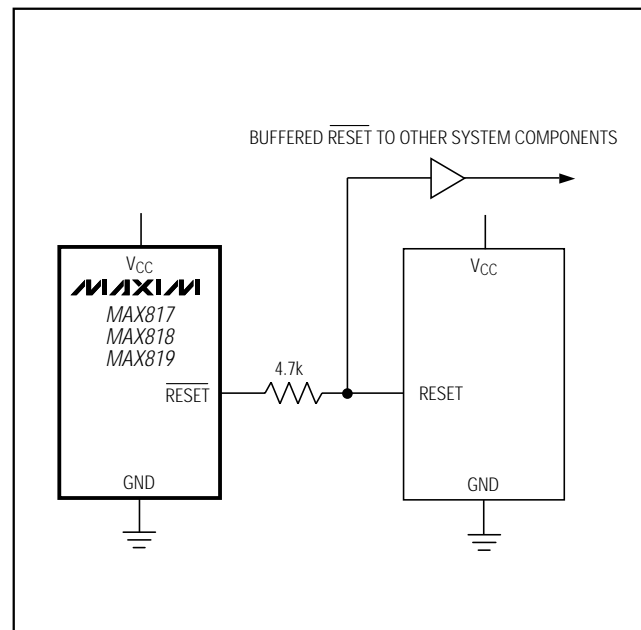


図14. 双方向リセットI/O付の μP へのインタフェース

+5Vマイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M*

ウォッチドッグ機能のためのソフトウェア上の考慮 (MAX817/MAX818)

ウォッチドッグタイマが、ソフトウェアの実行をより厳密に監視するには、ウォッチドッグ入力に「ハイ・ロー・ハイ」や「ロー・ハイ・ロー」のパルスを送るのではなく、ウォッチドッグ入力のセットとリセットをプログラム中の異なる点で行う方法です。この方法を用いることで、ループの中でウォッチドッグタイマがリセットされ続け、ウォッチドッグタイマがタイムアウトしなくなるスタックループを避けることができます。図15に例示するフロー図では、ウォッチドッグ入力を駆動するI/Oはプログラムの最初でハイに設定され、各サブルーチン又はループの最初でローに設定されます。そしてプログラムが始めに戻ると再びハイに設定されます。プログラムがどこかのサブルーチンでハングした場合、I/Oがローに設定され続けるため、ウォッチドッグタイマがタイムアウトしてリセット又は割込みをトリガすることができ、迅速に問題を解決することができます。「ウォッチドッグ入力電流」の項で説明したように、この方式はタイムアウト期間の大部分でWDIをローにし、ロー・ハイ・ローのパルスを送る方法に比べて、平均ウォッチドッグ入力電流は高くなります。

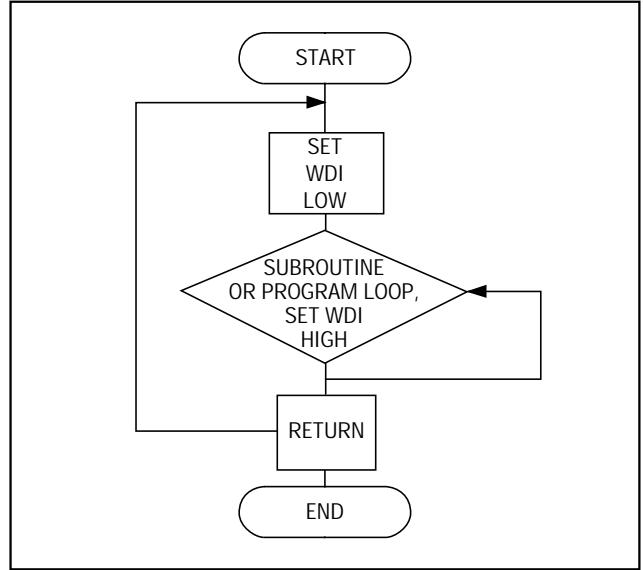
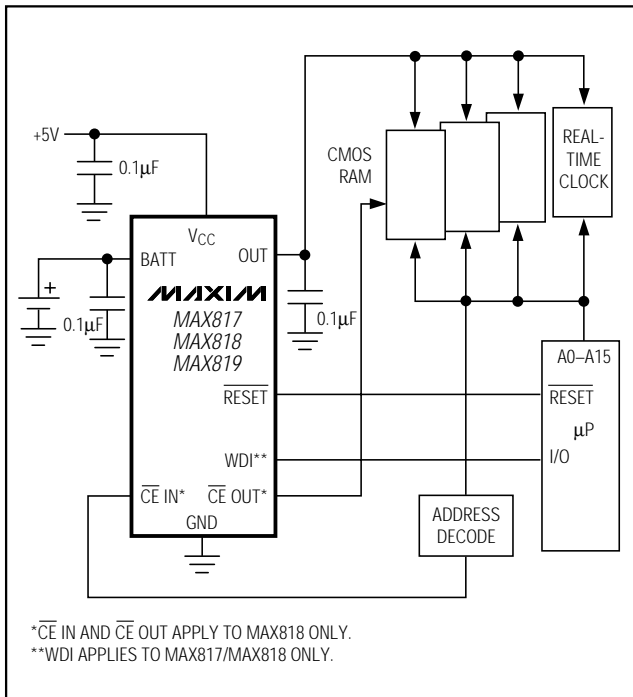
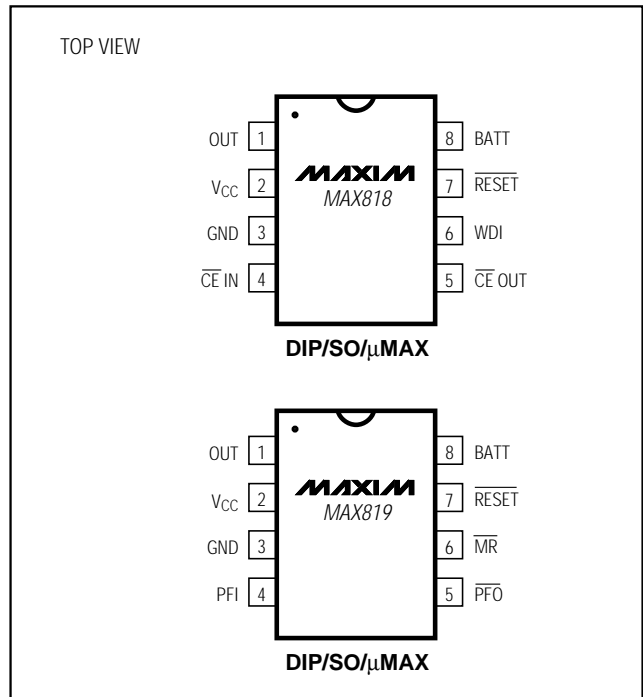


図15. ウォッチドッグのフロー図

標準動作回路



ピン配置(つづき)



+5V マイクロプロセッサ監視回路

MAX817L/M, MAX818L/M, MAX819L/M*

型番(つづき) _____

チップ情報 _____

PART†	TEMP. RANGE	PIN-PACKAGE
MAX817_EPA	-40°C to +85°C	8 Plastic DIP
MAX817_ESA	-40°C to +85°C	8 SO
MAX818_CPA	0°C to +70°C	8 Plastic DIP
MAX818_CSA	0°C to +70°C	8 SO
MAX818_CUA	0°C to +70°C	8 μMAX
MAX818_EPA	-40°C to +85°C	8 Plastic DIP
MAX818_ESA	-40°C to +85°C	8 SO
MAX819_CPA	0°C to +70°C	8 Plastic DIP
MAX819_CSA	0°C to +70°C	8 SO
MAX819_CUA	0°C to +70°C	8 μMAX
MAX819_EPA	-40°C to +85°C	8 Plastic DIP
MAX819_ESA	-40°C to +85°C	8 SO

TRANSISTOR COUNT: 719

† These parts offer a choice of reset threshold voltage. From the table below, select the suffix corresponding to the desired threshold and insert it into the blank to complete the part number.

SUFFIX	RESET THRESHOLD (V)
L	4.65
M	4.40

パッケージ _____

	INCHES		MILLIMETERS		JEDEC				
	MIN	MAX	MIN	MAX	INCHES	MAX	MILLIMETERS	MIN	MAX
A	0.037	0.043	0.94	1.10	---	0.043	---	1.10	
A1	0.002	0.006	0.05	0.15	0.002	0.006	0.05	0.15	
B	0.010	0.014	0.25	0.36	0.010	0.016	0.25	0.40	
C	0.005	0.007	0.13	0.18	0.005	0.009	0.13	0.23	
D	0.116	0.120	2.95	3.05	0.114	0.122	2.9	3.1	
e	0.0256	BSC	0.65	BSC	0.0256	BSC	0.64	BSC	
E	0.116	0.120	2.95	3.05	0.114	0.122	2.9	3.1	
H	0.188	0.198	4.78	5.03	0.193	BSC	4.9	BSC	
L	0.016	0.026	0.41	0.66	0.016	0.027	0.40	0.70	
α	0°	6°	0°	6°	0°	6°	0°	6°	
S	0.0207	BSC	0.5250	BSC					

NOTES:
 1. D&E DO NOT INCLUDE MOLD FLASH.
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 0.15MM (.006").
 3. CONTROLLING DIMENSION: MILLIMETERS.
 4. MEETS JEDEC MO-187.

MAXIM
 PROPRIETARY INFORMATION
 TITLE: PACKAGE OUTLINE, 8L μMAX
 APPROVAL: _____ DOCUMENT CONTROL NO: 21-0036 REV: I 1/1

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600