

概要

MAX791はマイクロプロセッサ(μP)監視回路で、μPシステムにおいて、電源及びバッテリーコントロール機能を監視するのに必要な部品点数とシステムの複雑さを低減することができます。消費電流が50μAのためポータブル機器での使用に最適ですが、チップイネーブルのプロパゲーションディレイが6ns、また出力電流が250mA(バッテリーバックアップモードでは25mA)となっているため、より大きな、高性能の機器にも適しています。

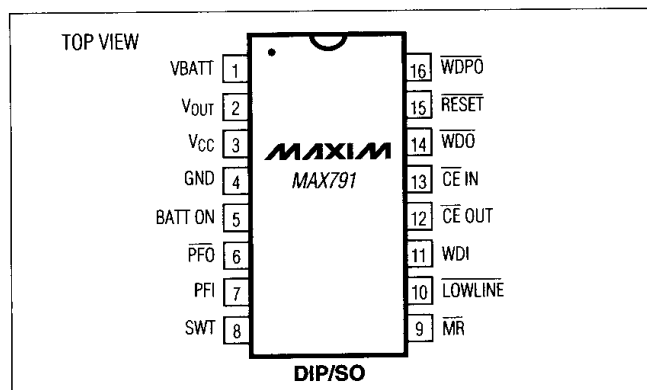
MAX791は16ピンDIP及びナローSOPパッケージで供給されており、以下の機能を備えています。

- 1) μPリセット—パワーアップ/パワーダウン、電圧低下時においてRESET出力が実行され、また回路内にバッテリーを備えていなくともV_{CC}=1Vまでこの実行が保証されます。
- 2) マニュアルリセット入力。
- 3) 1.25Vスレッシュホールド検出器により、パワーフェイル警報、ローバッテリー検出、+5V以外の電源の監視を行います。
- 4) 2段階のパワーフェイル警報—独立したローラインのコンパレータで、V_{CC}をリセットスレッシュホールドより150mV高いスレッシュホールド値と比較。
- 5) CMOS RAM、リアルタイムクロック、μP、その他のローパワーロジックへのバックアップバッテリー切替機能。
- 6) ソフトウェアによるバックアップバッテリー電圧の監視。
- 7) ウォッチドッグ入力が、既定あるいは可変のタイムアウト期間内にトグルされた場合、ウォッチドッグ・フォルト出力が実行されます。
- 8) CMOS RAMまたはEEPROMのライトプロテクション。
- 9) ウォッチドッグ・パルス出力機能—ウォッチドッグ・タイムアウトによって発生する、緊急のWDO実行を前もって警報する。

アプリケーション

コンピュータ μP電源監視
 コントローラ インテリジェント計測機器
 ポータブル/バッテリー駆動機器

ピン配置



TMMaxCap is a registered trademark of The Carborundum Corp. TMSuperCap is a registered trademark of Baknor Industries.

特長

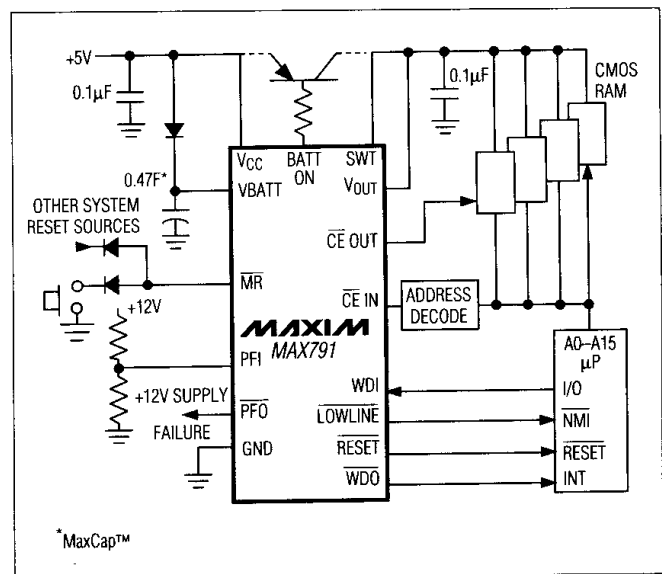
- ◆4.65V精密電圧モニタ
- ◆パワーOK/リセットタイムディレイ：200ms
- ◆独立ウォッチドッグタイマ：既定または可変値
- ◆スタンバイ電流：1μA
- ◆電源切替え
 V_{CC}モード：250mA出力
 バッテリー・バックアップモード：25mA出力
- ◆チップイネーブル信号のゲート
 メモリ書込サイクルの完結
 CEゲート伝播遅延：6ns
- ◆スーパーキャップ・コンパチブル
- ◆パワーフェイルまたはローバッテリー警報用の電圧監視
- ◆バックアップバッテリー監視
- ◆V_{CC}=1Vまで有効なRESET保証

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX791CPE	0°C to +70°C	16 Plastic DIP
MAX791CSE	0°C to +70°C	16 Narrow SO
MAX791C/D	0°C to +70°C	Dice*
MAX791EPE	-40°C to +85°C	16 Plastic DIP
MAX791ESE	-40°C to +85°C	16 Narrow SO
MAX791EJE	-40°C to +85°C	16 CERDIP
MAX791MJE	-55°C to +125°C	16 CERDIP

* Dice are specified at T_A = +25°C.

標準動作回路



*MaxCap™

ABSOLUTE MAXIMUM RATINGS

Input Voltage (with respect to GND)		Continuous Power Dissipation (T _A = +70°C)
V _{CC}	-0.3V to +6V	Plastic DIP (derate 10.53mW/°C above +70°C)
VBATT.....	-0.3V to +6V	Narrow SO (derate 8.70mW/°C above +70°C)
All Other Inputs.....	-0.3V to (V _{OUT} + 0.3V)	CERDIP (derate 10.00mW/°C above +70°C).....
Input Current		Operating Temperature Ranges
V _{CC} Peak	1.0A	MAX791C_ _
V _{CC} Continuous	250mA	MAX791E_ _
VBATT Peak	250mA	MAX791MJE
VBATT Continuous.....	25mA	Storage Temperature Range
GND, BATT ON.....	100mA	Lead Temperature (soldering, 10sec)
All Other Outputs	25mA	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 4.75V to 5.5V, VBATT = 2.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CCNDITIONS		MIN	TYP	MAX	UNITS	
Operating Voltage Range V _{CC} , VBATT (Note 1)			0		5.5	V	
V _{OUT} in Normal Operating Mode	V _{CC} = 4.5V	I _{OUT} = 25mA	V _{CC} - 0.05	V _{CC} - 0.02		V	
		I _{OUT} = 250mA	MAX791C/E	V _{CC} - 0.3	V _{CC} - 0.2		
		MAX791M	V _{CC} - 0.40				
	V _{CC} = 3V, VBATT = 2.8V, I _{OUT} = 100mA		V _{CC} - 0.2	V _{CC} - 0.12			
V _{CC} -to-V _{OUT} On-Resistance	V _{CC} = 4.5V	MAX791C/E		0.8	1.2	Ω	
		MAX791M		0.8	1.6		
	V _{CC} = 3V			1.2	2.0		
V _{OUT} in Battery-Backup Mode	VBATT = 4.5V, I _{OUT} = 20mA		VBATT - 0.3		V		
	VBATT = 2.8V, I _{OUT} = 10mA		VBATT - 0.25				
	VBATT = 2.0V, I _{OUT} = 5mA		VBATT - 0.15				
VBATT-to-V _{OUT} On-Resistance	VBATT = 4.5V			8	15	Ω	
	VBATT = 2.8V			13	25		
	VBATT = 2.0V			17	30		
Supply Current in Normal Operating Mode (Excludes I _{OUT})	V _{CC} > VBATT - 1V			50	150	μA	
Supply Current in Battery-Backup Mode (Excludes I _{OUT}) (Note 2)	V _{CC} < VBATT - 1.2V, VBATT = 2.8V		T _A = +25°C		0.04	1	μA
			T _A = T _{MIN} to T _{MAX}			5	
VBATT Standby Current (Note 3)	VBATT + 0.2V ≤ V _{CC}		T _A = +25°C		-0.1	0.02	μA
			T _A = T _{MIN} to T _{MAX}		-1.0	0.02	
Battery-Switchover Threshold	Power up		VBATT + 0.03		V		
	Power down		VBATT - 0.03				
Battery-Switchover Hysteresis			60		mV		
Low-Battery Detector Threshold			2		V		

ELECTRICAL CHARACTERISTICS (continued)(V_{CC} = 4.75V to 5.5V, V_{BATT} = 2.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
BATT ON Output Low Voltage	I _{SINK} = 3.2mA		0.1	0.4	V
	I _{SINK} = 25mA		0.7	1.5	
BATT ON Output Short-Circuit Current	Sink current		60		mA
	Source current	1	15	100	μA
RESET, LOW-LINE AND WATCHDOG TIMER					
RESET Threshold Voltage		4.50	4.65	4.75	V
RESET Threshold Hysteresis			15		mV
LOWLINE-to-RESET Threshold Voltage			150		mV
V _{CC} -to-RESET Delay	Power down		100		μs
V _{CC} -to-LOWLINE Delay	Power down		80		μs
RESET Active Timeout Period	Power up	140	200	280	ms
Watchdog Timeout Period	SWT connected to V _{OUT}	1.0	1.6	2.25	sec
Minimum Watchdog Timeout Period	4.7nF capacitor connected from SWT to GND		10		ms
Minimum Watchdog Input Pulse Width	V _{IL} = 0.8V, V _{IH} = 0.75 × V _{CC}	100			ns
WDPO Pulse Width			1		ms
WDPO-to-WDO Delay			70		ns
RESET Output Voltage	MAX791C, I _{SINK} = 50μA, V _{CC} = 1.0V, V _{CC} falling		0.004	0.3	V
	MAX791E/M, I _{SINK} = 50μA, V _{CC} = 1.2V, V _{CC} falling		0.004	0.3	
	I _{SINK} = 3.2mA, V _{CC} = 4.25V		0.1	0.4	
	I _{SOURCE} = 1.6mA, V _{CC} = 5V	3.5			
RESET Output Short-Circuit Current	Output source current		7	20	mA
LOWLINE Output Voltage	I _{SINK} = 3.2mA, V _{CC} = 4.25V			0.4	V
	I _{SOURCE} = 1μA, V _{CC} = 5V	3.5			
LOWLINE Output Short-Circuit Current	Output source current		15	100	μA
WDO Output Voltage	I _{SINK} = 3.2mA			0.4	V
	I _{SOURCE} = 500μA, V _{CC} = 5V	3.5			
WDO Output Short-Circuit Current	Output source current		3	10	mA
WDPO Output Voltage	I _{SINK} = 3.2mA			0.4	V
	I _{SOURCE} = 1mA	3.5			
WDPO Output Short-Circuit Current	Output source current		7	20	mA

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = 4.75V to 5.5V, V_{BATT} = 2.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
WDI Threshold Voltage (Note 4)	V _{IH}	0.75 × V _{CC}			V
	V _{IL}	0.8			
WDI Input Current	WDI = 0V	-50	-10		μA
	WDI = V _{OUT}		20	50	
POWER-FAIL COMPARATOR					
PFI Input Threshold	V _{CC} = 5V	1.20	1.25	1.30	V
PFI Leakage Current			±0.01	±25	nA
PFO Output Voltage	I _{SINK} = 3.2mA			0.4	V
	I _{SOURCE} = 1μA, V _{CC} = 5V	3.5			
PFO Short-Circuit Current	Output sink current		60		mA
	Output source current	1	15	100	μA
PFI-to-PFO Delay	V _{IN} = -20mV, V _{OD} = 15mV		15		μs
	V _{IN} = 20mV, V _{OD} = 15mV		55		
CHIP-ENABLE GATING					
CE IN Leakage Current	Disabled mode		±0.005	±1	μA
CE IN-to-CE OUT Resistance (Note 5)	Enabled mode		75	150	Ω
CE OUT Short-Circuit Current (Reset Active)	Disabled mode, CE OUT = 0V	0.1	0.75	2.0	mA
CE IN-to-CE OUT Propagation Delay (Note 6)	50Ω source impedance driver, C _{LOAD} = 50pF		6	10	ns
CE OUT Output Voltage High (Reset Active)	V _{CC} = 5V, I _{OUT} = -100μA	3.5			V
	V _{CC} = 0V, V _{BATT} = 2.8V, I _{OUT} = 1μA	2.7			
RESET-to-CE OUT Delay	Power down		15		μs
MANUAL RESET INPUT					
MR Minimum Pulse Width		25	15		μs
MR-to-RESET Propagation Delay			7		μs
MR Threshold	V _{CC} = 5V		1.25		V
MR Pull-Up Current	MR = 0V		23	250	μA

Note 1: Either V_{CC} or V_{BATT} can go to 0V, if the other is greater than 2.0V.

Note 2: The supply current drawn by the MAX791 from the battery (excluding I_{OUT}) typically goes to 10μA when (V_{BATT} - 1V) < V_{CC} < V_{BATT}. In most applications, this is a brief period as V_{CC} falls through this region.

Note 3: "+" = battery-discharging current, "-" = battery-charging current.

Note 4: WDI is internally connected to a voltage divider between V_{OUT} and GND. If unconnected, WDI is driven to 1.6V (typ), disabling the watchdog function.

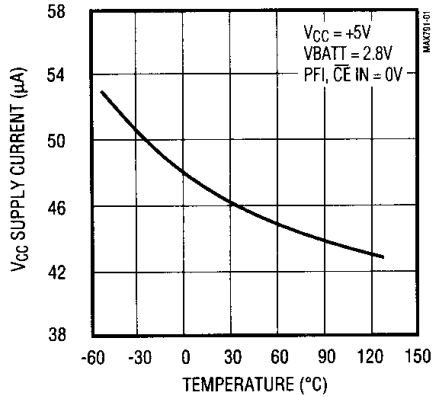
Note 5: The chip-enable resistance is tested with V_{CC} = 4.75V V_{CE IN} = V_{CE OUT} = V_{CC} / 2.

Note 6: The chip-enable propagation delay is measured from the 50% point at CE IN to the 50% point at CE OUT.

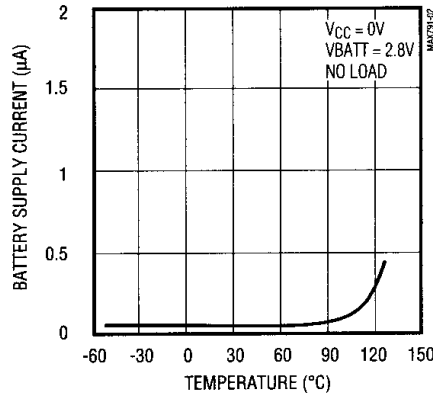
標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

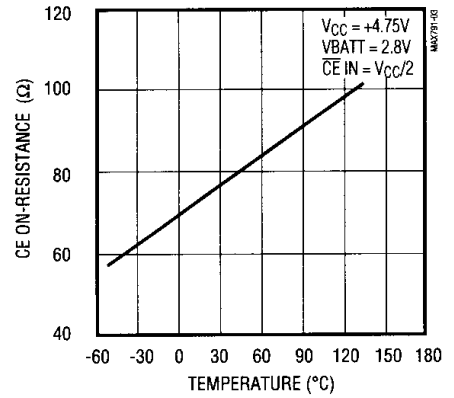
V_{CC} SUPPLY CURRENT vs. TEMPERATURE (NORMAL OPERATING MODE)



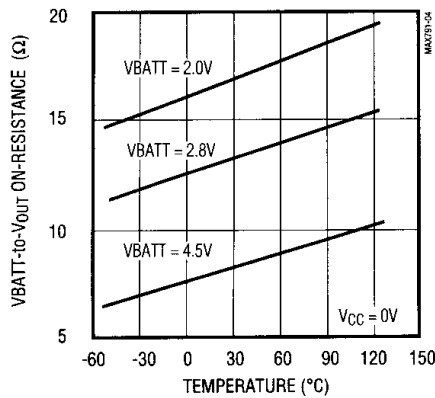
BATTERY SUPPLY CURRENT vs. TEMPERATURE (BATTERY-BACKUP MODE)



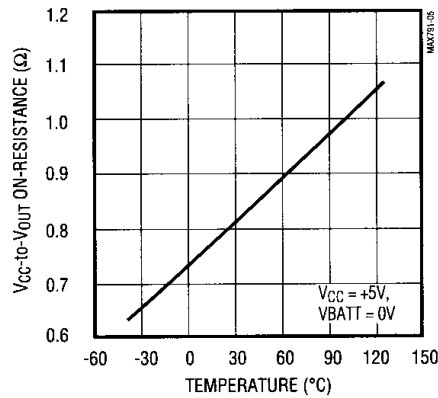
CHIP-ENABLE ON-RESISTANCE vs. TEMPERATURE



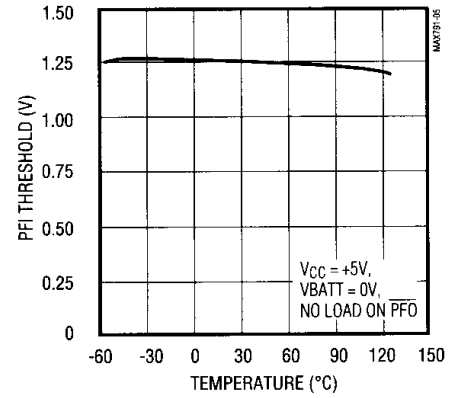
VBATT-to-V_{OUT} ON-RESISTANCE vs. TEMPERATURE



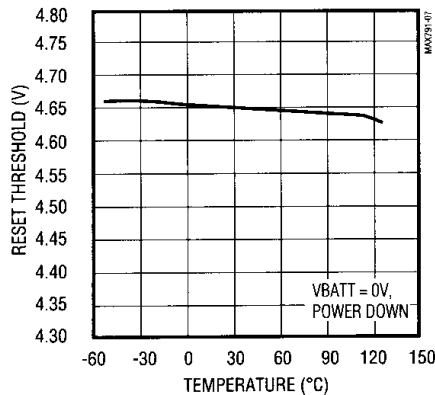
V_{CC}-to-V_{OUT} ON-RESISTANCE vs. TEMPERATURE



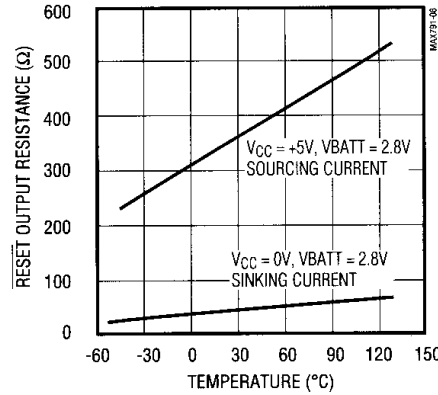
PFI THRESHOLD vs. TEMPERATURE



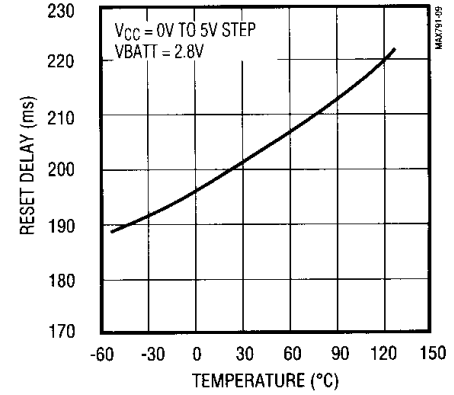
RESET THRESHOLD vs. TEMPERATURE



RESET OUTPUT RESISTANCE vs. TEMPERATURE



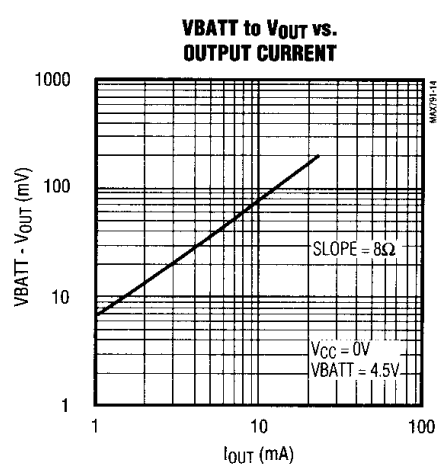
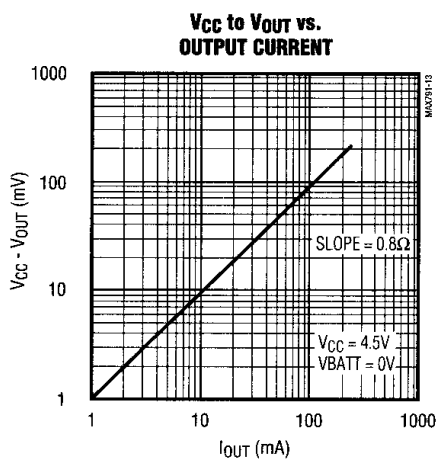
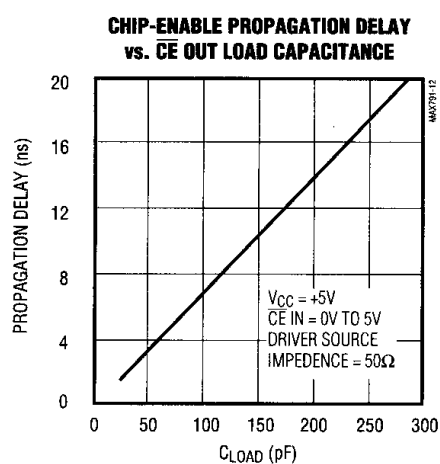
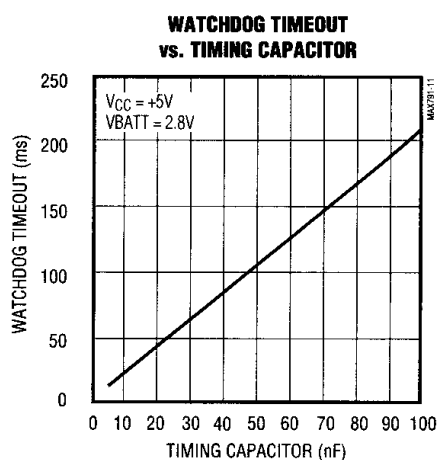
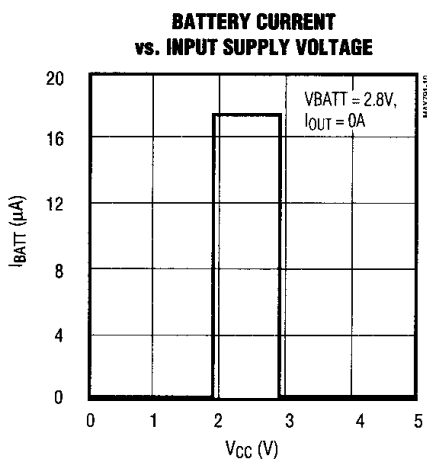
RESET DELAY vs. TEMPERATURE



標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

MAX791



端子説明

端子	名称	機能
1	VBTT	バックアップ・バッテリー入力。外付けバッテリー、またはコンデンサ及び充電回路に接続。
2	V _{OUT}	出力電源電圧。V _{CC} がVBATT以上で、かつリセットスレッシュホールドより上の場合、V _{OUT} をV _{CC} に接続。V _{CC} がVBATT以下に低下し、またリセットスレッシュホールドより下の値になった場合、V _{OUT} はVBATTに接続。0.1μFコンデンサをV _{OUT} とグランド間に接続して下さい。
3	V _{CC}	入力電源電圧、+5V入力。
4	GND	グランド。全信号に対しての0V基準。
5	BATT ON	バッテリーオン出力。V _{OUT} がVBATTに切替わる場合ハイに、またV _{OUT} がV _{CC} に切替わる場合ローになります。250mA以上のV _{OUT} 電流を必要とする場合、PNPのベースを電流制限抵抗を通してBATT ONに接続。
6	P \overline{F} O	パワーフェイル出力。これはパワーフェイルコンパレータの出力端子です。PFIが1.25V以下の場合、P \overline{F} Oはローになります。このコンパレータは独立しており、他の内部回路にはなんら影響を与えません。
7	PFI	パワーフェイル入力。これは、パワーフェイルコンパレータへの非反転入力端子です。PFIが1.25V以下の時、P \overline{F} Oはローになります。未使用時は、GNDかV _{OUT} に接続して下さい。
8	SWT	ウォッチドッグタイムアウト設定入力。ウォッチドッグタイムアウト期間を1.6sのデフォルト値に設定するには、この入力端子をV _{OUT} に接続します。その他の時間に設定するためには、コンデンサをこの入力端子とグランド間に接続して下さい。ウォッチドッグタイムアウト時間(ms)=2.1×コンデンサ容量(nF)。
9	MR	マニュアルリセット入力。この入力は外付のプッシュボタンスイッチ、あるいはロジックゲート出力に接続できます。RESETは、MRがローの期間、及びMRがハイに戻った後も200msの間ローを維持します。
10	LOWLINE	V _{CC} がリセットスレッシュホールド+150mVまで低下した場合、LOWLINE出力はローになります。非安定化電源を監視できない場合、NMIを発生させるのにこの出力が使用できます。
11	WDI	ウォッチドッグ入力。WDIはスリーレベル入力です。WDIがウォッチドッグタイムアウト期間以上ハイあるいはローの場合、W \overline{D} OはローになりWDIの次のトランジションまでロー状態を維持します。WDIを未接続にすることで、ウォッチドッグタイムアウト機能をディセーブルできます。WDIはV _{OUT} とグランド間の内部電圧分圧器に接続されており、それにより、WDIは未接続の場合には、電源の中間電圧に設定されます。
12	C \overline{E} OUT	チップイネーブル出力。C \overline{E} INがローでV _{CC} がリセットスレッシュホールド以上の場合のみC \overline{E} OUTはローになります。リセットが実行された場合、C \overline{E} INがローならば、C \overline{E} OUTはC \overline{E} INがハイになるまで、あるいは最大で15μsの間ローのままです。
13	C \overline{E} IN	チップイネーブル入力。チップイネーブルゲート回路への入力。未使用の場合は、グランドまたはV _{OUT} に接続。
14	W \overline{D} O	ウォッチドッグ出力。ウォッチドッグタイムアウト期間よりも長い間WDIがハイまたはローを維持した場合、W \overline{D} Oはローになり、WDIの次の変化でハイに戻ります。WDIが未接続の場合W \overline{D} Oはハイのままです。またリセット状態でも、W \overline{D} Oはハイになります。
15	RESET	V _{CC} がリセットスレッシュホールド以下に低下した場合、RESET出力はローになります。V _{CC} がパワーアップ時、リセットスレッシュホールドを越えた後も、RESETは200ms(typ)の間ローのままです。
16	W \overline{D} P \overline{O}	ウォッチドッグパルス出力。WDIのトランジションが無い場合、W \overline{D} P \overline{O} は1ms(min)の間ローパルスを発生させます。W \overline{D} P \overline{O} パルスはW \overline{D} Oより70ns早く出されます。

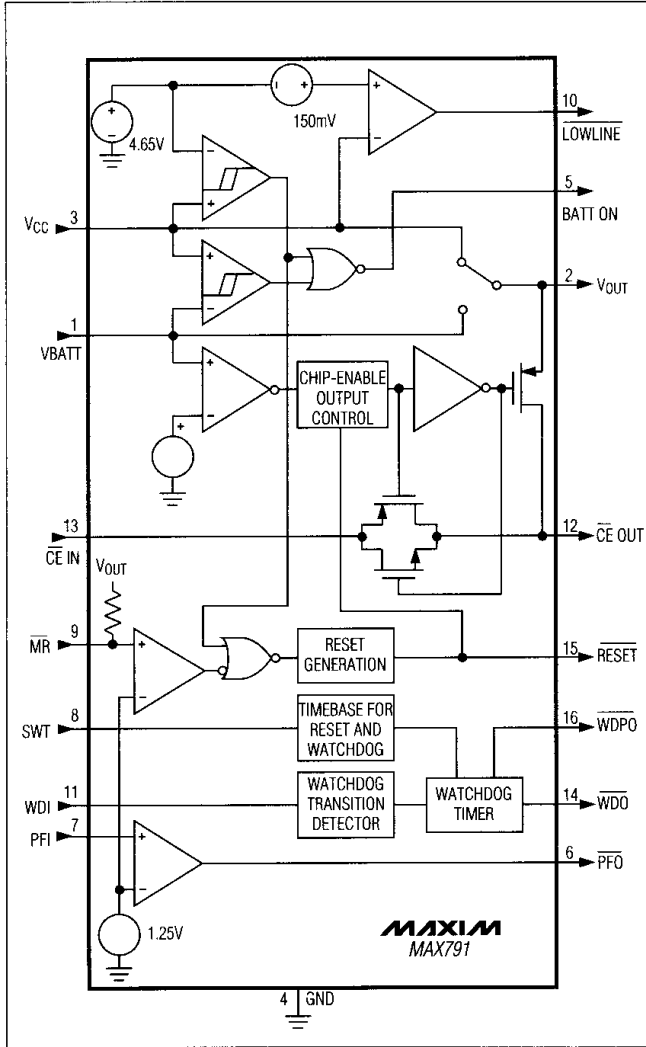


図1. ブロックダイアグラム

詳細

マニュアルリセット入力

μPシステム製品の多くは、ユーザー・コントロールでリセットパルスを出せるよう、マニュアルリセット機能が必要となっています。マニュアルリセット入力(MR)は、スイッチに直接接続することができ、外付プルアップ抵抗または波形整形回路は必要ありません。図1に示されているようにMRは、1.25Vコンパレータに接続され、V_{OUT}にプルアップされます。MR実行からRESET実行までの伝播遅延は4μs(typ)です。最低15μsの間MRをローにすることにより、全内部カウンタがリセットされ、ウォッチドッグ出力(WDO)とウォッチドッグパルス出力(WDPO)がハイになり、

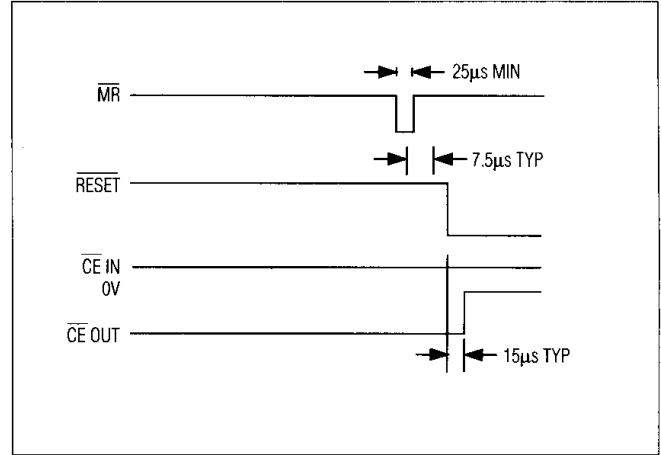


図2. マニュアルリセット・タイミングダイアグラム

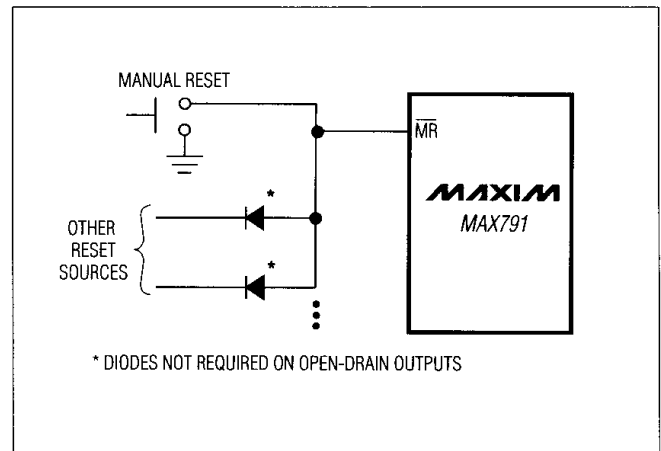


図3. ダイオードの“OR”接続により、複数のリセットソースをMRに接続できます。

セットウォッチドッグタイムアウト(SWT)入力はV_{OUT}(内部タイムアウト用)に接続されていない場合には、V_{OUT}-0.6Vに設定されます。また、チップイネーブル出力(CE OUT)をハイにするため、チップイネーブル機能がディセーブルされます。MRがローの間はRESET出力はアクティブのまま、MRがハイになった後リセット・タイムアウト期間が始ります(図2)。

この入力はデジタルロジック入力として、または2番目のローラインコンパレータとして使用して下さい。通常のTTL/CMOSレベルはプルダウンダイオードを通して、“ワイアOR”接続できますし(図3)、オープンドレイン/コレクタ出力は直接“ワイアOR”接続できます。

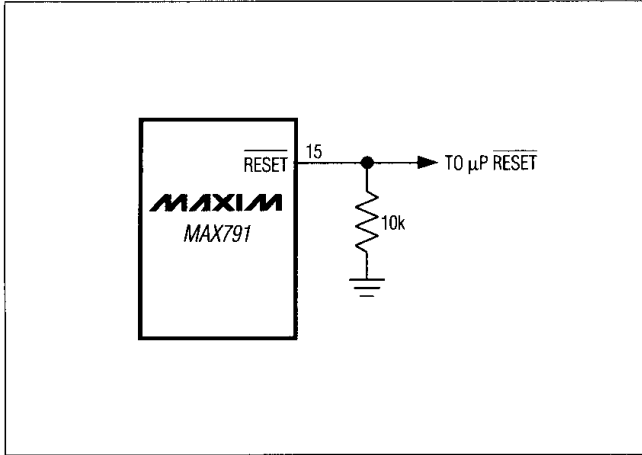


図4. 外付けのプルダウン抵抗により、RESETは $V_{CC}=GND$ まで有効です。

RESET出力

MAX791はRESET出力により、パワーアップ時μPを既定の状態にスタートさせることができ、またパワーダウンあるいは低電圧状態でのコード実行エラーを防止することができます。

RESET出力はアクティブローで、アクティブ状態の時0.1V飽和電圧で3.2mA(typ)シンクします。インアクティブ状態の時、RESET出力のソース電流は $V_{OUT}-0.5V$ (typ)で1.6mAです。バックアップバッテリーを使用しない場合、RESET出力は $V_{CC}=1V$ まで有効で、またRESET出力に10kΩプルダウン抵抗を接続すると、RESET出力は $V_{CC}=グランド$ (図4)まで有効です。 V_{CC} が1V以下に下がると、RESET出力スイッチへのゲートドライブはそれにつれて減少し、 $t_{DS(ON)}$ と飽和電圧が増加します。10kΩプルダウン抵抗により、スイッチとの並列抵抗値は約10kΩになり、またシンク電流が40μAの時、出力飽和電圧は0.4V以下になります。10kΩの外付プルダウン抵抗使用時、 $V_{CC}=4.74V$ でのRESET出力の状態は4.5V(typ)です。2V以上のバッテリーをVBATTに接続することで、RESET出力は $V_{CC}=0V\sim 5.5V$ まで有効です。

以下の状態でRESETが実行されます。

- 1) $V_{CC} < 4.65V$ (typ)
- 2) $MR < 1.25V$ (typ)
- 3) $V_{CC} > 4.65V$ になった後、またはMRが1.25Vを越えた後、RESETは200ms(typ)の間実行されます。

MAX791のバッテリー切換え用コンパレータは、RESETの実行に関して何の影響も与えません。しかし、このモードに入るには V_{CC} がリセットスレッシュホールド以下でなければならないので、RESETはバッテリーバックアップモードで実行されます。

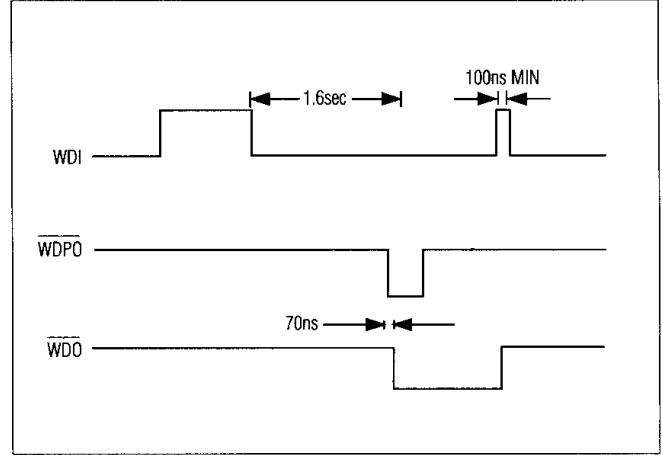


図5. WDI、WDO、WDP0タイミングダイアグラム (V_{CC} モード)

ウォッチドッグ機能

ウォッチドッグはウォッチドッグ入力(WDI)によりμPのアクティビティを監視し、μPがインアクティブになった場合、WDOとWDP0が実行されます。ウォッチドッグ機能を使用するには、WDIをバスラインかμPのI/Oラインに接続して下さい。WDIがウォッチドッグ・タイムアウト時間(公称1.6s)以上ハイまたはロー状態の場合、WDP0とWDOが実行され、ソフトウェアのフォルト状態が検出されます(“ウォッチドッグ出力”と“ウォッチドッグパルス出力”の項を参照)。

ウォッチドッグ入力

ウォッチドッグ期間中、WDIにおける状態変化(ハイからロー、ローからハイ、または最小の100nsパルス)により、ウォッチドッグ・タイマがリセットされます。ウォッチドッグ・タイムアウトのデフォルト値は1.6sですが、SWTとGNDの間に外付コンデンサを接続することによって、他のタイムアウト期間に設定することもできます(“ウォッチドッグタイムアウト期間選択”の項を参照)。

ウォッチドッグ機能をディセーブルにするには、WDIをオープン状態にしておきます。内部抵抗ネットワーク(WDIでの等価インピーダンス100kΩ)によりWDIは約1.6Vにバイアスされ、内部コンパレータはこの電圧を検出しウォッチドッグタイマをディセーブルします。また V_{CC} がリセットスレッシュホールド以下に低下した場合、ウォッチドッグ機能はディセーブルされ、またWDIは内部抵抗ネットワークから切り離され、ハイインピーダンスになります。

ウォッチドッグ出力

ウォッチドッグタイムアウト期間中、WDIでトランジションまたはパルス発生があった場合、WDOは“ハイ”のまま

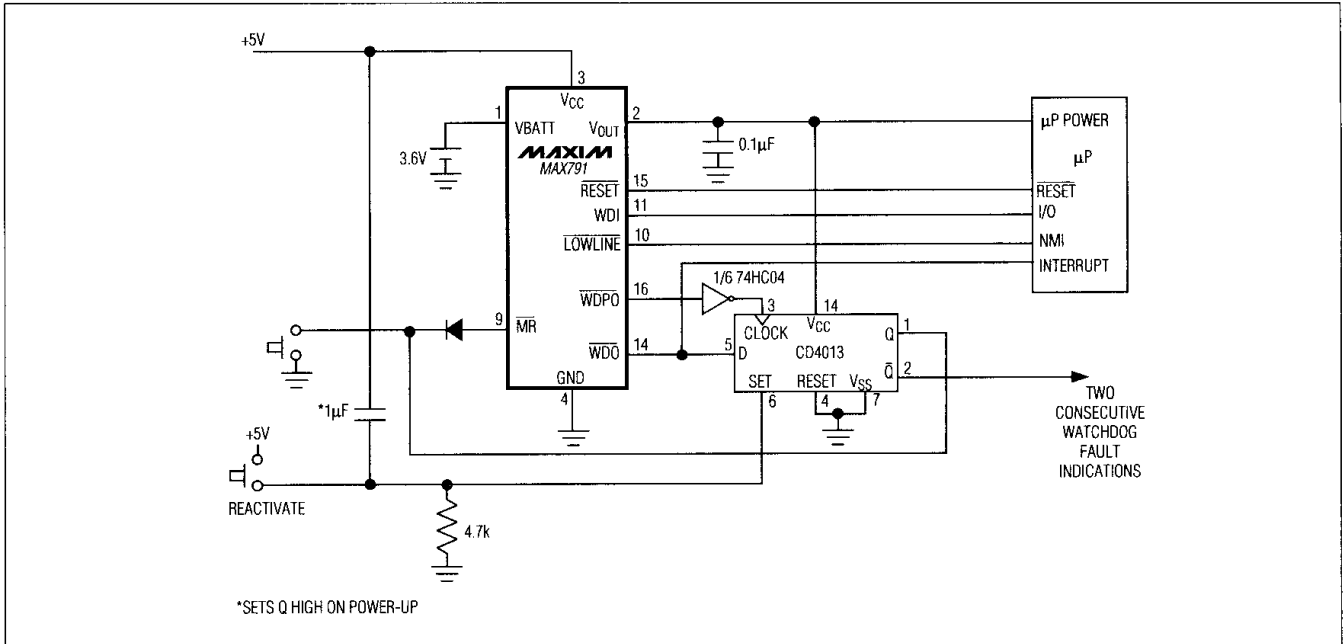


図6. 2回連続のウォッチドッグフォルトにより、システムをリセット状態にラッチ。

を維持します。V_{CC}がリセットスレッシュホールド以下、またはバッテリバックアップモードがイネーブル、あるいはWDIがオープンの場合、ウォッチドッグ機能はディセーブルされWDOはロジックハイになります。ウォッチドッグモードにおいてウォッチドッグタイムアウト期間中、WDIでトランジションが起こらない場合、WDP0がローになった後70nsでWDOはローになり、WDIの次のトランジションが起るまでローのままです(図5)。2回連続でウォッチドッグフォルトが起こった場合、フリップ・フロップによりシステムはハードウェアシャットダウンされます(図6)。WDOは2×TTL出力特性を備えています。

ウォッチドッグ・パルス出力

前のセクションでも説明したように、WDP0は外付Dフリップ・フロップへのクロック入力として使用できます。ウォッチドッグタイムアウト期間の終端においてWDIでウォッチドッグエッジまたはパルスが見られない場合、WDP0は1ms間ローのパルスを発生します。WDOはWDP0がローになった後70nsでローになります。WDP0がローになった時点でWDOはハイのため、WDOがローになった時でもフリップフロップのQ出力はハイのまま(図5)です。WDIのトランジションによってウォッチドッグタイマがリセットされない場合、WDOはローのままを維持し、WDP0はQ出力に対してロジックローをクロック出力し、MAX791をリセット状態にラッチします。WDIのトランジションによってウォッチドッグタイマがリセットされた場合、WDOはハ

イになりフリップ・フロップのQ出力はハイのままを維持します。従って、システムのシャットダウンは2回連続のウォッチドッグフォルトによってのみ行われます。

WDOとWDP0の内部プルアップ抵抗はV_{OUT}に接続されているので、これらの出力をV_{CC}から電源供給がされているCMOSロジックには直接接続しないで下さい。これはV_{CC}が供給されていない時(例えばバッテリモード時)、過電流がWDOまたはWDP0からCMOSロジック入力の保護ダイオードを通してグラウンドへ流れるからです。

他のウォッチドッグタイムアウトの選択

SWT入力によりウォッチドッグタイムアウト期間をコントロールすることができます。SWTをV_{OUT}に接続すると、1.6sの内部ウォッチドッグタイムアウト期間を選択することができます。SWTとグラウンド間にコンデンサを接続すると他のタイムアウト期間を選択することができます。SWTはオープン状態に、またグラウンドにも接続しないで下さい。次の式によりウォッチドッグタイムアウト期間が設定されます。

$$\begin{aligned} & \text{ウォッチドッグタイムアウト時間(ms)} \\ & = 2.1 \times \text{コンデンサ容量(nF)} \end{aligned}$$

この式は4.7nF~100nFのコンデンサ値に対して有効です。(標準動作特性の項の“ウォッチドッグタイムアウト期間 vs. タイミングコンデンサ”のグラフを参照。) SWTは、±100nA(typ)の電流ソースに内部的に接続されています。この電流ソースは、タイミングコンデンサを充放電し、ウォッチ

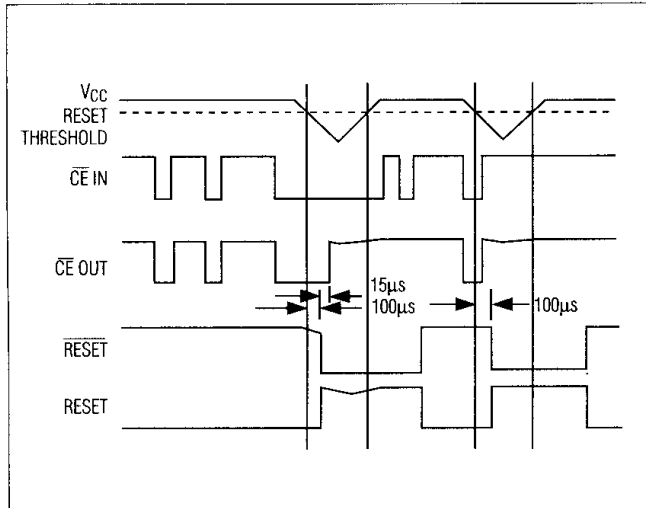


図7. リセットとチップイネーブルタイミング

ドッグタイムアウト時間を決定するオシレータ周波数を設定します。(アプリケーション情報の“SWTへのタイミングコンデンサの接続”を参照。)

チップイネーブル信号のゲート

MAX791はチップイネーブル(CE)信号の内部ゲートを備えており、パワーフェイル時の、誤ったデータによるCMOS RAMデータの破壊を防ぎます。通常動作時のCEゲートはイネーブルされ全CEトランジションを通しますが、リセットがかけられた場合はこの経路はディセーブルされ、誤ったデータがCMOS RAMのデータを破壊するのを防ぐことができます。MAX791のチップイネーブル入力(CE IN)からCE OUTへは直列トランスミッションゲートが使用されています(図1)。

CE INからCE OUTへの最大CE伝播遅延が10nsのため、このMAX791は殆どのμPシステムで使用できます。

チップイネーブル入力

CE INはRESETが実行されている間ハイインピーダンス(ディセーブルモード)です。

パワーダウンの過程でV_{CC}が4.65Vレベルを越えた場合、CE INでの電圧がハイになるか、あるいはリセットが実行されてから15μs後か、そのどちらか先に起った方でCE INはハイインピーダンス状態になります(図7)。

パワーアップの過程において、リセットタイムアウト期間の後にリセットが解除されるまで、CE INはそのアクティビティに関係なくハイインピーダンスを維持します。

ハイインピーダンスモードでのこの入力に流れる漏れ電流

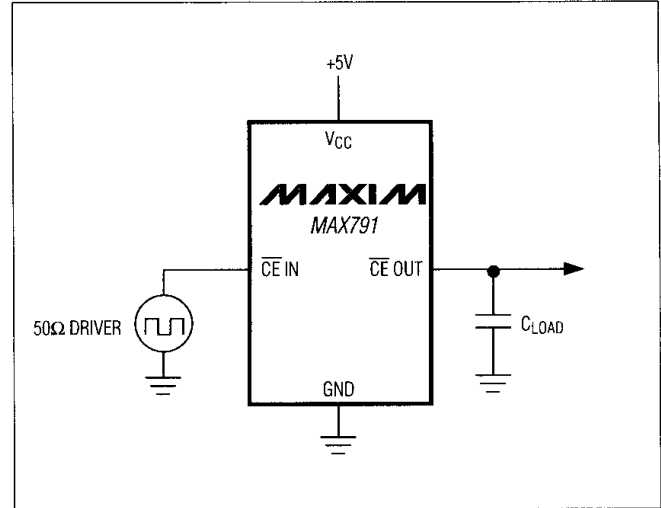


図8. CE伝播遅延試験回路

は、全温度範囲において±1μA(max)です。ローインピーダンスモードでのCE INのインピーダンスは、CE OUTの負荷と直列に接続された75Ωの抵抗として見えます。

CEのトランスミッションゲートの伝播遅延は、CE INをドライブする信号源のインピーダンスとCE OUTでの容量負荷によって変化します(標準動作特性の項の“チップイネーブル伝播遅延vs. CE OUT負荷容量”のグラフを参照)。CE伝播遅延はCE INの50%ポイントからCE OUTの50%ポイントまで、50Ωドライバと50pF負荷容量を用いて量産テストされています。伝播遅延を最小にするためには、CE OUTの容量負荷を最小化し、また低出力インピーダンスドライバを使用して下さい。

チップイネーブル出力

イネーブルモードでのCE OUTのインピーダンスは、CE INのドライブ抵抗と直列に接続されている75Ωと同じです。ディセーブルモードでは、75Ωトランスミッションゲートはオフされ、CE OUTはV_{OUT}にプルアップされます。トランスミッションゲートがイネーブルになった場合、このプルアップはターンオフされます。

LOWLINE出力

ローラインコンパレータは、リセットスレッショルドより150mV高い標準スレッショルド値でV_{CC}を監視し、また15mVのヒステリシスを備えています。LOWLINEは0.1Vで3.2mA(typ)シンクし、通常動作時(V_{CC}がLOWLINEスレッショルドより上)ではV_{OUT}にプルアップされます。非安定化電源へのアクセスが不可能な場合は、V_{CC}の低下開始検出としてLOWLINEを使用してμPへNMIを発生します。(図9a)。

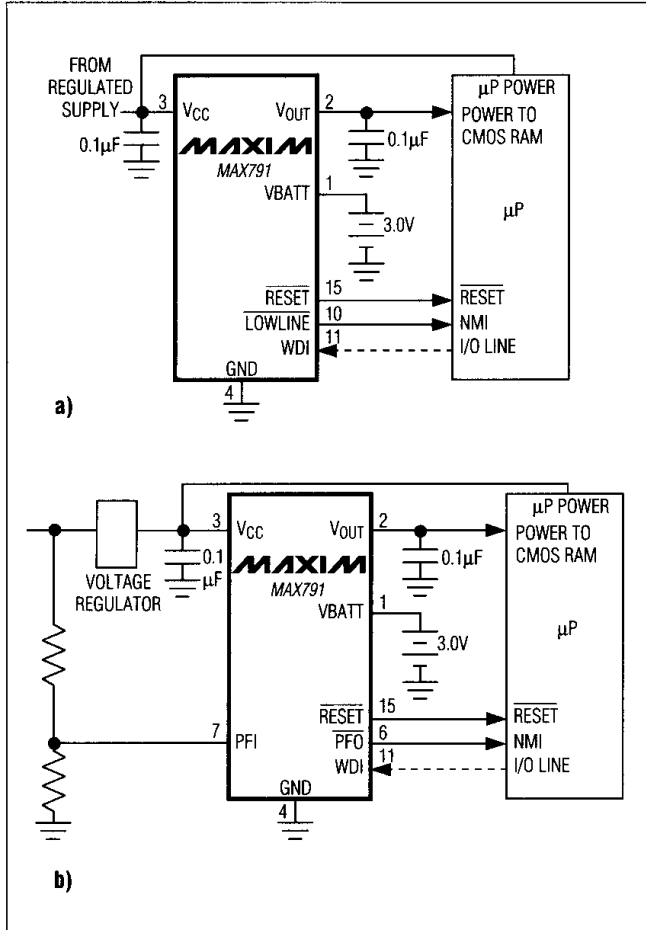


図9. a) 非安定化電源がアクセスできない場合、LOWLINEを用いてμPに対するNMIを発生。
 b) 非安定化電源がアクセスできる場合、PFOを用いてμPに対するNMIを発生。

パワーフェイル・コンパレータ

このパワーフェイル・コンパレータは、MAX791の他の機能にはなら影響を与えない独立したコンパレータで、一般的な使用方法としては、5V以外の電源の監視(標準動作回路、及び負電圧監視の項を参照)、また非安定化電源が容易にアクセス可能な場合の初期のパワーフェイル検出等が挙げられます(図9b)。

パワーフェイル入力

PFIはパワーフェイル・コンパレータの入力端子で、全温度範囲での入力漏れ電流は±25nA(最大)が保証されています。コンパレータのディレーは、 V_{IL} から V_{OL} の場合(パワーフェイル時)15μs(typ)、 V_{IH} から V_{OH} (電源投入時)では55μs(typ)です。もし使用しない場合は、入力端子をグランドに接続して下さい。

表1. バッテリバックアップモード時の入出力状態

端子	名称	状態
1	VBATT	消費電流は1μA(max)。
2	V _{OUT}	内部PMOSスイッチを通して、V _{OUT} はVBATTに接続されています。
3	V _{CC}	切り換えのため、バッテリー切換コンパレータはV _{CC} を監視。
4	GND	GND—全信号に対しての0Vリファレンス。
5	BATT ON	ロジックハイ。この開回路出力はV _{OUT} と同等。
6	PFO	バッテリーバックアップ・モード時(V _{OUT} >VBATT-1.2Vtyp)、パワーフェイルコンパレータはアクティブ状態を維持。これ以下の電圧の場合、PFOはロー。
7	PFI	バッテリーバックアップ・モード時(V _{OUT} >VBATT-1.2Vtyp)、パワーフェイルコンパレータはアクティブ状態を維持。
8	SWT	SWTは無視。
9	MR	MRは無視。
10	LOWLINE	ロジックロー。*
11	WDI	WDIは無視され、ハイインピーダンスになります。
12	CE OUT	ロジックハイ。この開回路出力電圧はV _{OUT} と同等。
13	CE IN	ハイインピーダンス。
14	WDO	ロジックハイ。この開回路出力電圧はV _{OUT} と同等。
15	RESET	ロジックロー。*
16	WDPO	ロジックハイ。この開回路出力電圧はV _{OUT} と同等。

* バッテリバックアップモードに入るには、V_{CC}はリセットスレッシュホールド以下であることが必要。

パワーフェイル出力

パワーフェイル出力(PFO)は、PFIが1.25V以下になった場合“ロー”になり、0.1Vの飽和電圧で3.2mA(typ)シンクします。またPFIが1.25V以上の場合、PFOはV_{OUT}にプルアップされます。電圧分圧器を介しPFIを非安定化電源に接続することにより、非安定化電源が低下し始めた時PFOはNMIを発生させます(図9b)。非安定化電源がアクセス不可能な場合は、LOWLINEを用いてNMIを発生させます。LOWLINEスレッシュホールドは、リセットスレッシュホールドより150mV(typ)高くなっています(“LOWLINE出力”の項を参照)。

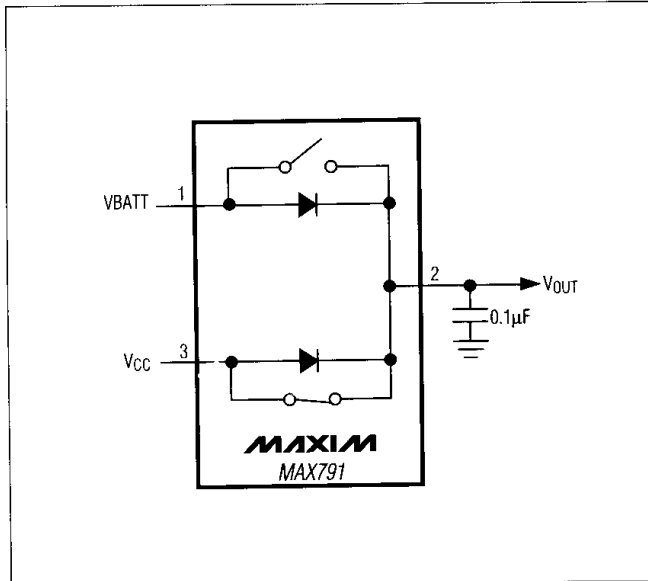
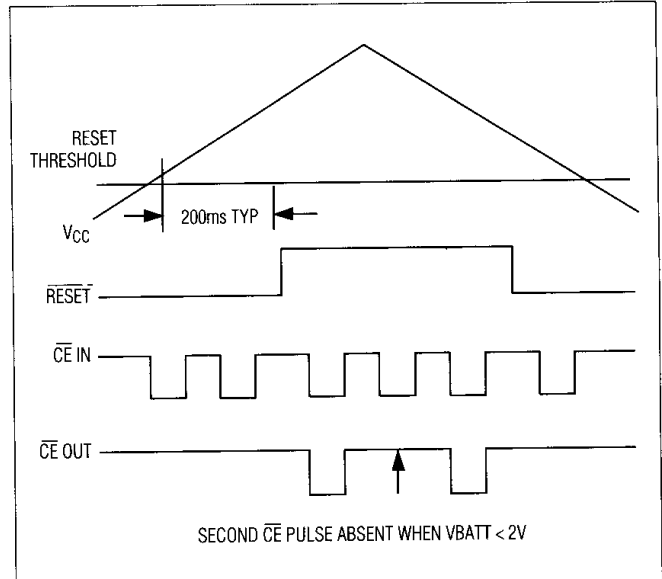
図10. V_{CC} と V_{BATT} から V_{OUT} へのスイッチング

図11. バックアップバッテリー監視用タイミングダイアグラム

バッテリーバックアップ・モード

MAX791は次の2つの状態を満たした場合、バッテリーバックアップモードに切り替わります。1) V_{CC} がリセットレシヨルド以下になった場合。2) V_{CC} が V_{BATT} 以下になった場合。表1にバッテリーバックアップモード時の入出力状態が示されています。

バッテリー・オン出力

バッテリーオン(BATT ON)出力により、内部 V_{CC} /バッテリーの切換コンパレータの状態を示すことができ、これにより内部 V_{CC} と V_{BATT} の切換スイッチをコントロールしています。 V_{CC} がBATTより大きい場合(小さなヒステリシスの影響は除く)、BATT ONは0.1Vの飽和電圧で3.2mA(typ)シンクし、バッテリーバックアップモードにおいては、この端子は V_{OUT} から約 $10\mu A$ の電源をソースします。バッテリー切換の状態を示すために、または高電流のアプリケーションに対する外付パストランジスタにベースドライブを供給するために、BATT ONを使用して下さい(標準動作回路参照)。

入力電源電圧

入力電源電圧(V_{CC})は+5Vに安定化して下さい。 V_{CC} はパラレルダイオードと大きなPMOSスイッチを介して V_{OUT} に接続されていますが、このスイッチは250mA以下の全電流負荷を流し、一方のパラレルダイオードは250mAを越す電流を流します。各スイッチ、ダイオードのインピーダンスは 1Ω 以下です(図10)。連続最大電流は250mAですが、パワーオントランジェントで最大1Aに達します。

バックアップバッテリー入力

バックアップバッテリー入力(V_{BATT})は V_{CC} 入力と類似していますが、PMOSスイッチとパラレルダイオードがかなり小さくなっています。従って、ダイオードとスイッチのオン抵抗値は約 10Ω で、また連続電流は25mA、ピーク電流(パワーアップ時のみ)は250mAに制限されています。この入力の逆漏れ電流は全温度範囲、また全電源範囲において $1\mu A$ 以下です。

出力電源電圧

出力電源電圧(V_{OUT})は、内部的にこのICのサブストレートに接続されており、外付システムと内部回路に全電流を供給します。例えば全開回路出力は、ハイ状態では V_{CC} 電圧ではなく V_{OUT} 電圧になります。250mAの最大ソース電流において、 V_{OUT} は V_{CC} より200mV(typ)低くなります。この端子は $0.1\mu F$ コンデンサでデカップリングして下さい。

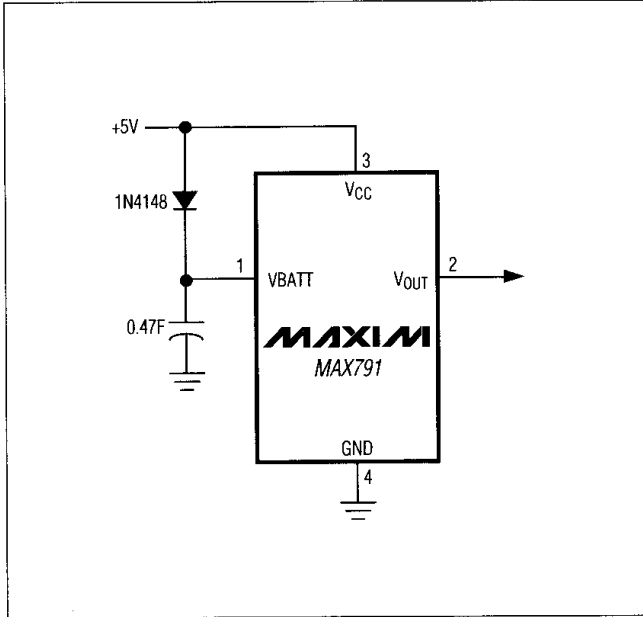


図12. VBATTに接続されたスーパーキャップ

ローバッテリーモニタ

MAX791のローバッテリー電圧機能によりVBATTが監視されますが、この $2.0V \pm 0.15V$ のローバッテリー検出は、通常のパワーアップの一連の動作後またはMRリセット入力が高レベル状態に戻った後起こるリセットタイムアウト期間(200ms)中のみ実行されます。バッテリー電圧が2.0V以下の場合、リセットタイムアウト後2番目のCEパルスはインヒビットされ、バッテリー電圧が2.0V以上の場合、全CEパルスは、CEゲートを通ることが可能です。この機能を使用するためには、200msリセットタイムディレイ後、パワーアップ時RESETがインアクティブ後、最初のCEパルスを使って00(HEX)を書込み、2番目のCEパルスを使って同じ場所にFF(HEX)を書込みます。このメモリの中身によってグッドバッテリー(FF)とローバッテリー(00)とを表します(図11)。

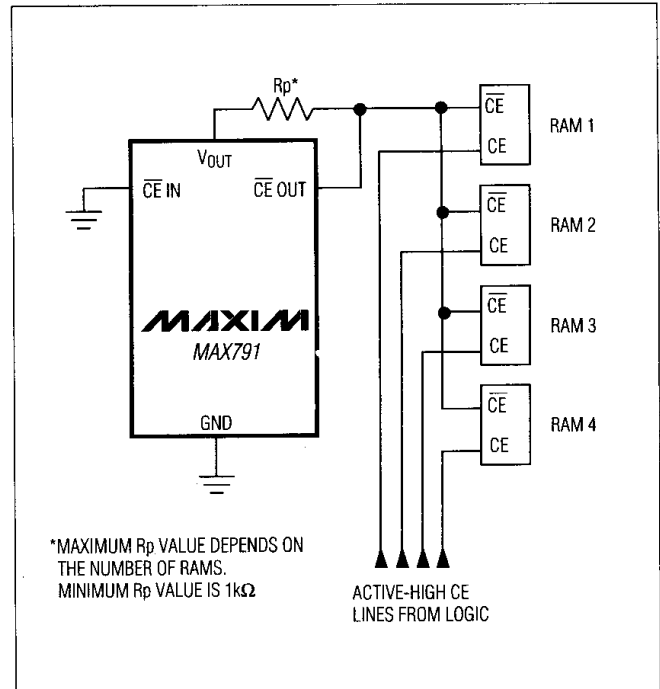


図13. CEゲートの代替

アプリケーション情報

MAX791は短絡保護がなされていないため、デカップリングコンデンサの充電等、パワーアップトランジェント以外でVOUTをグラウンドに短絡した場合、ICが破壊されます。

開回路の全出力はVCC~GNDではなく、VOUT~GNDの範囲でスイングします。

長い線を入力端子に接続する場合、この線がリングング、及びICの保護ダイオードをバイアスする状態を起こさないよう注意して下さい。

動作モードには次の3種類があります。

- 1) 全回路がパワーアップされたノーマル動作モード。VCCからの電源電流は $60\mu A$ (typ)で、バッテリーから流れる漏れ電流は僅かです。
- 2) VCCがVBATT以下で差が0.7V(typ)以内の時のバッテリーバックアップモード。全回路がパワーアップされ、バッテリーからの電源電流は $60\mu A$ (typ)以下です。
- 3) VCCがVBATT以下で差が0.7V以上の時のバッテリーバックアップモード。VBATTの電源電流は $1\mu A$ (max)です。

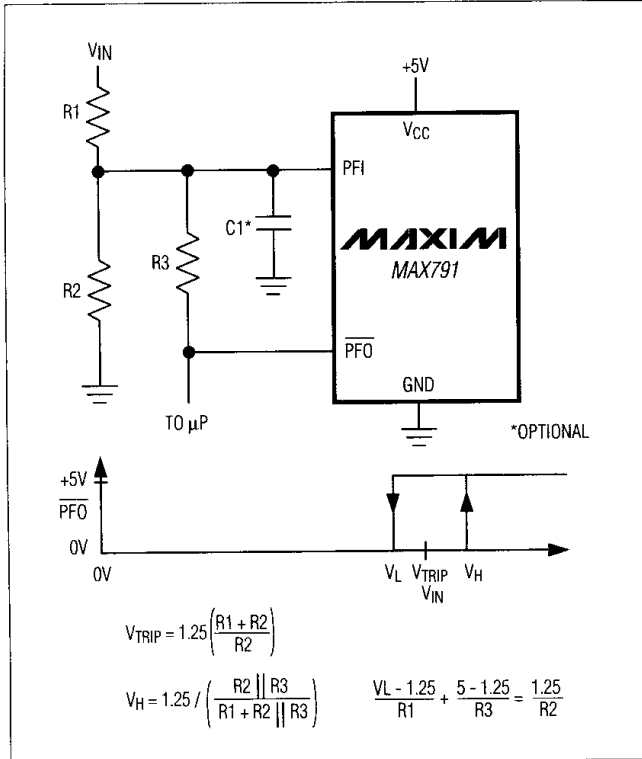


図14. パワーフェイルコンパレータへのヒステリシス追加

MAX791でのスーパーキャップの使用

VBATTの動作電圧範囲はV_{CC}と同じです。バッテリー切換えのスレッシュホールド電圧はVBATTを中心に±30mV(typ)で、バックアップソースとしてスーパーキャップ及び単純な充電回路が使用できます(図12)。

V_{CC}がリセットスレッシュホールド以上で、VBATTがV_{CC}より0.5V以上高い場合、VBATTの電圧がV_{CC}の上0.5V以下になるまで、VBATTからV_{OUT}及びV_{CC}へ電流が流れます。例えば、スーパーキャップがVBATT、及びダイオードを介してV_{CC}へ接続された状態で、V_{CC}が5.4Vから4.9Vへ素速く変化した場合、VBATTが5.3V(typ)になるまで、このコンデンサはV_{OUT}とV_{CC}を通して放電されます。そして最後には、スーパーキャップの充電ダイオードとMAX791の内部パワーダイオードの漏れ電流によって、スーパーキャップはV_{CC}まで放電されます。またV_{CC}とVBATTがリセットスレッシュホールド

の上0.5Vからスタートし、V_{CC}の電源が消失した場合、VBATTに接続されたスーパーキャップはVBATTがリセットスレッシュホールドに到達するまでV_{CC}を通して放電されます。その後MAX791はバッテリーバックアップモードに切り換えられ、V_{CC}に流れる電流はゼロになります(図10)。

VBATT及びV_{CC}への別々の電源使用

V_{CC}とVBATTの電源に別々のものを使用し、V_{CC}がリセットスレッシュホールド以上の場合、VBATTはV_{CC}の上0.3V以下でなければなりません。前のセクションで述べた通り、VBATTがこの制限値を越えた場合、及びV_{CC}の電源が消失した場合、VBATT-V_{OUT}ダイオード及びV_{OUT}-V_{CC}スイッチを通して回路が開かれるまで、VBATTからV_{CC}に連続電流が流れます(図10)。

別のチップイネーブルゲーティング

CE及び \overline{CE} 入力付きのメモリICの使用するには、MAX791のCEループをバイパスすることができます。このために、 \overline{CE} INをグランドに接続し、 \overline{CE} OUTをV_{OUT}にプルアップし、 \overline{CE} OUTを各メモリICの \overline{CE} 入力に接続して下さい(図13)。各ICのCE入力はMAX791によってゲーティングされる必要はなく、チップセレクトロジックへ直接接続されます。

パワーフェイルコンパレータへのヒステリシスの追加

ヒステリシスによりパワーフェイルコンパレータでのノイズマージンが増え、V_{IN}がパワーフェイルコンパレータのトリップポイントの周辺の値の場合、PFOが繰り返しトリガ(チャタリング)されるのを防ぎます。図14に、パワーフェイルコンパレータにヒステリシスを付加する方法が示されています。V_{IN}が望ましいトリップポイント(V_{TRIP})に降下した時に、PFIが1.25VになるようにR1対R2の比を選択して下さい。抵抗R3によりヒステリシスが加えられ、抵抗値はR1あるいはR2の値より1桁大きくなります。R1及びR2を流れる電流は、少なくとも1μA以上にし、25nA(max)のPFI入力電流によってトリップポイントが移動しないようにします。R3はPFO端子が過負荷にならないために、10kΩ以上でなければなりません。コンデンサC1によりノイズ除去がさらに加えられます。

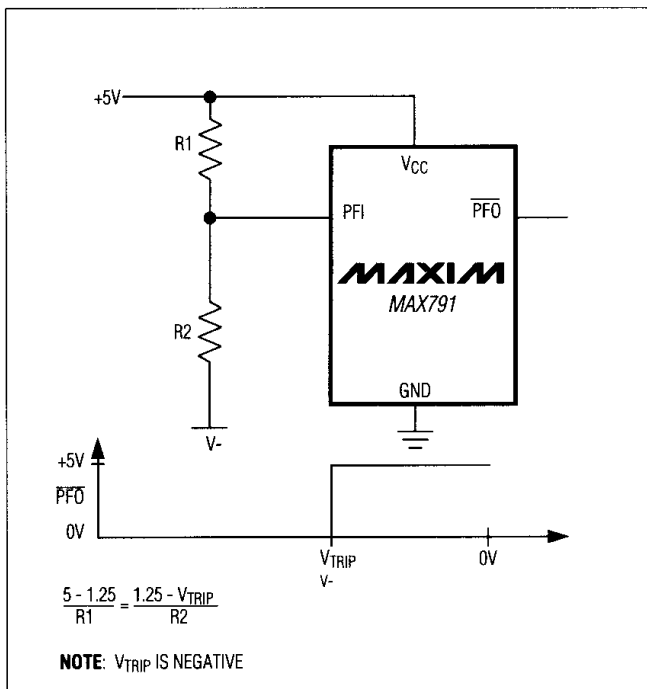


図15. 負電圧の監視

負電圧の監視

図15の回路を使用し、パワーフェイルコンパレータにより負電源を監視することができます。負電圧が有効な場合は、PFOはロー、また負電圧が有効でなくなる場合は、PFOはハイになります。この回路の精度は、PFIスレッシュホールド許容値、V_{CC}電圧、抵抗R1、R2により影響を受けます。

バックアップバッテリーの交換

バックアップバッテリーはV_{CC}がリセットスレッシュホールド以上の時切り離すことができます。誤ったリセットパルスが発生しないため特別な注意は必要ありません。

V_{CC}の負への遷移

これらの監視回路は、パワーアップ、パワーダウン、異常電圧時にμPに対しリセットパルスを送りますが、V_{CC}の負方向の瞬時的な変化(グリッチ)に対しては比較的耐性があります。V_{CC}に僅かなグリッチが発生した場合、μPをリセットすることは望ましくありません。

図16は、リセットパルスが発生しない範囲での最大トランジェント期間vs.リセットコンパレータ・オーバードライブを示します。このグラフは5Vで始まり、リセットスレッシュホールドよりも表示されている量(リセットコンパレータ

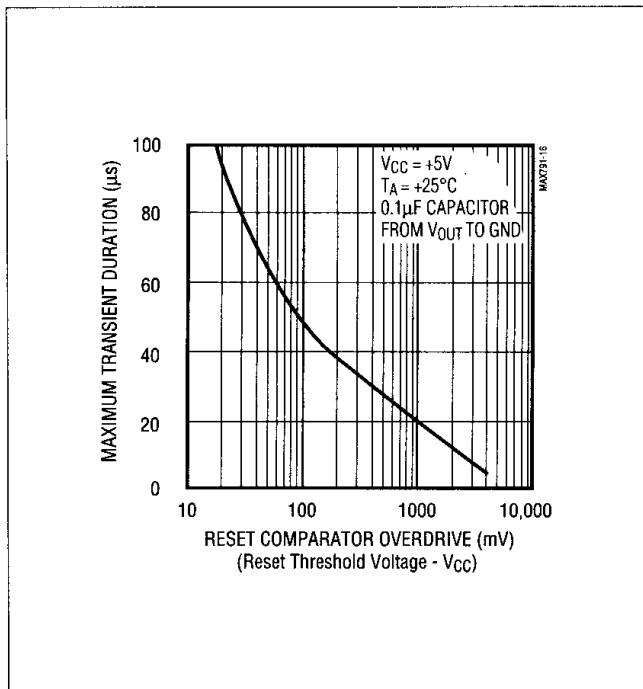


図16. リセットパルスが発生しないための最大トランジェント期間 vs. リセットコンパレータのオーバードライブ

オーバードライブ)だけ低い電圧で終わる負方向のV_{CC}パルスを用いて作成されています。このグラフはリセットパルスが発生することなく負に遷移するV_{CC}の標準的な最大パルス幅を示しています。変化の大きさが増加するにつれ(リセットスレッシュホールドよりさらに低下)、最大許容パルス幅は減少します。標準的には、V_{CC}の変化がリセットスレッシュホールドより100mV低下し40μs間の継続によっては、リセットパルスは発生しません。

0.1μFのバイパスコンデンサをV_{CC}に近づけて実装することで、さらに変化に対する耐性を改善することができます。

SWTへのタイミングコンデンサの接続

SWTは、±100nA(typ)の電流ソースに内部的に接続されています。SWTとグランド間にコンデンサが接続された場合(ウォッチドッグタイムアウト時間を設定するため)、電流ソースは、タイミングコンデンサを充放電し、ウォッチドッグタイムアウト時間を決定するオシレータ周波数を設定します。タイミングエラー及びオシレータのスタートアップ問題を防ぐために、SWT端子のコンデンサはできるだけ近づけて配置し、そして外部への電流リークを最少に抑えてください。PCボードのリーク及びSWTコンデンサのリーク電流の和は、±100nAに比較して充分小さくしてください。

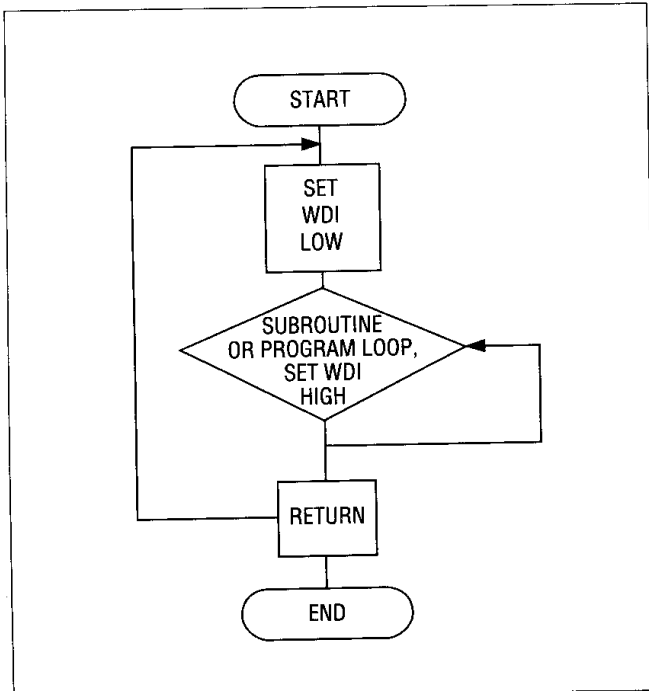


図17. ウォッチドッグのフローチャート

ウォッチドッグ機能のためのソフトウェア上の考慮

ウォッチドッグタイマがソフトウェアの実行をより精密に監視できる方法があります。これは、ウォッチドッグ入力に「ハイ・ロー・ハイ」や「ロー・ハイ・ロー」のパルスを送るのではなく、プログラム中の異なる点でウォッチドッグ入力をセット、リセットする方法です。この方法を用いることで、ループの中でウォッチドッグタイマがリセットし続け、ウォッチドッグタイマがタイムアウトしなくなるスタックループを避けることができます。

図17に例示するフロー図では、ウォッチドッグ入力を駆動するI/Oはプログラムの最初でハイに設定され、各サブルーチン又はループの最初でローに設定されます。そしてプログラムが始めに戻ると再びハイに設定されます。プログラムがどこかのサブルーチンでハングした場合、I/Oがローに設定され続けるため、ウォッチドッグタイマがタイムアウトしてリセット又は割込みを発行することができ、迅速に問題を解決することができます。

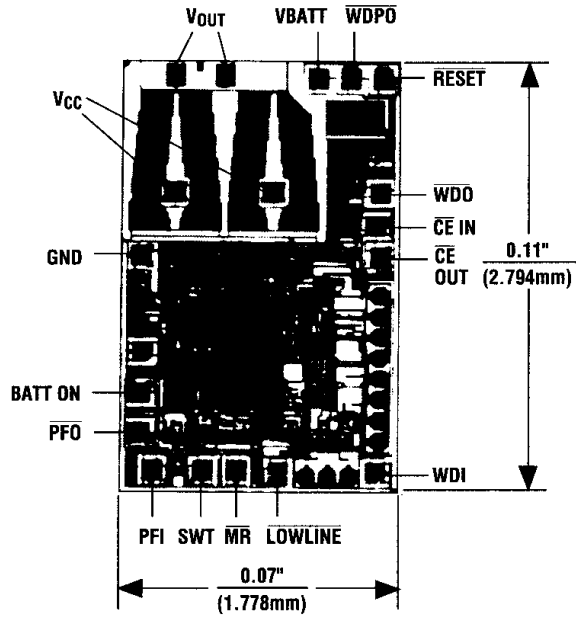
 V_{CC} の最大降下時間

V_{CC} の降下時間はバッテリー切換えコンパレータの伝播遅延で制限されており、 $0.03V/\mu s$ を超えないようにしてください。殆どのレギュレータのフィルタ容量の標準値は、電流1A当たり $100\mu F$ 程度です。電源がオフ、あるいはメインバッテリーが切り離された場合の初期 V_{CC} 降下率はその逆数、すなわち $1A/100\mu F=0.01V/\mu s$ となります。 V_{CC} は指数関数的に降下するため、 V_{CC} 降下率は次第に低下します。従って、最大降下時間の必要条件は十分に満たされます。

監視回路μP

チップ構造図

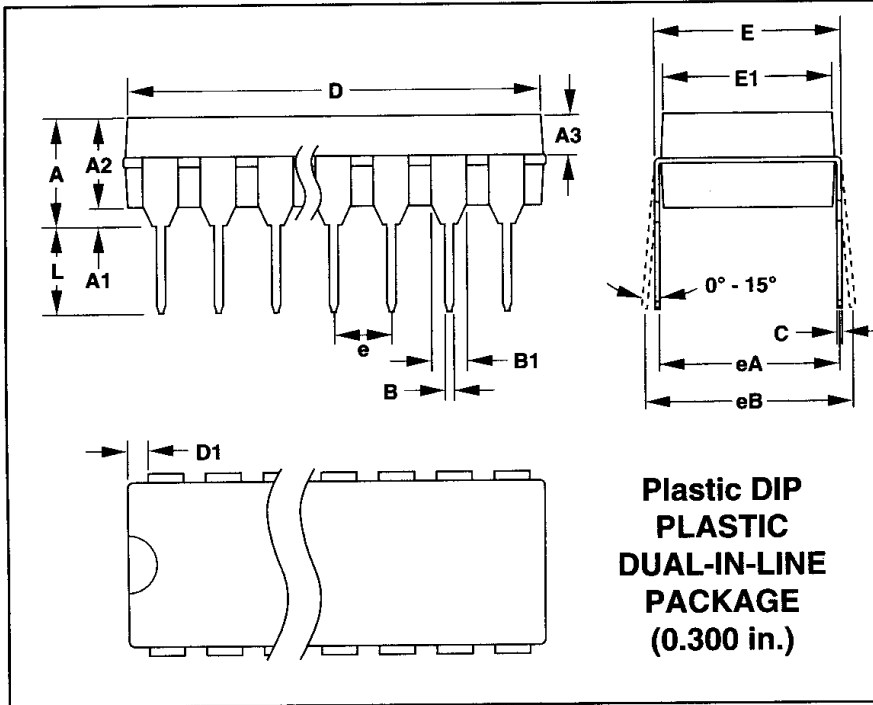
MAX791



SUBSTRATE CONNECTED TO V_{OUT}
TRANSISTOR COUNT: 729

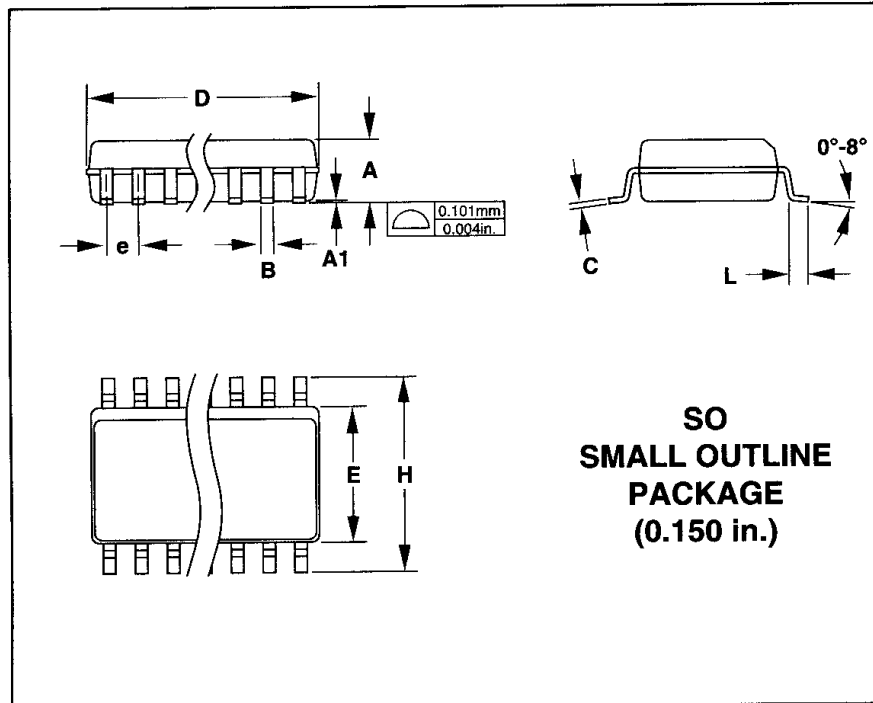
パッケージ

MAX791



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	-	0.200	-	5.08
A1	0.015	-	0.38	-
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	-	2.54	-
eA	0.300	-	7.62	-
eB	-	0.400	-	10.16
L	0.115	0.150	2.92	3.81

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	0.348	0.390	8.84	9.91
D	14	0.735	0.765	18.67	19.43
D	16	0.745	0.765	18.92	19.43
D	18	0.885	0.915	22.48	23.24
D	20	1.015	1.045	25.78	26.54
D	24	1.14	1.265	28.96	32.13



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
E	0.150	0.157	3.80	4.00
e	0.050		1.27	
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	0.189	0.197	4.80	5.00
D	14	0.337	0.344	8.55	8.75
D	16	0.386	0.394	9.80	10.00

21-0041A

パッケージ(続き)

**CERDIP
CERAMIC DUAL-IN-LINE
PACKAGE
(0.300 in.)**

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	0.200	—	5.08
B	0.014	0.023	0.36	0.58
B1	0.038	0.065	0.97	1.65
C	0.008	0.015	0.20	0.38
E	0.220	0.310	5.59	7.87
E1	0.290	0.320	7.37	8.13
e	0.100		2.54	
L	0.125	0.200	3.18	5.08
L1	0.150	—	3.81	—
Q	0.015	0.070	0.38	1.78
S	—	0.098	—	2.49
S1	0.005	—	0.13	—

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	—	0.405	—	10.29
D	14	—	0.785	—	19.94
D	16	—	0.840	—	21.34
D	18	—	0.960	—	24.38
D	20	—	1.060	—	26.92
D	24	—	1.280	—	32.51

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086(408)737-7600