

2又は3セル、ステップアップ/ダウン
双方向ページャシステムIC

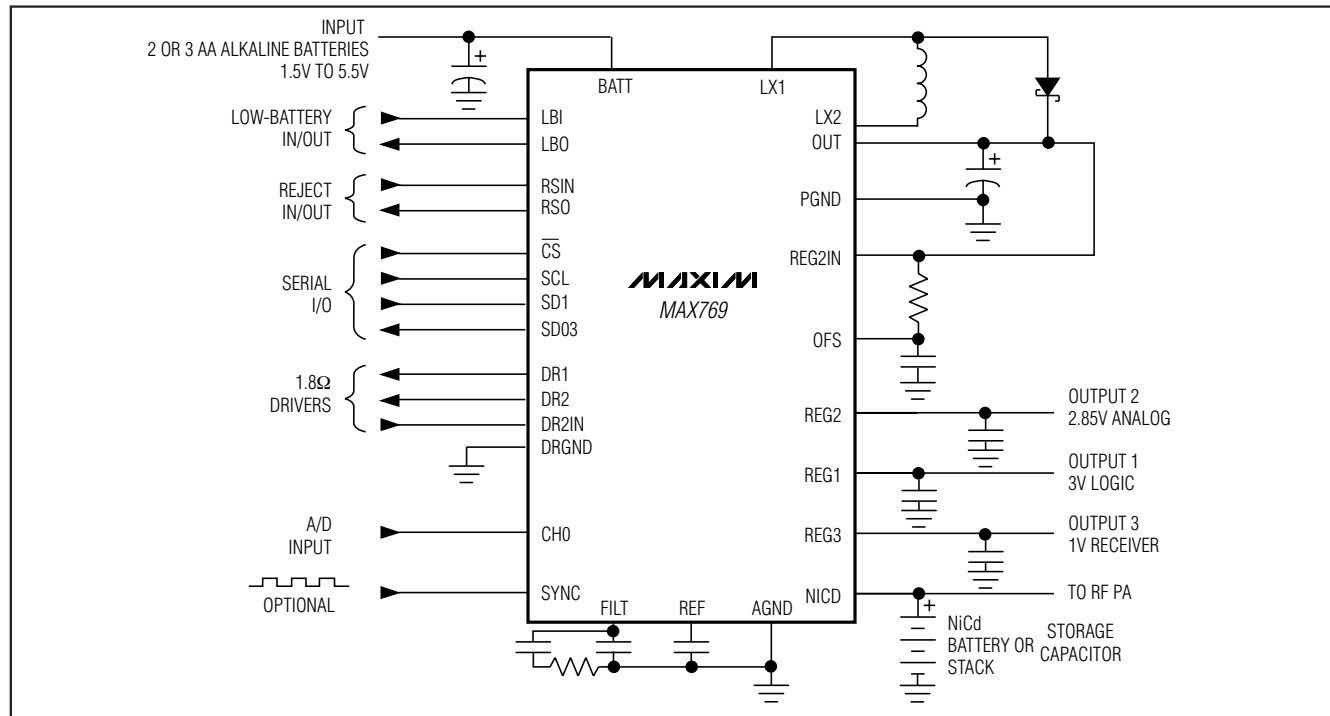
概要

MAX769は、双方向ページャやその他の低電力デジタル通信機器用に設計された完全なバック/ブースト電源及びモニタリングシステムです。動作に際して、外部部品は殆ど必要ありません。MAX769には下記の各種回路と機能が集積化されています。

- +1.8V ~ +4.9Vのデジタル制御された出力を持った80mA出力、同期整流型のステップダウン/ブーストDC-DCコンバータ。このDC-DCコンバータは独自の技術で設計されており、トランスを使用せずに、出力電圧よりも小さな電圧及び大きな電圧のバッテリー入力から安定化された電圧出力を供給します。
 - 3つの低ノイズ、リニアレギュレータ出力
 - ソフトウェア駆動の3チャンネルA/D変換用、DAC制御の3個のコンパレータ
 - SPI™コンパチブルのシリアルインタフェース
 - リセット及びローバッテリー(LBO)警告出力
 - NiCd/NiMH、リチウムバッテリー又はストレージコンデンサ用充電器、RF PA電源又はシステムバックアップに使用
 - ビープ又はパイプレータを駆動する2個の1.8 (標準値)、シリアル制御、オープンドレインMOSFETスイッチ
- ユーザの回路設計及びプロトタイプ製作評価用のMAX769(MAX769EVKIT)を用意しています。

ピン配置は本データシートの最終ページに掲載しています。

標準動作回路



Idle Modeはマキシム社の商標です。SPIはMotorola, Inc.の商標です。

特長

- ◆ 安定化ステップアップ/ステップダウン動作
- ◆ 3セルから80mAを出力
- ◆ 効率85%
- ◆ 13µAのIdle Mode™(コスト)電流
- ◆ 低ノイズのPWM動作又は低消費電流のPFM動作を選択可能
- ◆ 外部クロックソースの7倍の周波数に同期可能なPWM動作周波数
- ◆ 外部クロックを使用せずに270kHzの周波数で動作
- ◆ バックアップバッテリーの自動切換え

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX769EEI	-40°C to +85°C	28 QSOP

アプリケーション

- 双方向ページャ
- GPSレシーバ
- 2又は3セル電源動作の携帯型機器

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

ABSOLUTE MAXIMUM RATINGS

BATT, OUT, NICD, LBO, RSO to AGND-0.3V to +6V
 REG1, REG2, OFS, REF, R2IN to AGND-0.3V to (OUT + 0.3V)
 SCL, SDO, SDI, \overline{CS} , SYNC, FILT, DR2IN,
 CH0, LBI, RSIN to AGND-0.3V to (REG1 + 0.3V)
 REG3-0.3V to (REG2 + 0.3V)
 DR1, DR2 to DRGND-0.3V to (BATT + 0.3V)
 PGND, DRGND to AGND-0.3V to +0.3V
 LX1 to PGND-0.3V to (OUT + 0.3V)

LX2 to PGND-0.3V to (BATT + 0.3V)
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 QSOP (derate 8mW/ $^\circ\text{C}$ above +70 $^\circ\text{C}$)640mW
 Operating Temperature Range-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
 Junction Temperature+150 $^\circ\text{C}$
 Storage Temperature Range-65 $^\circ\text{C}$ to +165 $^\circ\text{C}$
 Lead Temperature (soldering, 10sec)+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(OUT = 3.0V, BATT = 3.6V, $T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
GENERAL PERFORMANCE						
BATT Typical Operating Range (Note 2)	Run or Coast Mode	1.5		5.5	V	
BATT Minimum Start-Up Voltage (Note 3)	$T_A = +25^\circ\text{C}$		1.6	2.0	V	
Coast Mode Supply Current (Note 4)	REG2, REG3 and CH DAC off, $V_{OUT} = 2.8\text{V}$		13	25	μA	
Run Mode Supply Current (Note 4)	REG2, REG3 and CH DAC on		875	1350	μA	
BATT Supply Current (Note 5)	Coast Mode		4	10	μA	
NICD Input Current, Standby (Note 6)	Charger and Backup Modes off, NICD = 3.6V		1.2	3	μA	
NICD Input Supply Current, Backup (Note 7)	Backup Mode, NICD = 3.6V, OUT = 3V		20	40	μA	
NICD Input Current, Power Fail (Note 8)	Charger and Backup Modes off, BATT = 0V, OUT = 0V		1.2	3	μA	
REG2 Supply Current (Note 4)	Incremental supply current when on		50		μA	
REG3 Supply Current (Note 4)	Incremental supply current when on		20		μA	
CH DAC Supply Current (Note 4)	Incremental supply current when on		30		μA	
Reference Voltage	$I_{REF} = 0$ to 20 μA , OUT = 1.8V to 4.9V	-1.5%	1.28	1.5%	V	
DR1, DR2 On-Resistance	$I_{DR} = 120\text{mA}$	$T_A = +25^\circ\text{C}$		1.8	2.8	Ω
		$T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$			3.6	
DR1, DR2 Leakage Current	$V_{DR} = 5\text{V}$		1	250	nA	
SDO Output Low	$I_{SDO} = 100\mu\text{A}$			200	mV	
SDO Output High	$I_{SDO} = -100\mu\text{A}$, from REG1	V_{REG1} - 0.2			V	
Logic Input Level Low	Includes \overline{CS} , SDI, SCL, DR2IN, and SYNC	0.4			V	
Logic Input Level High	Includes \overline{CS} , SDI, SCL, DR2IN, and SYNC			V_{REG1} - 0.4	V	
Logic Input Current	Logic Input = 0 to 3.3V; includes \overline{CS} , SDI, SCL, DR2IN, and SYNC	-1		1	μA	

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

ELECTRICAL CHARACTERISTICS (continued)

(OUT = 3.0V, BATT = 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL-INTERFACE TIMING SPECIFICATIONS (Note 9)					
SCL Maximum Clock Rate	50% duty cycle	5			MHz
SDI Setup Time (t _{DS})		100			ns
SDI Hold Time (t _{DH})		50			ns
SCL to SDO Output Valid (t _{DO})				70	ns
$\overline{\text{CS}}$ to SDO Output Valid (t _{DV})				70	ns
$\overline{\text{CS}}$ to SDO Disable (t _{TR})				70	ns
$\overline{\text{CS}}$ to SCL Setup Time (t _{CSS})		50			ns
$\overline{\text{CS}}$ to SCL Hold Time (t _{CSH})		50			ns
$\overline{\text{CS}}$ Pulse Width High (t _{CSW})		100			ns
SCL Pulse Width High or Low (t _{CH} , t _{CL})		50			ns
DC-DC CONVERTER					
Output Current, Run Mode (Note 10)	Circuit of Figure 2, OUT = 3.0V, BATT = 3.0V	80	115		mA
Output Current, Coast Mode (Note 10)	Circuit of Figure 2, OUT = 3.0V, BATT = 3.0V	15	40		mA
OUT Error, Coast Mode (Note 11)	Coast Mode, OUT = 1.8V to 4.9V	-3.5		3.5	%
OUT Error, Run Mode (Note 12)	Run Mode, OUT = 1.8V to 4.9V	-3.5		3.5	%
OUT DAC Step Size (Note 13)	Coast or Run Mode, OUT = 1.8V to 4.9V	30	100	170	mV
OUT Load Regulation	I _{OUT} = 1mA to 80mA, Run Mode		25		mV
OUT Line Regulation	BATT = 1.6V to 4.5V		25		mV
Maximum LX Duty Cycle	OUT = 3.0V	76	83		%
OUT Voltage Ripple	I _{OUT} = 80mA, C _{OUT} = 47μF with ESR < 0.25Ω		70		mVp-p
LX Switch Current Limit	During the inductor charge cycle	300	350	400	mA
LX On-Resistance (Note 14)	LX1, LX2, BATT = 3.0V	NMOS	0.9	1.8	Ω
		PMOS	1.3	2.6	
PHASE-LOCKED LOOP (PLL)					
Frequency, Free-Run	T _A = +25°C, FILT connected to REF	210	270	325	kHz
Frequency, Locked	f _{SYNC} = 38.4kHz		268.8		kHz
Jitter (Note 15)	f _{SYNC} = 38.4kHz, FILT Network = 1nF (22nF + 10kΩ)		±15		kHz
Capture Time (Note 15)	f _{SYNC} = 38.4kHz, FILT Network = 1nF (22nF + 10kΩ)		1	25	ms
NICD CHARGER					
Current High	0.2V < (OUT - NICD) < 2V, 15mA_CHG = 1	7		25	mA
Current Low	0.2V < (OUT - NICD) < 2V, 1mA_CHG = 1	0.45		1.5	mA
OUT Error, Backup Regulator	OUT = 2.8V, I _{OUT} = 20mA, NICD = 3.3V	-3.5		3.5	%
Backup-Regulator On-Resistance (Note 16)	Backup Mode, NICD = 3.3V		5	10	Ω

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

ELECTRICAL CHARACTERISTICS (continued)

(OUT = 3.0V, BATT = 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
LINEAR REGULATORS						
REG1 PMOS On-Resistance	OUT = 3.0V, I _{REG1} = 65mA		1.5	3.1	Ω	
REG1 Supply Rejection (Note 16)	f = 268.8kHz, C _{REG1} = 10μF ceramic	15	25		dB	
REG1 Clamp Voltage	I _{OUT} = 1mA, OUT = 4.9V	T _A = +25°C	3.2	3.3	3.4	V
		T _A = -40°C to +85°C	3.15		3.45	
REG2 Voltage Drop	I _{REG2} = 0 to 24mA, OUT = 3.0V, R _{OFS} = 15kΩ	120	155	190	mV	
REG2 Load Regulation	I _{REG2} = 0.1mA to 24mA		9		mV	
REG2 Supply Rejection (Note 16)	f = 268.8kHz, C _{REG1} = 10μF, ceramic, R _{OFS} = 15kΩ, C _{OFS} = 0.1μF, I _{REG2} = 15mA	30	40		dB	
REG3 Output Voltage	I _{REG3} = 0 to 2mA	0.96	1.0	1.04	V	
REG3 Supply Rejection (Note 16)	f = 268.8kHz, C _{REG1} = 1μF ceramic	40	50		dB	
DATA-ACQUISITION AND VOLTAGE MONITORS						
LBI/RSIN Input Threshold	Falling input	0.58	0.60	0.63	V	
LBI/RSIN Input Hysteresis (Note 16)		7.5	16	30	mV	
LBI/RSIN Input Current		-50	-3	50	nA	
LBO/RSO Output Low	I _{OUT} = 1mA		30	400	mV	
LBO/RSO Output Leakage	Output = 5.5V		1	250	nA	
LBO/RSO Response Time (Note 16)	10mV overdrive		15	50	μs	
CH0 Threshold Range (Note 16)		0.2		1.27	V	
CH1 Threshold Range (Note 16)	Measures NICD	1.2		5.08	V	
CH2 Threshold Range (Note 16)	Measures BATT	1.2		5.08	V	
CH0 Threshold Resolution (Note 16)			10		mV	
CH1 Threshold Resolution (Note 16)	Measures NICD		40		mV	
CH2 Threshold Resolution (Note 16)	Measures BATT		40		mV	
CH0 Error	At thresholds of 200mV, 800mV, and 1270mV	-2.0 - 15mV		2.0 + 15mV	%	
CH1 Error	At thresholds of 1200mV, 3200mV, and 5080mV	-3.0 - 60mV		3.0 + 60mV	%	
CH2 Error	At thresholds of 1200mV, 3200mV, and 5080mV	-3.0 - 60mV		3.0 + 60mV	%	
CH0 Input Hysteresis (Note 16)		1	2	4	mV	
CH1 Input Hysteresis (Note 16)		4	8	16	mV	

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

ELECTRICAL CHARACTERISTICS (continued)

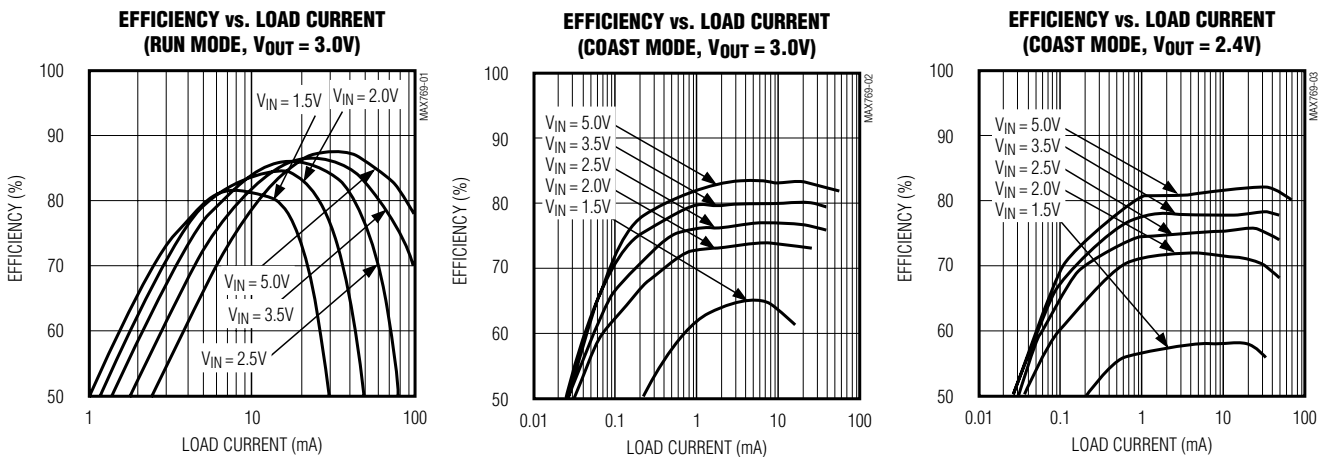
(OUT = 3.0V, BATT = 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CH2 Input Hysteresis (Note 16)		4	8	16	mV
CH0 Input Current	CH0 = 0.2V to 1.27V	-100		100	nA
CH Comparator Response Time (Note 16)	10mV overdrive		0.6	1.0	μs

- Note 1:** Specifications to -40°C are guaranteed by design, not production tested.
- Note 2:** This is not a tested parameter, since the IC is powered from OUT, not BATT.
- Note 3:** Minimum start-up voltage is tested by determining when the LX pins can draw at least 15mA for 0.5μs (min) at a 285kHz (min) repetition rate. This guarantees that the IC will deliver at least 200μA at the OUT pin.
- Note 4:** This supply current is drawn from the OUT pin. Current drain from the battery depends on voltages at BATT and OUT and on the DC-to-DC converter's efficiency.
- Note 5:** Current into BATT pin in addition to the supply current at OUT. This current is roughly constant from Coast to Run Mode.
- Note 6:** Current into NICD pin when NICD isn't being charged and isn't regulating OUT.
- Note 7:** Current into NICD pin when NICD is regulating OUT. Doesn't include current drawn from OUT by the rest of the circuit. Measured by setting the OUT regulation point to 2.8V and holding OUT at 3.0V.
- Note 8:** Current into the NICD pin when BATT and OUT are both at 0V. This test guarantees that NICD won't draw significant current when the main battery is removed and backup is not activated.
- Note 9:** Serial-interface timing specifications are not tested and are provided for design guidance only. Serial-interface functionality is tested by clocking data in at 5MHz with a 50% duty-cycle clock and checking for proper operation. With OUT set below 2.5V, the serial-interface clock frequency should be reduced to 1MHz to ensure proper operation.
- Note 10:** This specification is not directly tested but is guaranteed by correlation to LX on-resistance and current-limit tests.
- Note 11:** Measured by using the internal feedback network and Coast-Mode error comparator to regulate OUT. Doesn't include ripple voltage due to inductor currents.
- Note 12:** Measured by using the internal feedback network and Run-Mode error comparator to regulate OUT. Doesn't include ripple voltage due to inductor currents.
- Note 13:** Uses the OUT measurement techniques described for the OUT error, Coast Mode, and OUT error Run Mode specifications.
- Note 14:** The on-resistance is for either LX1 or LX2.
- Note 15:** PLL acquisition characteristics depend on the impedance at the FILT pin. The specification is not tested and is provided for design guidance only.
- Note 16:** The limits in this specification are not guaranteed and are provided for design guidance only.

標準動作特性

(T_A = +25°C, unless otherwise noted.)

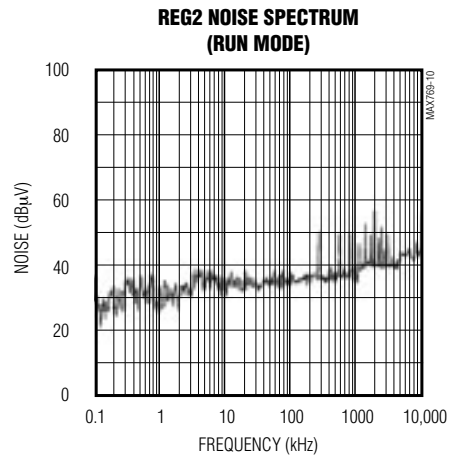
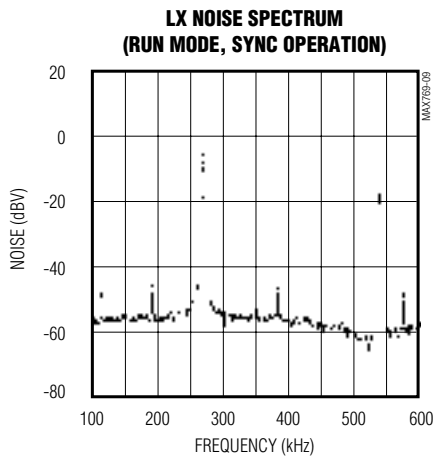
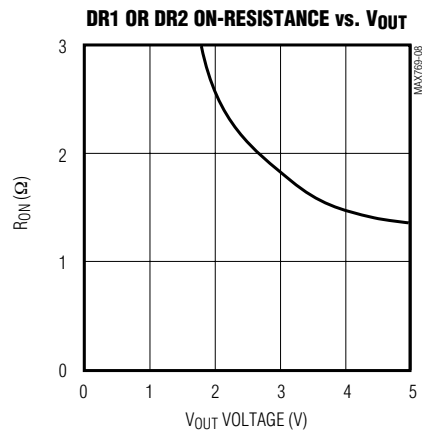
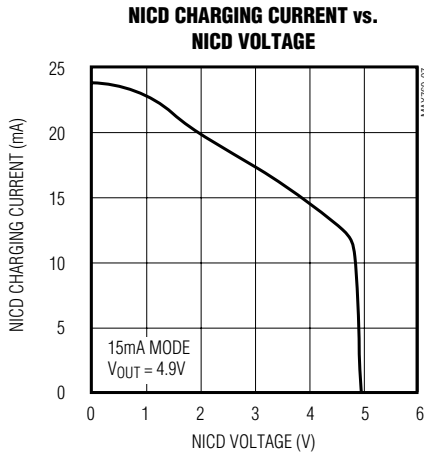
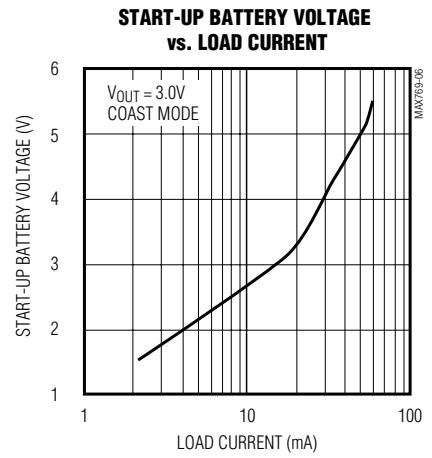
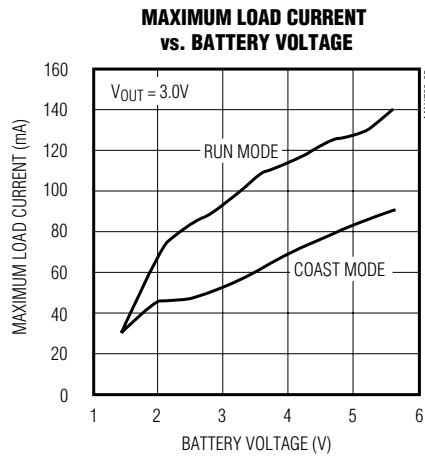
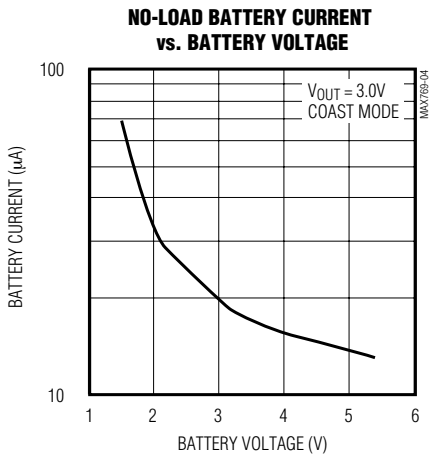


2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

端子説明

端子	名称	機能
1	LX1	LX1ピンはインダクタに接続します。LX1ピンは、PGNDにスイッチするNFET及びOUTにスイッチするPFETに内部接続されています。
2	SDI	SPIインタフェース用のシリアルデータ入力
3	SDO	SPIインタフェース用のシリアルデータ出力
4	PGND	電源グランド。LX1及びLX2 NFETのソースです。
5	SCL	SPIインタフェース用のシリアルクロック
6	LBO	LBIコンパレータ用のオープンドレイン出力
7	RSO	リセット出力。RSIN入力があるよりも低い電圧になると、オープンドレインがローになります。全てのシリアルレジスタも同様にPOR状態にリセット(又は設定)されます。
8	REF	1.28Vの電圧リファレンス。1 μ Fコンデンサでバイパスしてください。
9	CH0	CH0入力は、0.2V~1.27Vで可変の7ビットDAC電圧と比較されます。この比較結果はCH0 OUTレジスタに転送されます。
10	RSIN	リセット入力。入力電圧が0.6Vよりも低くなるとRSOをトリガし、ICをリセットします。ヒステリシス(18mV)付のコンパレータです。
11	LBI	ローバッテリー入力。LBO及び内部シリアルビットをトリガします。
12	FILT	外部RCネットワークによってPLLループの応答性を設定し、周波数ロック時間対ジッタ特性を調整します。 1nF (22nF + 10k)
13	SYNC	PWMスイッチ周波数の同期入力。入力周波数が38.4kHzのときには、PWM周波数は268.8kHz (SYNC周波数の7倍)になります。
14	OFS	OUT(あるいはREG1又はその他の任意ポイント)とREG2間のオフセットを抵抗によって設定します。R _{OFS} =15k のときに、オフセットは150mVになります。
15	AGND	アナロググランド
16	DRGND	DR1及びDR2 FETソース用のグランド
17	DR1	オープンドレインFETスイッチ。シリアルインタフェースビットを通して起動します。
18	DR2IN	ロジック入力。DR2ONビットとの論理積をとり、DR2スイッチを制御します。
19	DR2	オープンドレインFETスイッチ。DR2ONビットとDR2INピンの論理積によってターンオンします。
20	REG3	1V、2mAのレギュレータ出力。シリアルインタフェースを通してオンに設定します。低ノイズ出力です。
21	REG2	24mAのREG2出力。OFSピンの電圧にリニアに安定化されています(電圧差=10 μ A x R _{OFS})。REG2ピンはノイズを絶縁します。
22	R2IN	REG2入力。OUT、REG1又はそれ以外の電圧ソースに接続します。
23	NICD	OUTから3セルのNiCdスタックに供給される15mA又は1mAに設定可能な充電電流。NICD_REG_ONビットを設定すると(表1)、NICDはOUTに接続されるリニアレギュレータの入力となり、DC-DCコンバータはオフになります。
24	REG1	OUTに接続されるPFET出力。この出力はOUTで設定される電圧とは全く無関係に、3.3Vよりも高くなることはないようにクランプされます。
25	OUT	DC-DCコンバータ出力及び帰還ポイント。1.8V~4.9Vで100mVステップを単位としてデジタル制御できます(表5)。
26	BATT	バッテリーへの正接続ポイント。ICはOUTから供給される電源で動作します。
27	\overline{CS}	SPIシリアルインタフェース用のチップセレクト入力
28	LX2	LX2ピンはもう一方のインダクタ端子に接続します。LX2ピンは、PGNDにスイッチするNFET及びBATTにスイッチするPFETに内部接続されています。

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

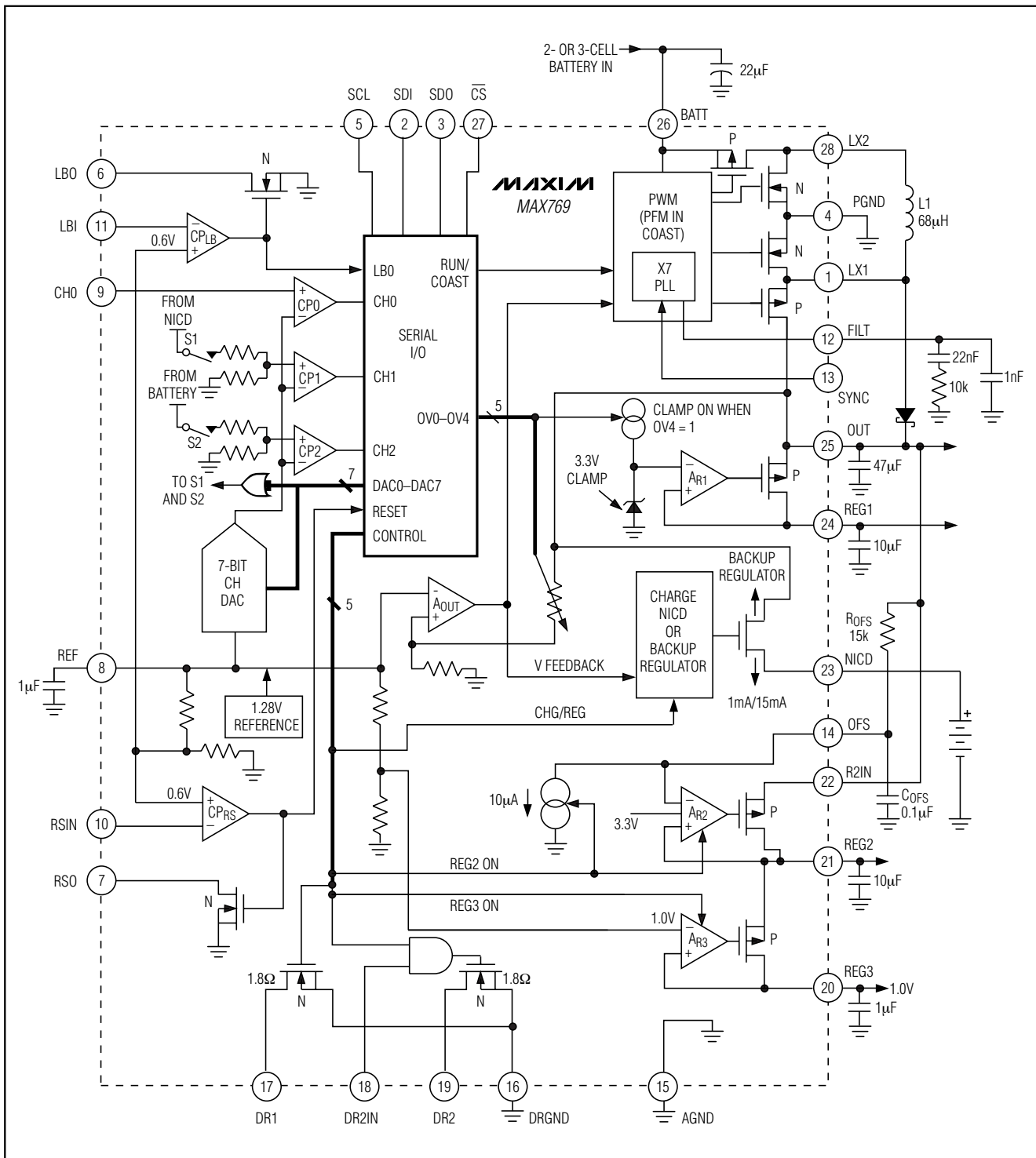


図1. MAX769のブロック図

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

詳細

MAX769には、2又は3セル電源駆動システム内部に電源及びモニタリング機能を簡単に組込むことを可能にする複数の機能ブロックが内蔵されています。下記のサブセクションでは、この機能ブロックについて説明します。

電圧レギュレータ

レギュレータ出力には以下に示す各出力が含まれています。

- OUT：メインのスイッチモードバック/ブースト出力
- REG1：1.5V スイッチ及び出力電圧クランプ。OUTを3.4V又はそれ以上の電圧に設定すると、REG1はOUTにスイッチされて、その出力電圧が3.3Vにクランプされます。
- REG2： $V_{OUT} - V_{REG2}$ が設定された差電圧(10 μ A x R_{OFS})となるようにリニアに安定化された24mA低ノイズ出力。10 μ FのバイパスコンデンサをREG2に接続したときの出力ピークトゥピークリップルは2mV(標準値)です。OUTを3.4V以上の電圧に設定すると、REG2出力は3.3Vにクランプされます。
- REG3：2mAの電流を供給する低ノイズの1V出力リニアレギュレータです。

メインDC-DCブーストコンバータ(OUT)

OUTはメインDC-DCコンバータの出力です。この電流出力は内部同期整流型のバック/ブースト電圧レギュレータから供給され、FET又は電圧設定抵抗を外付けする必要が全くありません。シリアルデータコマンドを使用した内部DAC制御によって、出力電圧(V_{OUT})は100mVステップで1.8Vから4.9Vまでの範囲内に調整されます(表1及び5)。OUTは80mAまでの電流を供給することが可能で、他のレギュレータ(REG1、REG2及びREG3)に供給される電流分少なくなります。

RUN/COASTシリアル入力ビットをリセットすることにより、OUTを低電流でパルススキッピングのコーストモード(標準値13 μ Aの消費電流)に設定することも可能です。コーストモードの設定時にOUTから供給される出力電流は40mAまでとなります。ランモードからコーストモードに変更すると一般的に、より低いOUT電圧も設定されることになり(表4)、システム動作電流が更に低減されます。この電流低減範囲は、システム部品のスタンバイ又はスリープ状態における最小動作電圧に応じて異なります。

OUTを1.8Vまで低く設定することができます。しかし V_{OUT} を2.5Vよりも低い電圧に設定すると、下記のように一部のランモード機能が制限されてしまいます。

- シリアルインタフェースクロックの許容周波数が下がります。
- 内部LX FETそしてDR1及びDR2のオン抵抗値が増加します。

ロジック電源(REG1)

REG1は通常考えられているような従来型のレギュレータではなく、プログラム設定されたOUT電圧に応じてスイッチ又は電圧クランプとして機能動作する1.5VのPFETです。OUTを3.3V又はそれよりも低い電圧に設定すると、REG1はスイッチとして動作します。OUTを3.4V以上の電圧に設定すると、REG1出力は3.3Vにクランプされます。このような設定によって、OUTをより高い電圧(4V以上(typ))にプログラミングして充電を行うときに、 V_{REG1} はロジック電源として許容可能な電圧に制限されます(「充電器回路及びバックアップリニアレギュレータ」のセクションを参照)。

低ノイズアナログ電源(REG2)

REG2はリニアな24mA低ドロップアウトレギュレータ回路で、その入力にはR2INです。REG2出力(V_{REG2})は R_{OFS} によって設定します。 R_{OFS} は絶対電圧を設定するのではなく、R2INからのオフセットレベルを設定します(図2)。 V_{REG2} は、下記の関係式に基づいて設定します。

$$V_{REG2} = V_{R2IN} - 10\mu A \times R_{OFS}$$

通常R2INと R_{OFS} はOUTに接続し、この場合には下記の関係式が適用されます。

$$V_{OUT} - V_{REG2} = 10\mu A \times R_{OFS}$$

REG2のノイズ除去性能と電圧降下及びその結果として生じる変換効率の損失に関するトレードオフの問題が適切に解決されるように、 $V_{REG1} - V_{REG2}$ の電圧差を R_{OFS} によって調整します。 R_{OFS} の値を15k(標準値)にすると、150mVの電圧差が設定されます。R2INは通常OUT又はREG1から供給されますが、R2INに入力される電圧が V_{OUT} を超えない限り、他の個所に接続しても構いません。REG2上の出力ノイズを最小限に抑えたい場合には、R2INをREG1に接続してください。

OUTを3.4V以上の電圧に設定するときには、REG2出力も同様に3.3Vにクランプされる点に注意してください。

低ノイズ、1Vアナログ電源(REG3)

REG3は、2mAまでの電流を供給する1V出力の低ノイズリニアレギュレータです。REG3の入力はREG2に内部接続されています。

PWM周波数の同期

パルス幅変調(PWM)モード時のDC-DCコンバータのスイッチング周波数は、同期クロックを全く供給しないでFILTをREFに接続する場合で270kHz(公称値)です。PLLを使用する場合には、フィルタネットワークをFILTに接続し、クロックをSYNC入力に加えて、内部発振器を入力クロックの7倍の周波数にロックします。MAX769は38.4kHzのSYNC入力、つまり268.8kHzの周波数で動作するように設計されています。PWMスイッチング周波数は、シリアルデータクロック周波数によって影響されることはありません。

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

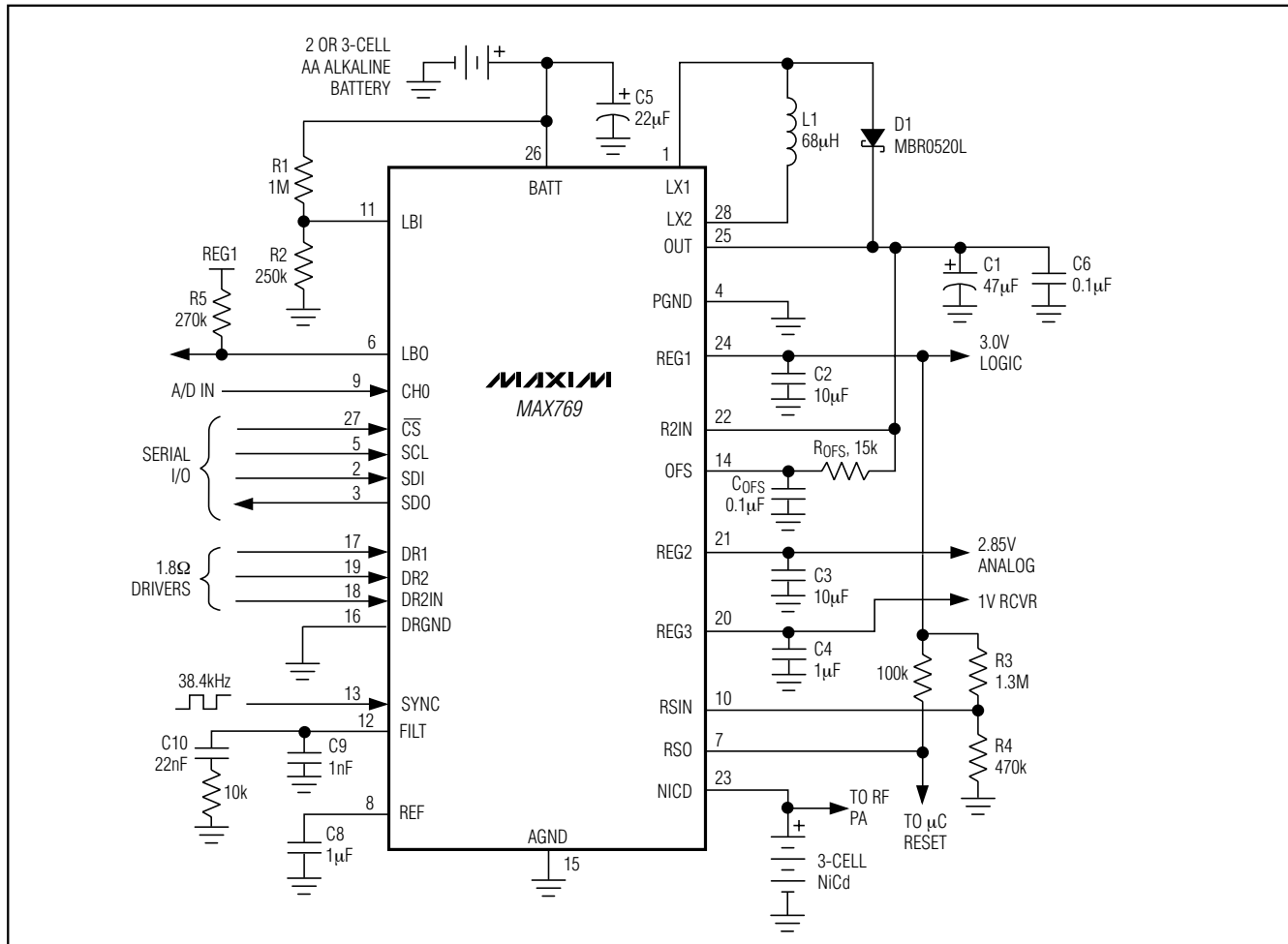


図2. 標準アプリケーション回路

電圧検出器(LBO及びリセット)

MAX769には、LBIとRSINの2つの電圧検出器入力を用意されています。LBI及びRSINコンパレータ出力は、リアルタイムハードウェア出力として使用するオープンドレインピン(LBO及びRSO)です。シリアルインタフェースを通してLBOを読み出すことも可能です。LBIとRSINは両方とも0.6Vの入力スレッシュホールドでトリガし、そのヒステリシスは約18mVに設定されています。RSOによって、MAX769の内部パワーオンリセット(POR)もトリガされます。

7ビットADC(CH0入力及びCH1、CH2)

3つのアナログチャネルは、シリアルにプログラム設定可能な7ビットのデジタルアナログコンバータ(CH DAC)の出力電圧と比較されます。CH DAC電圧は、200mVから $V_{REF} - 1\text{LSB}$ (又は+1.27V)までの範囲内で10mVステップの単位で変更できます(表1)。CH0は外部入力、そしてCH1及びCH2はNICDとBATTの各ピンから内部生成される信号です。NICD及びBATTピン上の電圧は内部で4分圧された後で、CH DAC電圧と比較されます。各チャネルの比較スレッシュホールド電圧は、以下に示す数式で記述されます。

$$V_{TH}(\text{CH0: pin 9}) = D \times 10\text{mV}$$

$$V_{TH}(\text{CH1: NICD}) = D \times 40\text{mV}$$

$$V_{TH}(\text{CH2: BATT}) = D \times 40\text{mV}$$

ここで、DはバイナリコードDAC0-DAC6と等価な10進数値です(表1)。DAC0がLSBです。1111111のDACコードがD=127に相当します。オールゼロをプログラム設定すると、CH DAC及びCHコンパレータがターンオフします。

CH0、CH1及びCH2の比較結果は、出力シリアルデータの3つのMSBロケーションに常駐されます(表4)。CH_OUTデータは1リードサイクルだけ遅延します。即ち、前のシリアルライト動作の実行期間中にプログラム設定されたCH DAC電圧と比較された結果が各CH_OUTビットになります。

アナログデジタル(A/D)変換動作を各チャネル毎に実行することができますが、その際にシステムソフトウェアを使用して逐次比較ルーチンを段階的に進めるか、又は入力が部分的に既知であれば、推測ポイント近くの電圧にCH DACを設定し、CH_OUTの連続ビットをチェックしてください。

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

テスト目標が「合格、不合格」だけを判定するものであれば、より高速なA/Dショートカットをバッテリーの測定に使用することが可能です。このようなタイプのテストでは、CH_DACを必要なリミット値に設定するだけで十分です。次のシリアルライト動作でその結果がCH_OUTビットによって供給されます。一例としてこのショートカットをバッテリーインピーダンスのチェックに適用すると、時間が節約できます。時間が許せば、前の項で説明した技術のどれか1つを利用して、無負荷のバッテリー電圧を最初に測定してください。その後で、負荷をかけた電圧降下レベルが必要なリミット値の範囲内に入っているか否かを1回だけの比較で迅速にチェックすることができます。

ランモード及びコーストモードのどちらでもA/D回路を呼び出すことが可能です。

オープンドレインドライバ

2個のオープンドレインドライバ(DR1及びDR2)は、シリアルインタフェースを通して起動されます。DR1及びDR2は、120mAまでの電流シンク能力を備えたグランド接続の1.8 (標準値)のNFETです。この両方のスイッチの最大シンク電流は、オン抵抗とパッケージの消費電力によって約240mAのトータルシンク電流に制限されます。DR1とDR2はメインバッテリー(BATT)からの電流だけをシンクするように設計されており、BATTから供給される電圧よりも高いレベルの電圧を引込むことができない点に注意してください。

DR2は外部入力(DR2IN)だけでなく、シリアル入力ビットによっても制御できます。DR2INとDR2ONシリアル制御ビットの論理積をとることによって、DR2によるオーディオビーパの駆動が可能になります。オーディオ周波数クロックをDR2INに入力し、ON/OFFゲーティング信号をDR2ONに入力します。DR2の動作がオンにスイッチするためには、DR2IN(ピン18)とDR2ON(シリアルビット)の両方がハイであることが必要です。

コーストモード/電圧選択

動作電流を低減するときには、シリアル入力を通してRUN/COASTビットをローに設定してください。これによってDC-DCブーストコンバータが低ノイズのPWM動作モード(ランモード)から非常に低い動作電流モード(コーストモード)にシフトします。このコーストモード時には、負荷要求を満足する上で必要なスイッチングパルスだけが供給されます。コーストモード時に動作電流を更に低減したいときには、OV0-OV4シリアルビットを使用して V_{OUT} を小さくしてください。MAX769はコーストモードで起動します。従って、パワーアップ後にシリアルインタフェースを通してランモードを選択してください。

以下に説明するように、各種の回路機能をディセーブすることが可能です。

コーストモード時に常にオン状態に維持される機能を以下に示します。

- シリアルI/O
- 電圧リファレンス(REF)
- OUT
- REG1
- LBI、RSIN(及びLBO、RSO)

コーストモード時にオン又はオフにプログラム設定可能な機能を以下に示します(表1)。

- DR1及びDR2
- REG2及びREG3
- NICD充電器(注：別の負荷が存在するときにコーストモードでNICD充電器をオンに設定すると、OUTが過負荷状態になる場合があります。)
- バックアップ用レギュレータ
- CH0、CH1、CH2及びCH_DAC

コーストモード時に常にオフ状態に設定される機能を以下に示します。

- SYNC及びPLL回路
- DC-DCのPWM制御回路

パワーオンリセット

MAX769には、バッテリー電圧が最初に印加されるときに正常なパワーアップを保証するPOR回路($V_{OUT} < 1.6V$)が内蔵されています。この機能はRSOコンパレータから分離されていますが、動作中にRSO出力がローになると、全てのシリアルレジスタがパワーアップ時と同じ事前設定状態にリセットされます。各レジスタのPOR状態を表2にリストしています。

MAX769は常にコーストモードでリセット状態から抜け出す点に注意してください。従って、シリアルコマンドによってランモードを選択するまで、MAX769は全出力電源を供給することができません。ランモードがイネーブルされるまで、全負荷電流を供給するようにシステムソフトウェアを実行することができません。

充電器回路

OUTからNICDに供給される充電器の電流ソースは、シリアルビットを通して起動します(表1)。この電流ソースは小さな3セルNiCd又はNiMHバッテリー(通常、コインセル)あるいは1セルのリチウムバッテリーを充電する能力を備えています。充電電流を15mA又は1mAに設定することが可能です。充電(又はフロート)電圧の最大値はOUTによって設定します。充電の実行に際しては、充電器の電流ソースに十分な余裕度を与えられるように V_{OUT} を高く設定することも必要です。 $V_{OUT} - V_{NICD}$ の電圧差は通常、0.2V - 0.5Vの範囲内としてください。充電電流対NICD電圧の特性図を「標準動作特性」のセクションに掲載しています。他の負荷に利用可能なOUT電流が充電電流によって少なくなる点にも注意してください。

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

MAX769

表1. シリアルビットの割当て

R2 (MSB)	R1	R0	D4	D3	D2	D1	D0
0	0	0	DR2_ON	DR1_ON	REG3_ON	REG2_ON	RUN/ COAST
0	0	1	X	LBO_Sets_ BACKUP	BACKUP	15mA_CHG	1mA_CHG
0	1	0	OV4	OV3	OV2	OV1	OV0
0	1	1	X	X	X	X	X
1	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0

表2. シリアルビットのパワーオンリセット(POR)状態

R2	R1	R0	D4	D3	D2	D1	D0
0	0	0	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0
0	0	1	X	POR = 0	POR = 0	POR = 0	POR = 0
0	1	0	POR = 0	POR = 1	POR = 1	POR = 0	POR = 0
0	1	1	X	X	X	X	X
1	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0

表3. 入力ビットの機能説明

入力ビット	機能
RUN/COAST	1=ランモード、0=コストモード(POR状態はコストモード)。
REG2_ON, REG3_ON	1=選択したレギュレータをターンオンします(POR状態はオフ)。
DR1, DR2	1=選択したスイッチをターンオンします(POR状態はオフ)。
1mA_CHG, 15mA_CHG	1=NICDに供給する選択充電電流をターンオンします。両方の入力ビットを設定すると、充電電流は15mAになります(POR状態はオフ)。
BACKUP	1=NICDからOUTに電圧を供給するバックアップ用リニアレギュレータをターンオンし、DC-DCコンバータをディセーブルします(POR状態はBACKUPオフ)。このビットを設定すると、1mA_CHG、15mA_CHG及びLBO_Sets_BACKUPが無効になります(図1)。
LBO_Sets_BACKUP	1=LBOによるバックアップ用レギュレータのターンオンが可能になり、DC-DCコンバータがディセーブルされます(POR状態はLBO及びBACKUP間で無接続)。
OV0-OV4	OUT出力電圧を設定します(POR状態は $V_{OUT}=3.0V$)。
DAC0-DAC6	A/D変換用の7ビットCH DAC電圧を設定します(POR状態はオールゼロで、DACとコンバータがオフ)。

表4. シリアル出力データ

D7 (MSB)	D6	D5	D4	D3-D0	機能
CH2_OUT	CH1_OUT	CH0_OUT	LBO	X	CH_OUT及びLBO出力ビット。このビットが1のときに、選択チャンネル(CH_)電圧がCH DAC電圧よりも大きいか、又はLBI入力が0.6Vよりも小さいことを示します。

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

表5. V_{OUT} 出力電圧

シリアルデータビット					V_{OUT} (V)
OV4	OV3	OV2	OV1	OV0	
0	0	0	0	0	1.8
0	0	0	0	1	1.9
0	0	0	1	0	2.0
0	0	0	1	1	2.1
0	0	1	0	0	2.2
0	0	1	0	1	2.3
0	0	1	1	0	2.4
0	0	1	1	1	2.5
0	1	0	0	0	2.6
0	1	0	0	1	2.7
0	1	0	1	0	2.8
0	1	0	1	1	2.9
0	1	1	0	0	3.0
0	1	1	0	1	3.1
0	1	1	1	0	3.2
0	1	1	1	1	3.3
1	0	0	0	0	3.4
1	0	0	0	1	3.5
1	0	0	1	0	3.6
1	0	0	1	1	3.7
1	0	1	0	0	3.8
1	0	1	0	1	3.9
1	0	1	1	0	4.0
1	0	1	1	1	4.1
1	1	0	0	0	4.2
1	1	0	0	1	4.3
1	1	0	1	0	4.4
1	1	0	1	1	4.5
1	1	1	0	0	4.6
1	1	1	0	1	4.7
1	1	1	1	0	4.8
1	1	1	1	1	4.9

バックアップ用リニアレギュレータ

BACKUPシリアル入力ビットによってバックアップ用レギュレータがターンオンし、これはNICDからOUTに電流をソースします。メインバッテリー(BATTに接続)が完全に消耗状態になるか又は取外されたときに、このレギュレータは再充電可能なバッテリー(NICDに接続)を使用してOUTの供給をバックアップします。このバックアップ用レギュレータのパスデバイスの抵抗値は5(標準値)なので、僅か100mVの低ドロップアウト電圧で20mA(標準値)の電流を供給することが可能です。

バックアップ用レギュレータがターンオンすると、DC-DCコンバータと充電回路は全てディセーブルされますが、それ以外の回路機能は全てアクティブ状態に維持されます。手動又はシリアルコマンドによってBACKUPを起動するか、あるいはLBOを通して自動的にトリガされるようにこれを設定してください。

自動バックアップ

LBO出力がローになったときに、マイクロプロセッサ(μ P)からの命令を受けずにバックアップ用レギュレータが自動的にターンオンするようにICをプログラム設定するためには、LBO_Sets_BACKUPシリアルビットを使用します(表1)。LBO_Sets_BACKUPビットが0のときに、BACKUPビットを設定することで初めてバックアップ用レギュレータがターンオンします。このBACKUPビットは、LBO_Sets_BACKUPビットを無効にするときにも使用します。図3にこの機能のロジック回路を示します。

バックアップ時にメインバッテリーの容量が消耗し、NiCdバッテリーが消費された場合には、バックアップ用レギュレータがOUT電圧を供給している間にRSO出力がローになります(RSI入力をOUT又はREG1のモニタに使用している場合)。RSO出力が立下がると、シリアルレジスタはそのPOR状態にリセットします(コーストモードでDC-DCコンバータがオン、そしてバックアップ用レギュレータがオフの状態、表1、2及び3を参照のこと)。このような設定によって、新しいメインバッテリーを挿入するときにDC-DCコンバータがオフの状態ではICがハングアップする事態の発生が防止されます。MAX769がリセット状態から抜け出すときに“DC-DCコンバータオン”にデフォルト設定されていなければ、(RSOによってリセット状態にある) μ Pはデバイスにターンオンのシリアル命令を出すことができないので、上記の動作シーケンスが必要になります。

シリアルインタフェース

MAX769はSPIコンパチブルのシリアルインタフェースを備えています。シリアルインタフェースラインはチップセレクト(CS)、シリアルクロック(SCL)、シリアルデータ入力(SDI)及びシリアルデータ出力(SDO)です。シリアル入力データは8ビットバイトで構成されます。殆どのバイトには、5ビットの入力データ(D4-D0)とともに3ビットのアドレスポインタ(R2、R1、R0)が含まれて

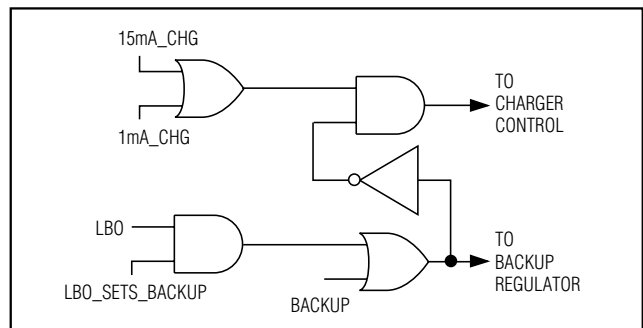


図3. 充電器制御及びBACKUP用、そしてLBO_Sets_BACKUPシリアル入力ビット設定用のロジック回路

2又は3セル、ステップアップ/ダウン 双方向ページシステムIC

MAX769

います。実行モード又はコーストモードの選択、REG2又はREG3の起動、あるいはDR1又はDR2のターンオンなどの一般的な動作では、000(R2、R1、R0)アドレスレジスタに書き込み動作を行うだけで十分です。MAX769の全動作設定に使用するシリアル入力データフォーマットの概要を表1、2及び3にそれぞれ示します。

シリアルデータは、MSBを先頭にしてクロック入力及び出力されます。入力データはCLKの立上がりエッジでラッチされ、出力データはCLKの立下がりエッジでシフト出力されます。 \overline{CS} 入力が高レベルになると、直ちにMSB出力ビット(D7)がDOに含まれます。チップセレクトの後で最初のクロックエッジが立上がり、そのクロックエッジが立下がるまでD6はクロック出力されません。図4と5に示すタイミング図を参照してください。

SPIはライト及びリード動作を同時並行に実行するので、出力データを読み出すためにダミーのライト動作を実行することが必要です。シリアル動作が起こる毎に、4つの出力データビット(D7-D4、表4)がSDO出力から送信されます。

R2=0のときに、R0とR1がアドレスポインタになります。しかしR2=1のときには、残りの7ビット(R1、R0及びD4-D0)がDACのプログラミングビットになります。このようにプログラミングエチケットを無視することによって(R1とR0をアドレスビットとして使用したり、データビットとして使用する場合があります)、1回だけのライト動作でCH DACにデータをロードすることが可能になります。

CH DACにオールゼロを書き込むと、CH DAC、CH0、CH1及びCH2コンパレータ、そしてNICD及びBATT電圧センシング抵抗が全てターンオフし、電流消費が最小限に抑えられます。これによって、OUTからの消費電流が約30 μ A程度低減されます。

アプリケーション情報

部品の選択

MAX769では設計数式計算の負担が最小限に抑えられており、図2に示す値の部品を使用して最適な性能が

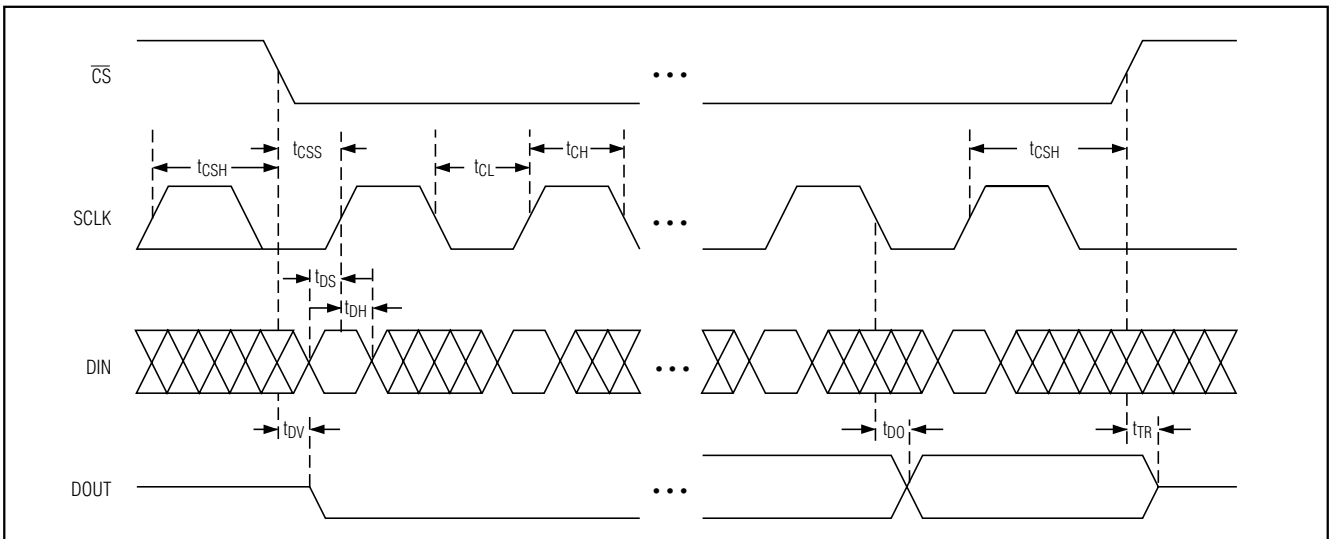


図4. 詳細なシリアルインタフェースタイミング

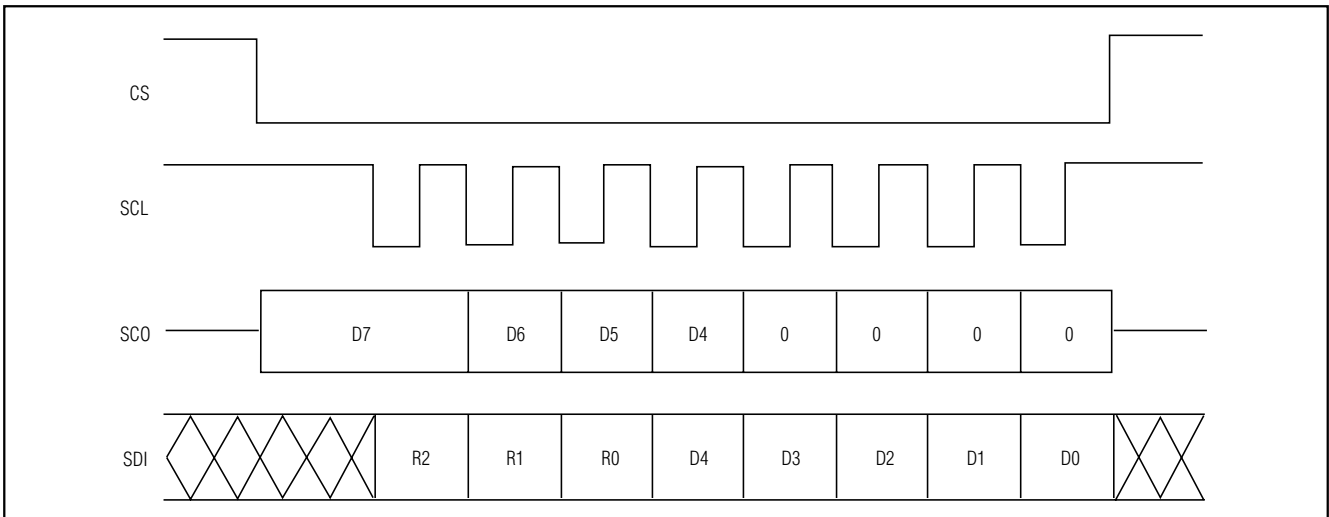


図5. \overline{CS} 、SCL、SDO及びSDI信号のシリアルタイミング

2又は3セル、ステップアップ/ダウン 双方向ページャシステムIC

確保されるようになっていきます。但し下記に説明するように、部品の選択にはある程度の柔軟性が許容されています。適切な部品のリストを表6に記載しています。

インダクタL1の公称値は68μHですが、47μHから100μHまでの範囲内の値であっても問題は全くありません。全出力電流(80mA)が必要な場合には、インダクタの電流定格値を300mA又はそれ以上の値としてください。上記よりも低い出力電流で十分な場合には、インダクタの電流定格値を比例算で小さくすることができますが、150mAよりも低い値を選択してはいけません。

最良の変換効率を達成するにはインダクタの抵抗値を可能な限り小さくすることが必要ですが、MAX769のNチャネルスイッチの抵抗値は0.9 (標準値)なので、抵抗値が0.4 よりも小さなコイルを使用しても変換効率が大幅に改善されることはありません。

フィルタコンデンサC1-C4については、リップルを可能な限り低く抑えると同時に最良のノイズ除去性能を確保するために、低ESRタイプ(タンタル又はセラミック)を使用してください。図2に示す値のコンデンサは、各出力の定格電流に対応するように最適化されています。必要とする出力電流が低ければ、その分だけコンデンサの容量を小さくすることができます。

LBI及びRSIN入力に接続する抵抗によって、LBO及びRSO出力のトリガ電圧を設定します。LBI及びRSI両方の電圧スレッシュホールドは0.6Vです。必要なトリップ電圧V_{TRIP}(図2)の設定に要求される抵抗の値は、下記の数式に従って計算します。

$$R1 = R2[(V_{TRIP}(LBO) / 0.6) - 1]$$

$$R3 = R4[(V_{TRIP}(LBO) / 0.6) - 1]$$

バッテリー消費を可能な限り低く抑えるために、上記の数式でR2とR4(> 100k)に大きな値を使用してください。470k の値から開始すると、良好な結果が得られます。

R_{OFFS}の選択に関する説明については、「低ノイズアナログ電源(REG2)」のセクションを参照してください。

LBOとRSOはオープンドレイン出力なので、通常プルアップ抵抗が必要になります。一般的にこれらはREG1にプルアップされます。応答時間と電流消費に関するトレードオフの問題を解決する妥協策として、100k抵抗の使用を推奨しますが、これ以外の値を適用しても構いません。LBIとRSOは通常の動作時にハイ(オープン回路)なので、ローバッテリー又はリセットイベントが発生するまで、電流は通常プルアップ抵抗内部に流れ込むことはありません。

ロジックレベル

MAX769の内部ロジックはREG1から電源の供給を受けるので、デジタル入力(DR2IN、RUN、SYNC、CS及びSDI)の入力ロジックレベルはSDOのロジック出力レベルと同様にREG1の電圧によって支配される点に注意してください。これらのピン上のロジックハイ入力がV_{REG1}よりも高くなるとはいけません。REG1から電源の供給を受ける外部ロジック(又はμP)、あるいはREG1にプルアップされるオープンドレインのロジックデバイスによってデジタル入力を駆動することが必要です。

ボードレイアウト及びノイズの低減

MAX769の内部回路設計には、ノイズとEMIの影響が最小限に抑えられるように細心の注意が払われています。しかし、最高レベルの性能を確保するために、ボードのレイアウト設計作業を慎重に進めることを推奨します。ボードレイアウトに関する推奨事項を下記に記載します。

- 1) PGNDと同様にL1、LX1及びLX2の配線パターン長を可能な限り短くし、その幅をできるだけ広くしてください。LX1とLX2は高速レートでV_{BATT}又はV_{OUT}のどちらかにトグルするので、配線パターン長を可能な限り短くすれば、アンテナとして作用する可能性のある余分なPCボードスペースの節減に効果的です。
- 2) OUT、REG1、REG2及びREG3の各ピンにフィルタコンデンサをそれぞれ可能な限り近接させて配置してください(0.5mm以上離さないでください)。
- 3) L1にインダクタを使用することを考慮します。シールドされたインダクタをL1に接続すると、放射ノイズが最小限に抑えられますが、必ず必要であるとは限りません。トロイドも同様に、シールドされたコイルと同等のEMI性能を備えています。
- 4) 電源部品については、回路を構成する他の部品への結合を可能な限り少なくするために、ICの最上部個所に必ず配置してください。更にPCボードレイアウトが容易に進められるように、LX1、LX2、OUT及びPGNDの各ピンがICの最上部個所に配置されるように配慮します。このエリアに配置するその他のピンはデジタル信号ピンで、これらのピンはスイッチングノードに近接しても悪影響を受けることは全くありません。
- 5) PGND、そしてBATT及びOUTフィルタコンデンサのグランド側には短く幅の広いグランド配線パターンをそれぞれ個別に用意して使用してください。この配線パターンをグランドプレーンに結線します。

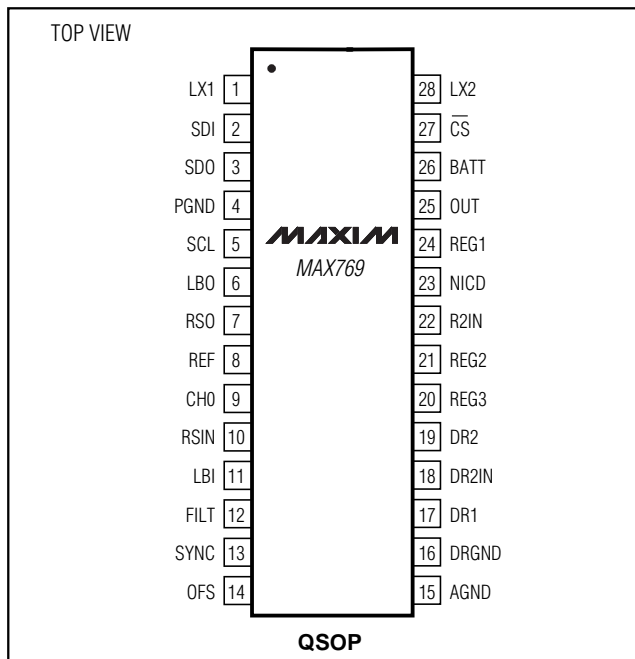
表6. 外部部品

SUPPLIER	PART NO.	COMMENTS
INDUCTORS (68μH)		
Coilcraft	DT1608C-223, DT1608C-683	0.58Ω, 3.18mm high, shielded
Murata	LQH4N680K	1.9Ω, 2.6mm high, low current, low cost
Sumida	CD54-680	0.46Ω, 4.5mm high
	CDR74B-680	0.33Ω, 4.5mm high, shielded
	CD73-680	0.33Ω, 3.5mm high
CAPACITORS		
AVX	TPS series	Tantalum
Marcon	THCR series	Ceramic
Sprague	595D series	Tantalum
TDK	C3216 series	Ceramic
STORAGE CAPACITOR (optional at NICD pin)		
Polystor	A-10300	1.5 Farads

2又は3セル、ステップアップ/ダウン 双方向ページシステムIC

MAX769

ピン配置



パッケージ

