

デュアルユニバーサル・スイッチトキャパシタフィルタ

概要

MAX7490/MAX7491は、2つの同一の低電力、低電圧、広ダイナミックレンジ、レイルトゥレイル、2次スイッチトキャパシタビルディングブロックで構成されています。2つのフィルタ部はそれぞれ2~4個の外部抵抗と組み合わせて、バンドパス、ローパス、ハイパス、及びノッチ(帯域阻止)の標準の2次機能全てを形成できます。これらの機能のうちの3つは、同時に使用できます。4次フィルタは、2つの2次フィルタ部をカスケード接続することにより実現できます。同様に、より高次のフィルタは、複数のMAX7490/MAX7491をカスケード接続することにより容易に形成できます。

これらのデバイスは、セルフクロック動作(外付けコンデンサが必要)、又はカットオフ周波数の制御を正確に行う場合には外部クロック動作の2種類のクロック動作が可能です。クロック対中心周波数の比率は100:1です。サンプリングはクロック周波数の2倍の周波数で実施され、カットオフ周波数とナイキスト周波数を更に分離しています。

MAX7490/MAX7491は内部に電源スプリッタを備えており、単一電源動作に必要とされる正確なコモン電圧を確立します。MAX7490は単一の+5V電源で動作し、MAX7491は単一の+3V電源で動作します。これらの2つの製品は低電力シャットダウンモードを備えており、16ピンQSOPパッケージで提供されています。

アプリケーション

- 同調可能アクティブフィルタ
- 多極フィルタ
- ADCアンチエイリアシング
- ポストDACフィルタリング
- 適応フィルタリング
- 位相ロックループ(PLL)
- セットトップボックス

標準アプリケーション回路はデータシートの最後に記載されています。

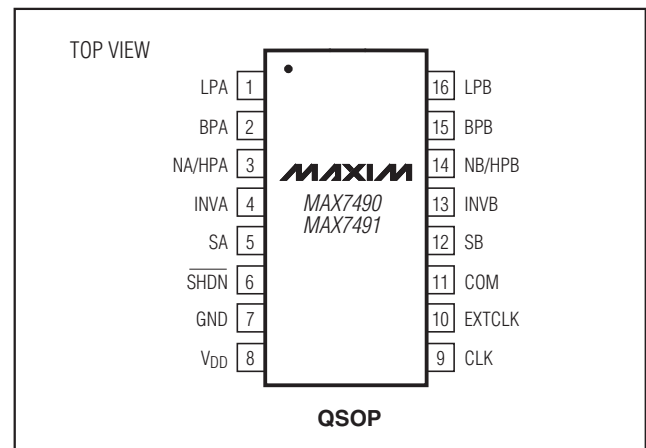
特長

- ◆ 16ピンQSOPパッケージのデュアル2次フィルタ
- ◆ 高精度
 - Q精度: $\pm 0.2\%$
 - クロック対中心周波数誤差: $\pm 0.2\%$
- ◆ レイルトゥレイル入出力動作
- ◆ 単一電源動作: +5V(MAX7490)又は+3V(MAX7491)
- ◆ 内部又は外部クロック
- ◆ ハイパス、ローパス、バンドパス、及びノッチフィルタ
- ◆ クロック対中心周波数比: 100:1
- ◆ 内部サンプリング対中心周波数比: 200:1
- ◆ 中心周波数: 最大40kHz
- ◆ 多極フィルタ用の簡単なカスケード接続
- ◆ 低電力シャットダウン: 1 μ A以下

型番

PART	TEMP. RANGE	PIN-PACKAGE	SUPPLY VOLTAGE (+V)
MAX7490CEE	0°C to +70°C	16 QSOP	5
MAX7490EEE	-40°C to +85°C	16 QSOP	5
MAX7491CEE	0°C to +70°C	16 QSOP	3
MAX7491EEE	-40°C to +85°C	16 QSOP	3

ピン配置



デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +6V
 EXTCLK, SHDN to GND-0.3V to +6V
 INV_, LP_, BP_, N_/HP_, S_, COM,
 CLK to GND.....-0.3V to (V_{DD} + 0.3V)
 Maximum Current into Any Pin50mA
 Continuous Power Dissipation (T_A = +70°C)
 16-Pin QSOP (derate 8.30mW/°C above +70°C).....667mW

Operating Temperature Range
 MAX749_CEE0°C to +70°C
 MAX749_EEE-40°C to +85°C
 Die Temperature+150°C
 Storage Temperature.....-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX7490

(V_{DD} = EXTCLK = +5V, f_{CLK} = 625kHz, T_A = T_{MIN} to T_{MAX}, 10kΩ || 50pF load to V_{DD}/2 at LP_, BP_, and N_/HP_, SHDN = V_{DD}, 0.1μF from COM to GND, 50% duty-cycle clock input, COM = V_{DD}/2. Typical values are at T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FILTER						
Center Frequency Range	f _O	Mode 1		0.001 to 40		kHz
Clock-to-Center Frequency Accuracy	f _{CLK} /f _O	Mode 1, R1 = R3 = 50kΩ, R2 = 10kΩ, Q = 5, deviation from 100:1		±0.2	±0.7	%
Q Accuracy		Mode 1, R1 = R3 = 50kΩ, R2 = 10kΩ, Q = 5		±0.2	±2	%
f _O Temperature Coefficient				±1		ppm/°C
Q Temperature Coefficient				±5		ppm/°C
DC Lowpass Gain Accuracy		Mode 1, R1 = R2 = 10kΩ		±0.1	±0.5	%
DC Offset Voltage (Figure 8)	V _{OS1}	DC offset of input inverter		±3	±12.5	mV
	V _{OS2}	DC offset of 1st integrator		±4	±15	
	V _{OS3}	DC offset of 2nd integrator		±4	±30	
Crosstalk (Note 2)		f _{IN} = 10kHz		-60		dB
COM Voltage Range	V _{COM}	Input: COM externally driven	V _{DD} /2 - 0.5	V _{DD} /2	V _{DD} /2 + 0.5	V
		Output: COM internally driven	V _{DD} /2 - 0.2	V _{DD} /2	V _{DD} /2 + 0.2	
Input Resistance at COM	R _{COM}		140	250	325	kΩ
Clock Feedthrough		Up to 5th harmonic of f _{CLK}		200		μV _{RMS}
Noise (Note 3)		Mode 1, R1 = R2 = R3 = 10kΩ, LP output, Q = 1		60		μV _{RMS}
Output Voltage Swing			0.2		V _{DD} - 0.2	V
Input Leakage Current at COM		SHDN = GND, V _{COM} = 0 to V _{DD}		±0.1	±10	μA
CLOCK						
Maximum Clock Frequency	f _{CLK}			4		MHz
Internal Oscillator Frequency (Note 4)	f _{OSC}	EXTCLK = GND, C _{OSC} = 1000pF	95	135	175	kHz
		EXTCLK = GND, C _{OSC} = 100pF		1.35		MHz
Clock Input High			V _{DD} - 0.5			V

デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

ELECTRICAL CHARACTERISTICS—MAX7490 (continued)

($V_{DD} = \text{EXTCLK} = +5\text{V}$, $f_{\text{CLK}} = 625\text{kHz}$, $T_A = T_{\text{MIN}}$ to T_{MAX} , $10\text{k}\Omega \parallel 50\text{pF}$ load to $V_{DD}/2$ at LP_- , BP_- , and N_- / HP_- , $\text{SHDN} = V_{DD}$, $0.1\mu\text{F}$ from COM to GND , 50% duty-cycle clock input, $\text{COM} = V_{DD}/2$. Typical values are at $T_A = +25^\circ\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Input Low					0.5	V
Clock Duty Cycle				50 ± 5		%
SHDN AND EXTCLK						
Input High	V_{IH}		$V_{DD} - 0.5$			V
Input Low	V_{IL}			0.5		V
Input Leakage Current		$V_{\text{INPUT}} = 0$ to V_{DD}		± 0.4	± 10	μA
POWER REQUIREMENTS						
Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current	I_{DD}	No external load, mode 1, $R_1 = R_3 = 50\text{k}\Omega$, $R_2 = 10\text{k}\Omega$, $Q = 5$		3.5	4.0	mA
Shutdown Current	I_{SHDN}	$\overline{\text{SHDN}} = \text{GND}$			1	μA
INTERNAL OP AMPS CHARACTERISTICS						
Output Short-Circuit Current				± 18		mA
DC Open-Loop Gain		$R_L \geq 10\text{k}\Omega$, $C_L \leq 50\text{pF}$		130		dB
Gain Bandwidth Product	GBW	$R_L \geq 10\text{k}\Omega$, $C_L \leq 50\text{pF}$		7		MHz
Slew Rate	SR	$R_L \geq 10\text{k}\Omega$, $C_L \leq 50\text{pF}$		6.4		$\text{V}/\mu\text{s}$

デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

ELECTRICAL CHARACTERISTICS—MAX7491

($V_{DD} = \text{EXTCLK} = +3\text{V}$, $f_{\text{CLK}} = 625\text{kHz}$, $T_A = T_{\text{MIN}}$ to T_{MAX} , $10\text{k}\Omega \parallel 50\text{pF}$ load to $V_{DD}/2$ at LP_- , BP_- , and N_- / HP_- , $\text{SHDN} = V_{DD}$, $0.1\mu\text{F}$ from COM to GND, 50% duty-cycle clock input, COM = $V_{DD}/2$. Typical values are at $T_A = +25^\circ\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FILTER						
Center Frequency Range	f_0	Mode 1		0.001 to 40		kHz
Clock-to-Center Frequency Accuracy	f_{CLK}/f_0	Mode 1, $R_1 = R_3 = 50\text{k}\Omega$, $R_2 = 10\text{k}\Omega$, $Q = 5$, deviation from 100:1		± 0.2	± 0.7	%
Q Accuracy		Mode 1, $R_1 = R_3 = 50\text{k}\Omega$, $R_2 = 10\text{k}\Omega$, $Q = 5$		± 0.2	± 2	%
f_0 Temperature Coefficient				± 1		ppm/ $^\circ\text{C}$
Q Temperature Coefficient				± 5		ppm/ $^\circ\text{C}$
DC Lowpass Gain Accuracy		Mode 1, $R_1 = R_2 = 10\text{k}\Omega$		± 0.1	± 0.5	%
DC Offset Voltage (Figure 8)	V_{OS1}	DC offset of input inverter		± 3	± 12.5	mV
	V_{OS2}	DC offset of 1st integrator		± 4	± 15	
	V_{OS3}	DC offset of 2nd integrator		± 4	± 25	
Crosstalk (Note 2)		$f_{\text{IN}} = 10\text{kHz}$		-60		dB
COM Voltage Range	V_{COM}	Input: COM externally driven	$V_{DD}/2 - 0.1$	$V_{DD}/2$	$V_{DD}/2 + 0.1$	V
		Output: COM internally driven	$V_{DD}/2 - 0.1$	$V_{DD}/2$	$V_{DD}/2 + 0.1$	
Input Resistance at COM	R_{COM}		60	80	120	$\text{k}\Omega$
Clock Feedthrough		Up to 5th harmonic of f_{CLK}		200		μVRMS
Noise (Note 3)		Mode 1, $R_1 = R_2 = R_3 = 10\text{k}\Omega$, LP output, $Q = 1$		60		μVRMS
Output Voltage Swing			0.2		$V_{DD} - 0.2$	V
Input Leakage Current at COM		$\text{SHDN} = \text{GND}$, $V_{\text{COM}} = 0$ to V_{DD}		± 0.1	± 10	μA
CLOCK						
Maximum Clock Frequency	f_{CLK}			4		MHz
Internal Oscillator Frequency (Note 4)	f_{OSC}	$\text{EXTCLK} = \text{GND}$, $C_{\text{OSC}} = 1000\text{pF}$	95	135	175	kHz
		$\text{EXTCLK} = \text{GND}$, $C_{\text{OSC}} = 100\text{pF}$		1.35		MHz
Clock Input High			$V_{DD} - 0.5$			V
Clock Input Low					0.5	V
Clock Duty Cycle				50 ± 5		%
SHDN AND EXTCLK						
Input High	V_{IH}		$V_{DD} - 0.5$			V
Input Low	V_{IL}				0.5	V
Input Leakage Current		$V_{\text{INPUT}} = 0$ to V_{DD}		± 0.4	± 10	μA

デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

ELECTRICAL CHARACTERISTICS—MAX7491 (continued)

($V_{DD} = \text{EXTCLK} = +3\text{V}$, $f_{\text{CLK}} = 625\text{kHz}$, $T_A = T_{\text{MIN}}$ to T_{MAX} , $10\text{k}\Omega \parallel 50\text{pF}$ load to $V_{DD}/2$ at LP_- , BP_- , and N_- / HP_- , $\text{SHDN} = V_{DD}$, $0.1\mu\text{F}$ from COM to GND , 50% duty-cycle clock input, $\text{COM} = V_{DD}/2$. Typical values are at $T_A = +25^\circ\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Supply Voltage	V_{DD}		2.7		3.6	V
Power-Supply Current	I_{DD}	No load, mode 1, $R_1 = R_3 = 50\text{k}\Omega$, $R_2 = 10\text{k}\Omega$, $Q = 5$		3.5	4.0	mA
Shutdown Current	I_{SHDN}	$\text{SHDN} = \text{GND}$			1	μA
INTERNAL OP AMPS CHARACTERISTICS						
Output Short-Circuit Current				± 11		mA
DC Open-Loop Gain		$R_L \geq 10\text{k}\Omega$, $C_L \leq 50\text{pF}$		130		dB
Gain Bandwidth Product	GBW	$R_L \geq 10\text{k}\Omega$, $C_L \leq 50\text{pF}$		7		MHz
Slew Rate	SR	$R_L \geq 10\text{k}\Omega$, $C_L \leq 50\text{pF}$		6		$\text{V}/\mu\text{s}$

Note 1: Resistive loading of the N_- / HP_- , LP_- , BP_- outputs includes the resistors used for the filter implementation.

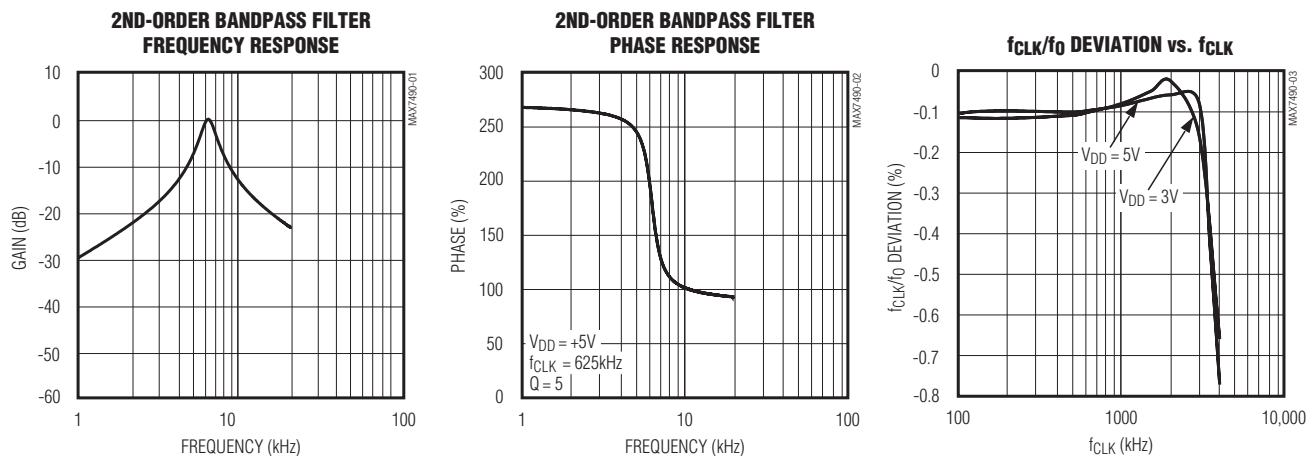
Note 2: Crosstalk between internal filter sections is measured by applying a 1V_{RMS} 10kHz signal to one bandpass filter section input and grounding the input of the other bandpass filter section. The crosstalk is the ratio between the output of the grounded filter section and the 1V_{RMS} input signal of the other section.

Note 3: Bandwidth of noise measurement is 80kHz.

Note 4: $f_{\text{OSC}} (\text{kHz}) = 135 \times 10^3 / \text{Cosc}$ (Cosc in pF)

標準動作特性

($V_{DD} = +5\text{V}$ for MAX7490, $V_{DD} = +3\text{V}$ for MAX7491, $f_{\text{CLK}} = 625\text{kHz}$, $\text{SHDN} = \text{EXTCLK} = V_{DD}$, $\text{COM} = V_{DD}/2$, Mode 1, $R_3 = R_1 = 50\text{k}\Omega$, $R_2 = 10\text{k}\Omega$, $Q = 5$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

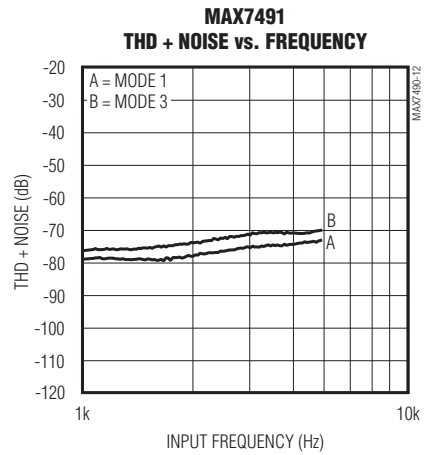
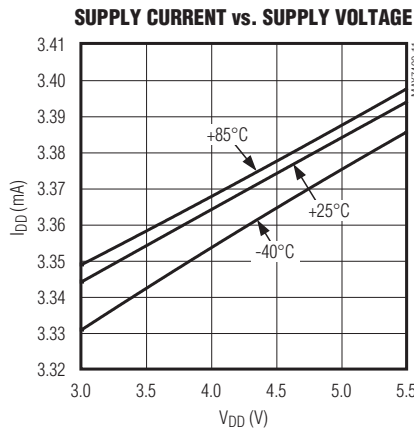
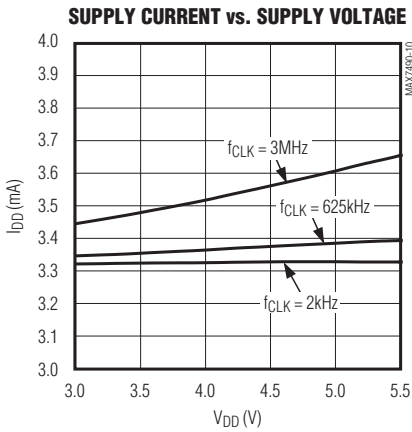
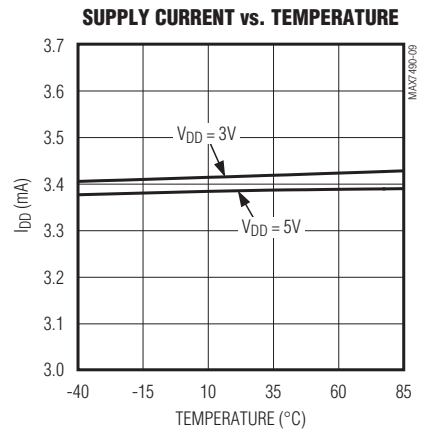
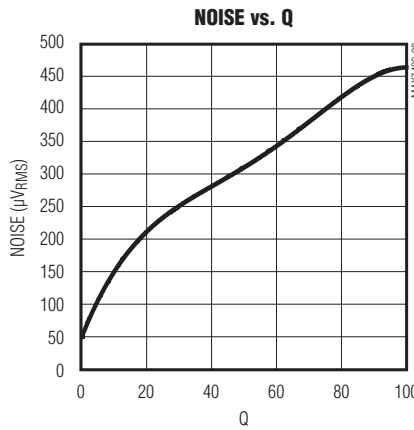
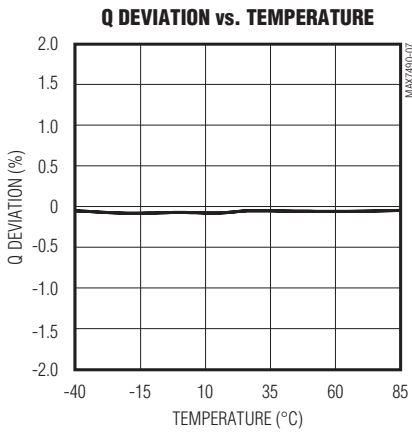
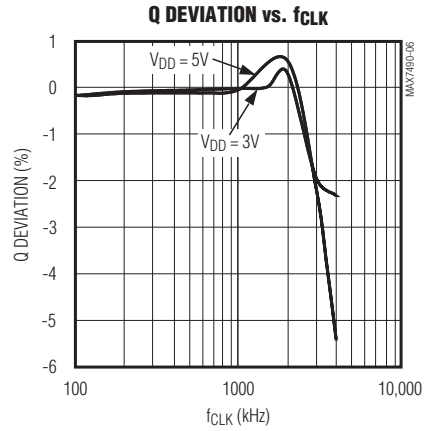
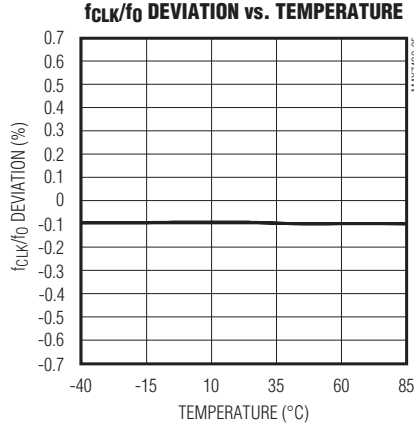
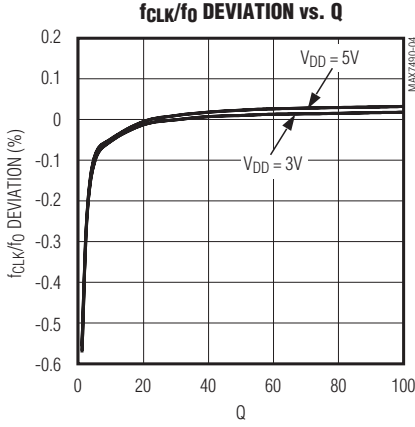


デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

標準動作特性(続き)

($V_{DD} = +5V$ for MAX7490, $V_{DD} = +3V$ for MAX7491, $f_{CLK} = 625kHz$, $\overline{SHDN} = EXTCLK = V_{DD}$, $COM = V_{DD}/2$, Mode 1, $R3 = R1 = 50k\Omega$, $R2 = 10k\Omega$, $Q = 5$, $T_A = +25^\circ C$, unless otherwise noted.)

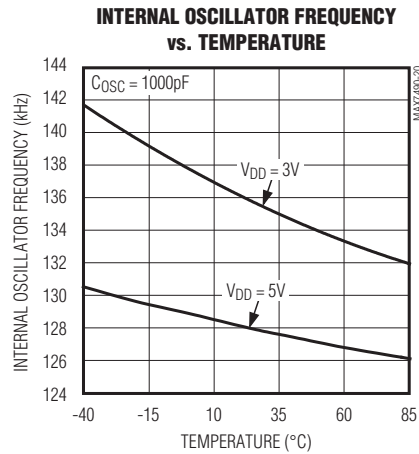
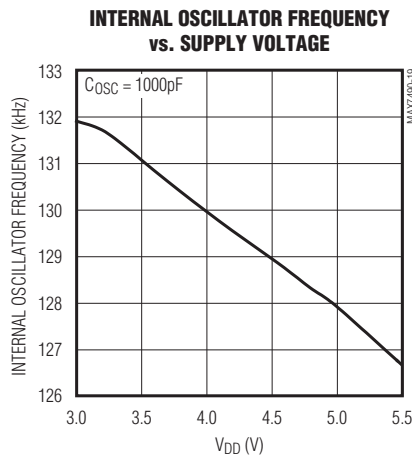
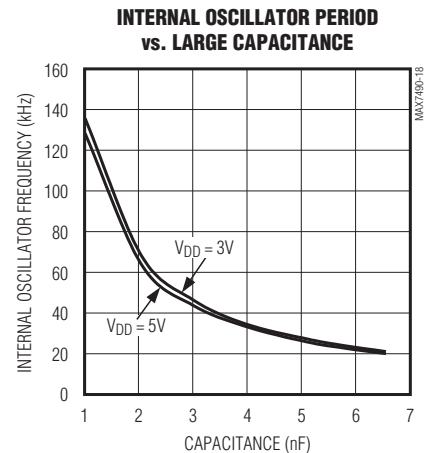
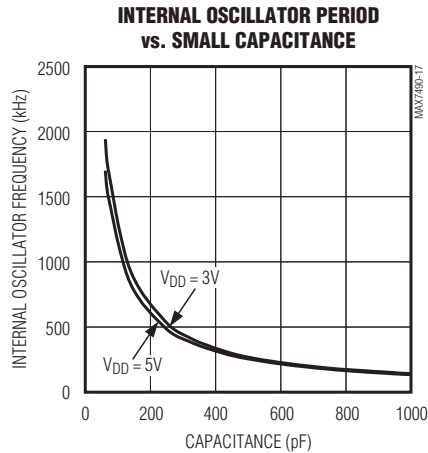
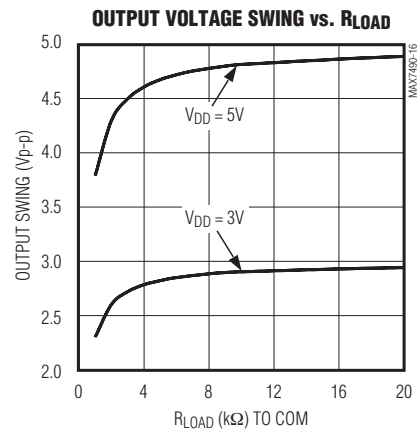
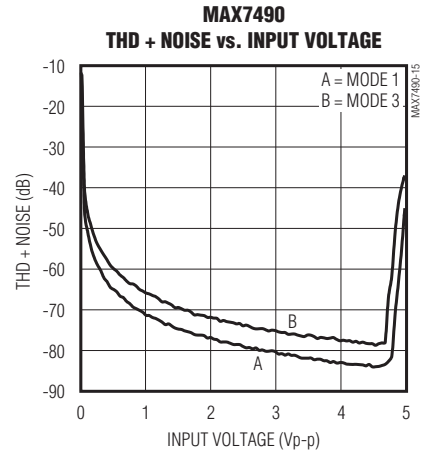
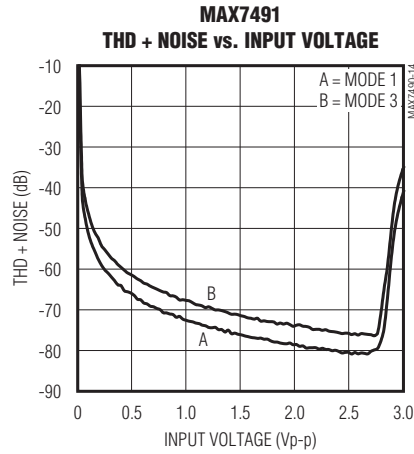
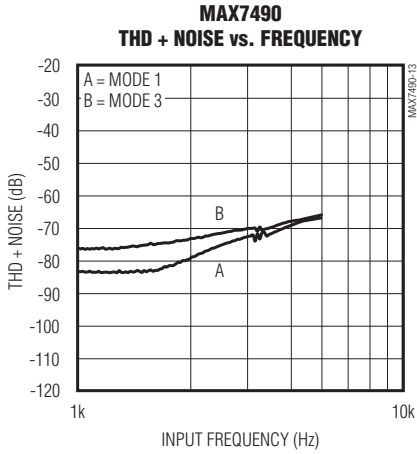


デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

標準動作特性(続き)

($V_{DD} = +5V$ for MAX7490, $V_{DD} = +3V$ for MAX7491, $f_{CLK} = 625kHz$, $\overline{SHDN} = EXTCLK = V_{DD}$, $COM = V_{DD}/2$, Mode 1, $R3 = R1 = 50k\Omega$, $R2 = 10k\Omega$, $Q = 5$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

端子説明

端子	名称		機能
	フィルタA	フィルタB	
LP_	1	16	2次ローパスフィルタ出力
BP_	2	15	2次バンドパスフィルタ出力
N_/HP_	3	14	2次ノッチ/ハイパスフィルタ出力
INV_	4	13	フィルタ加算オペアンプの反転入力
S_	5	12	加算入力。加算入力の出力とその他の抵抗の接続により、各2次セクションの回路構成(モード)が決定されます。S_は決してフローティングにしておかないで下さい。
$\overline{\text{SHDN}}$	6		シャットダウン入力。 $\overline{\text{SHDN}}$ をローに駆動すると、シャットダウンモードがイネーブルされます。ハイに駆動するか、 V_{DD} に接続すると、通常の動作が行われます。
GND	7		グラウンド
V_{DD}	8		正電源。0.1 μF のコンデンサでGNDにバイパスして下さい。低ノイズ電源の使用を推奨します。MAX7490では入力は+5Vで、MAX7491では+3Vです。
CLK	9		クロック入力。CLKとグラウンドの間で外付けコンデンサ(C_{OSC})に接続し、内部発振周波数を設定して下さい。外部クロック動作を行うには、CMOSレベルクロックを使用して駆動して下さい。最良の性能を得るには、外部クロックのデューティサイクルを45%~55%の範囲にして下さい。
EXTCLK	10		外部/内部クロック選択。CLKを外部で駆動する時はEXTCLKを V_{DD} に接続し、内部発振器を使用する時はGNDに接続して下さい。
COM	11		コモンピン。 $V_{DD}/2$ において内部でバイアスがかけられます。0.1 μF コンデンサを使用して、外部でグラウンドにバイパスして下さい。内部バイアスをオーバーライドするには、外部低インピーダンスソースを使用して駆動して下さい。

詳細

MAX7490/MAX7491は、内部 f_{CLK}/f_0 比が100:1固定になるよう設計されたユニバーサルスイッチトキャパシタフィルタです。各動作モードは、それぞれ異なる配置で接続されている外部抵抗を使用して、標準のフィルタ構成全て(バターワース、ベッセル、エリプティック、チェビシェフ)における異なるフィルタ機能(ハイパス、ローパス、バンドパス、ノッチ)を実現します。図1にブロック図を示します。

クロック信号

外部クロック

MAX7490/MAX7491のスイッチトキャパシタフィルタは、50% \pm 5%のデューティサイクルの外部クロックを使用して動作するよう設計されています。外部クロックの使用時には、EXTCLKピンをハイに駆動するか、 V_{DD} に接続して下さい。CLKはCMOSロジックレベル(GND及び V_{DD})で駆動します。外部クロックの

レートを変化させると、フィルタの中心周波数を次のように調整できます。

$$f_0 = f_{CLK} / 100$$

内部クロック

内部発振器を使用する時は、EXTCLKピンをローに駆動するかGNDに接続し、CLKとGNDの間にコンデンサ(C_{OSC})を接続して下さい。コンデンサ(C_{OSC})の値は、発振器の周波数を次のように決定します。

$$f_{OSC}(\text{kHz}) = 135 \times 10^3 / C_{OSC}(\text{pF})$$

C_{OSC} はピコファラドの単位の容量となるため、CLKにおける浮遊容量を最小化して、内部発振器の周波数に影響を与えないようにして下さい。内部発振器の周波数を変化させることにより、100:1のクロック対中心周波数比率で、フィルタの中心周波数を調整できます。例えば、135kHzの内部発振器周波数は、1.35kHzの公称中心周波数を生成します。

デュアルユニバーサル・スイッチトキャパシタフィルタ

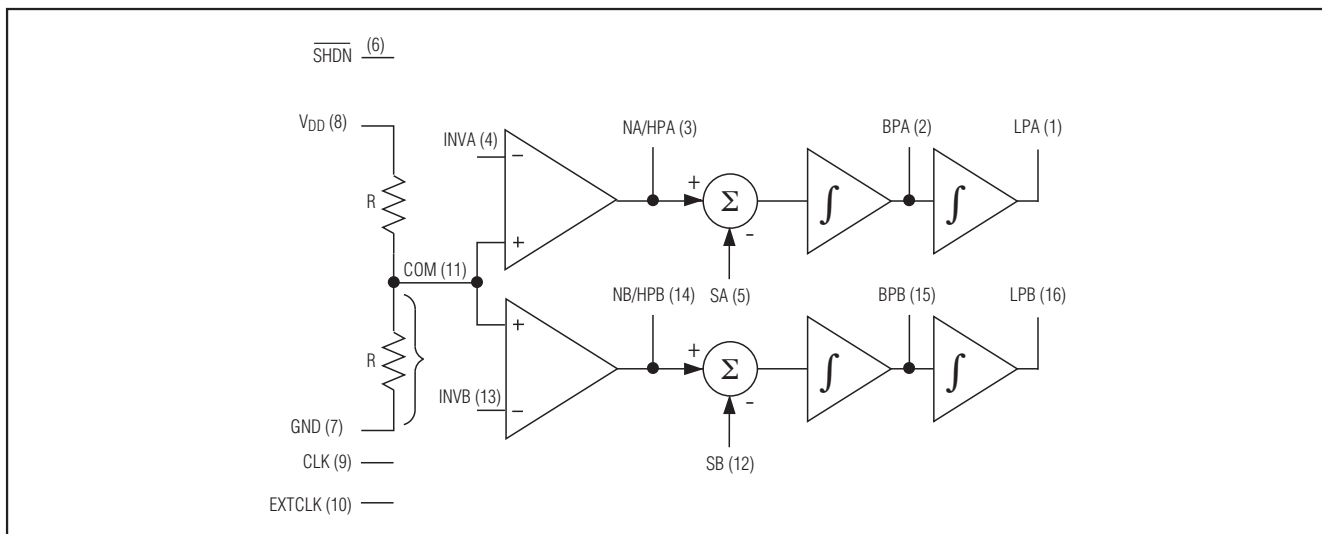


図1. ブロック図

2次フィルタ段

MAX7490/MAX7491は、デュアルバイクワッドフィルタです。バイクワッド構成では、標準のフィルタテーブルと等式を使用して、ローパス、バンドパス、及びノッチ又はハイパスフィルタを同時に実現できます。バターワース、チェビシェフ、ベッセル、エリプティックなどの構成や、カスタムのアルゴリズムが可能です。

内部コモン電圧

COMピンはコモンモードの入力電圧を設定し、抵抗分圧器を使用して内部で $V_{DD}/2$ にバイアスされます。使用する抵抗はMAX7490では250k Ω (typ)で、MAX7491では80k Ω (typ)です。コモンモードの電圧は、希望に応じて外部の電圧電源により容易にオーバードライブ可能です。COMピンは、少なくとも0.1 μ Fのコンデンサを使用してアナロググランドにバイパスして下さい。

反転入力

INV₋に接続されている抵抗は、INV₋にできるだけ近づけて、浮遊容量とノイズの影響を削減して下さい。INV₋は連続時間オペアンプへの反転入力で、仮想グランドのように振る舞います。これらの入力にはサンプリングエネルギーはありません。

出力

各スイッチトキャパシタ部は、2~4の外部抵抗と組み合わせると、標準の2次機能の全て、つまりバンドパス、ローパス、ハイパス及びノッチ(帯域阻止)機能を生成できます。これらの機能のうちの3つは同時に使用できます。最大信号スイングは、使用する電源電圧により制限されます。MAX7490/MAX7491のアンプの出力は、

どちらの電源においても約0.2V以内でスイングできます。同軸ケーブル、大容量負荷、又は全抵抗負荷10k Ω 以下を駆動すると、全高調波歪み(THD)性能が低下します。出力における有効な抵抗負荷には、フィードバック抵抗及び外部の負荷抵抗を含める必要があることに注意して下さい。

低電力シャットダウンモード

MAX7490/MAX7491には、 $\overline{\text{SHDN}}$ をローに駆動するとイネーブルされるシャットダウンモードが備わっています。このシャットダウンモードにおいてフィルタの消費電流は1 μ A(max)以下になり、フィルタ出力はハイインピーダンスになります。シャットダウン中はCOMの入力もハイインピーダンスになります。通常の動作を行うには、 $\overline{\text{SHDN}}$ をハイに駆動するか、 V_{DD} に接続して下さい。

アプリケーション情報

MAX7490/MAX7491を使用した設計は、望ましい回路要件に最も適したモードを選択することから始まります。表1に、使用可能なモード及びそれぞれの長所と短所を示します。表2に、その後続く説明で使用される各用語を一覧表示します。

モード1

図2に、MAX7490/MAX7491のモード1の構成を示します。このモードは2次ノッチ、ローパス、及びバンドパスフィルタ機能を提供します。3つの出力全てにおける利得はR1の値に反比例します。中心周波数 f_0 は $f_{CLK}/100$ に固定されます。高Qバンドパスフィルタは、バンドパスアンプの出力スイングを超えることなく構築できます(つまり、 H_{OBp} がQに追従する必要はありません)。

デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

表1. フィルタの動作モード

MODE	LP	HP	BP	N	LP-N*	HP-N*	COMMENTS
1	•		•	•			f_{CLK}/f_0 ratio is the nominal value. Good for bandpass filters with identical sections cascaded, higher order Butterworth filters, high-Q bandpass, low-Q notches.
1B	•		•	•			Same as Mode 1 with f_{CLK}/f_0 ratios greater than the nominal value.
2	•		•	•			Combination of Mode 1 and Mode 3; f_{CLK}/f_0 ratios always less than the nominal value. Less sensitivity to resistor tolerances than Mode 3.
2N					•		Extension of Mode 2 that allows higher frequencies. Highpass and lowpass outputs are summed with external op amp and two resistors. Good for lowpass elliptic filters.
3	•	•	•				Adjustable f_0 above and below the nominal frequency. Commonly used for multiple-pole Chebyshev filters, all-pole higher order bandpass, lowpass, and highpass filters.
3A	•	•	•		•	•	Extension of Mode 3 that needs an external op amp and two additional resistors. Commonly used for lowpass or higher elliptic or Cauer filters.

* LP-N = ローパスノッチ、HP-N = ハイパスノッチ。両方とも外付けオペアンプを必要とします。「用語の定義」(表2)を参照して下さい。

表2. 用語の定義

TERM	DEFINITION
f_{CLK}	The clock frequency applied to the switched-capacitor filter.
f_0	The center frequency of the 2nd-order complex pole pair, f_0 , is determined by measuring the peak response frequency at the bandpass output.
f_{NOTCH}	The frequency of minimum amplitude response at the notch output.
Q	Quality factor, or Q, is the ratio of f_0 to the -3dB bandwidth of the 2nd-order bandpass filter. Q also determines the amount of amplitude peaking at the lowpass and highpass outputs, but is not measured at these outputs.
HOBP	The gain in V/V of the bandpass output at $f = f_0$.
HOLP	The gain in V/V of the lowpass output at $f \rightarrow 0$ Hz.
HOHP	The gain in V/V of the highpass output at $f \rightarrow f_{CLK}/2$.
HON1	The notch output gain as $f \rightarrow 0$ Hz.
HON2	The notch output gain at $f = f_{CLK}/2$.
LP-N	A notch output with $H_{ON1} > H_{ON2}$.
HP-N	A notch output with $H_{ON1} < H_{ON2}$.

デュアルユニバーサル・スイッチトキャパシタフィルタ

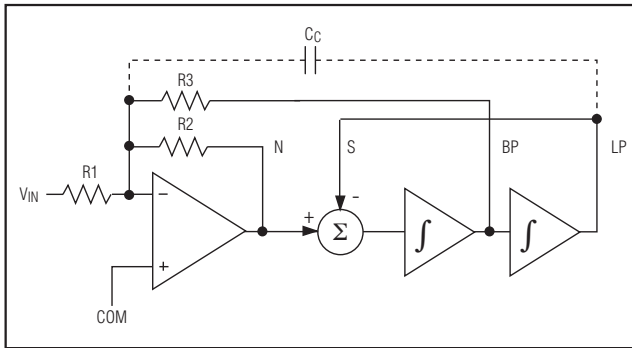


図2. ノッチ、バンドパス及びローパス出力を提供するモード1の2次フィルタ

ノッチ及びバンドパスの中心周波数は同一です。ノッチの出力利得はノッチ中心周波数と同じであるか、それより上又は下にあります。モード1を使用して同一のスイッチトキャパシタセクションをカスケード接続し、高次バターワースローパスフィルタ、低Qノッチ及び複数次のバンドパスフィルタを形成することもできます。

モード1の設計式

$$f_0 = \frac{f_{CLK}}{100}$$

$$f_{notch} = f_0$$

$$Q = \frac{R_3}{R_2}$$

$$H_{OLP} = \frac{-R_2}{R_1}$$

$$H_{OBP} = \frac{-R_3}{R_1}$$

$$H_{ON1}(\text{as } f \rightarrow 0\text{Hz}) = \frac{-R_2}{R_1}$$

$$H_{ON2}(\text{at } f = f_{CLK} / 2) = \frac{-R_2}{R_1}$$

モード1B

図3にモード1Bの構成を示します。R5及びR6はローパス出力から加算入力へのフィードバック電圧を減少させるために追加されています。これにより、公称値を上回るクロック対中心周波数の調整が可能になります。このモードは実質的にモード1と同じ機能と速度を持つ一方で、高いQ及び公称値よりも高い f_{CLK}/f_0 比を実現します。

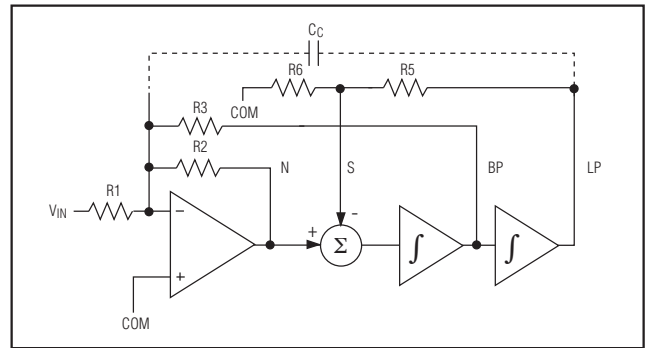


図3. ノッチ、バンドパス及びローパス出力を提供するモード1Bの2次フィルタ

モード1Bの設計式

$$f_0 = \frac{f_{CLK}}{100} \sqrt{\frac{R_6}{R_6 + R_5}}$$

$$f_n = f_0$$

$$Q = \frac{R_3}{R_2} \sqrt{\frac{R_6}{R_6 + R_5}}$$

$$H_{OLP} = \frac{-R_2}{R_1} \frac{R_6 + R_5}{R_6}$$

$$H_{OBP} = \frac{-R_3}{R_1}$$

$$H_{ON1}(\text{as } f \rightarrow 0\text{Hz}) = \frac{-R_2}{R_1}$$

$$H_{ON2}(\text{at } f = f_{CLK} / 2) = \frac{-R_2}{R_1}$$

モード2

図4にモード2の構成を示します。モード2はモード1とモード3を組み合わせたものです。このモードでは、 f_{CLK}/f_0 は常にこの部品の公称比率よりも小さくなります。但し、抵抗許容差に対してモード3よりも小さい感度を示します。モード2はハイパスノッチ出力を持ち、この出力のノッチ周波数はクロック周波数のみに左右されます。

デュアルユニバーサル・スイッチトキャパシタフィルタ

モード2の設計式

$$f_O = \frac{f_{CLK}}{100} \sqrt{1 + \frac{R_2}{R_4}}$$

$$f_n = \frac{f_{CLK}}{100}$$

$$Q = \frac{R_3}{R_2} \sqrt{1 + \frac{R_2}{R_4}}$$

$$H_{OLP} = \frac{-R_2}{R_1} \left(\frac{R_4}{R_4 + R_2} \right)$$

$$H_{OBP} = \frac{-R_3}{R_1}$$

$$H_{ON1}(f \rightarrow 0\text{Hz}) = \frac{-R_2}{R_1} \left(\frac{R_4}{R_4 + R_2} \right)$$

$$H_{ON2}(\text{at } f = f_{CLK}/2) = \frac{-R_2}{R_1}$$

モード2N

図5にモード2Nの構成を示します。このモードはモード3Aの構成をモード2に拡張したもので、ハイパス出力及びローパス出力が2つの外部抵抗 R_H 及び R_L を通じて加算され、モード2よりも高い周波数を持つローパスノッチフィルタを形成します。モード2はローパスエリプティック設計に最も役立ちます。MAX7490/MAX7491のセクションをカスケード接続する時、ハイパス出力及びローパス出力はその次のセクションの反転入力に直接加算できます。外付けオペアンプは1つだけ必要になります。

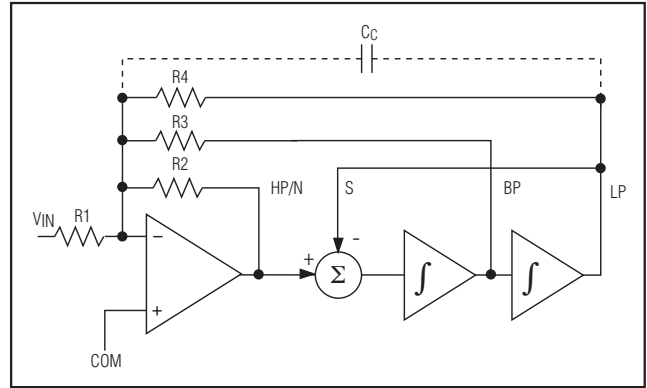


図4. ハイパスノッチ、バンドパス及びローパス出力を提供するモード2の2次フィルタ

モード2Nの設計式

$$f_O = \frac{f_{CLK}}{100} \sqrt{1 + \frac{R_2}{R_4}}$$

$$f_n = \frac{f_{CLK}}{100} \sqrt{1 + \frac{R_H}{R_L}}$$

$$Q = \frac{R_3}{R_2} \sqrt{1 + \frac{R_2}{R_4}}$$

$$H_{ON1}(f \rightarrow 0\text{Hz}) = \left(\frac{R_G}{R_H} + \frac{R_G}{R_L} \right) \left(\frac{R_2}{R_1} \right) \left(\frac{R_4}{R_4 + R_2} \right)$$

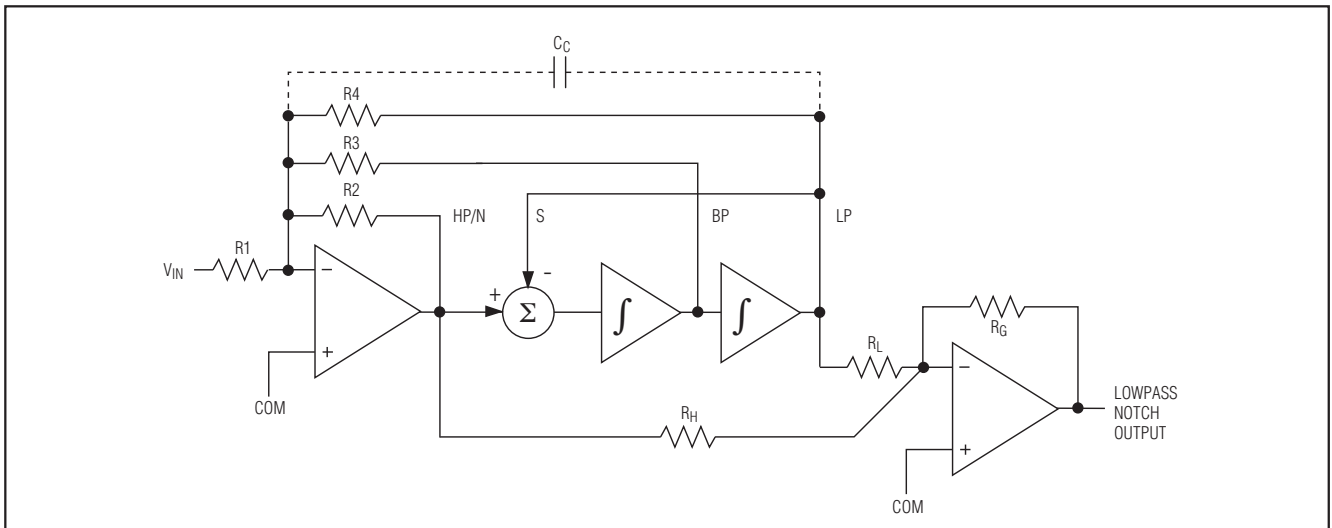


図5. ローパスノッチ出力を提供するモード2Nの2次フィルタ

デュアルユニバーサル・スイッチトキャパシタフィルタ

モード3

図6にモード3の構成を示します。このモードは標準的な2次状態可変フィルタと同等のサンプル時間(Z変換)を持っています。この万能モードでは、抵抗R2及びR4の比率は中心周波数を公称比率の上にも下にも移動できます。モード3は通常単一のクロック周波数を持つ多極チェビシェフフィルタを形成するために使用されます。このモードは、高次の全極バンドパス、ローパス及びハイパスフィルタを形成するために使用することもできます。

モード3の設計式

$$f_0 = \frac{f_{CLK}}{100} \sqrt{\frac{R_2}{R_4}}$$

$$Q = \frac{R_3}{R_2} \sqrt{\frac{R_2}{R_4}}$$

$$H_{OHP} = \frac{-R_2}{R_1}$$

$$H_{OLP} = \frac{-R_4}{R_1}$$

$$H_{OBP} = \frac{-R_3}{R_1}$$

モード3A

図7にモード3Aの構成を示します。モード2と似たこのモードは、外付オペアンプを追加しています。オペアンプの選択方法については表3を参照して下さい。この

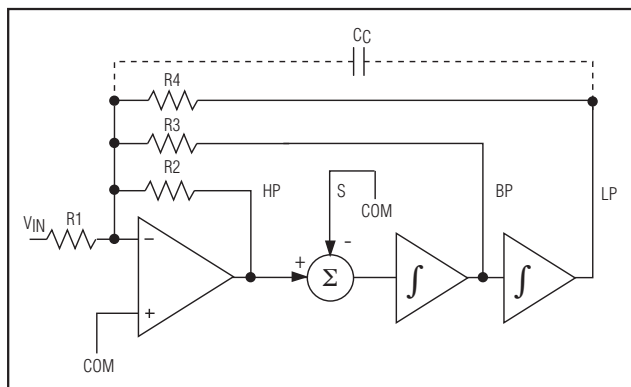


図6. ハイパス、バンドパス及びローパス出力を提供するモード3の2次セクション

オペアンプは、2つの外部抵抗であるR_H及びR_Lを通じてハイパス出力とローパス出力を加算することにより、ハイパスノッチ及びローパスノッチを形成します。抵抗R_H及びR_Lの比率がノッチ周波数を調整する一方で、R₂及びR₄がバンドパス中心周波数を調整します。これは、ノッチ(ゼロのペア)周波数をf₀の上にも下にも調整できるためです。モード3Aはローパスフィルタ及びハイパスのエリプティック又はカウアフィルタの両方に適しています。多極エリプティックフィルタでは、1つだけ外付オペアンプが必要となります。内蔵オペアンプの反転入力を、フィルタの最終セクション以外の全セクションの加算ノードとして使用して下さい。

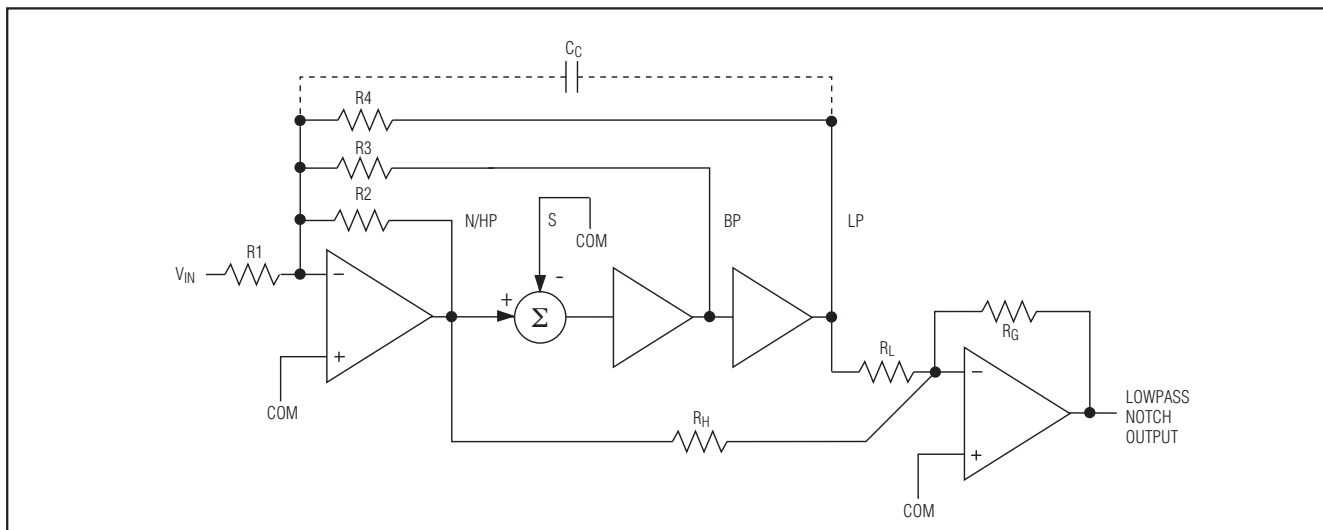


図7. ハイパスノッチ又はローパスノッチ出力を提供するモード3Aの2次フィルタ

デュアルユニバーサル・スイッチトキャパシタフィルタ

表3. 推奨外付オペアンプ

PART	GBW (MHz)	SLEW RATE (V/μs)	ISUPPLY/AMP (mA)	PIN-PACKAGE
MAX4281	2	0.7	0.5	5 SOT23
MAX4322	5	2.0	1.1	5 SOT23
MAX4130	10	4.0	1.15	5 SOT23
MAX4490	10	10.0	2.0	5 SOT23

モード3Aの設計式

$$f_O = \frac{f_{CLK}}{100} \sqrt{\frac{R_2}{R_4}}$$

$$f_n = \frac{f_{CLK}}{100} \sqrt{\frac{R_H}{R_L}}$$

$$Q = \frac{R_3}{R_2} \sqrt{\frac{R_2}{R_4}}$$

$$H_{OHP} = \frac{-R_2}{R_1}$$

$$H_{OLP} = \frac{-R_4}{R_1}$$

$$H_{OBP} = \frac{-R_3}{R_1}$$

$$H_{ON1}(f \rightarrow 0Hz) = \frac{R_G}{R_L} \left(\frac{R_4}{R_1} \right)$$

$$H_{ON2}(at f = f_{CLK} / 2) = \frac{R_G}{R_H} \left(\frac{R_2}{R_1} \right)$$

注：通過帯域利得誤差が1dBを超える場合、ローパス出力と反転入力にコンデンサC_Cを使用すると、利得誤差を削減できます。値は経験に基づいて決定するのが一番です。通常は、約5pF/dB(C_{C-MAX}=15pF)に設定して下さい。

オフセット電圧

スイッチトキャパシタ積分器は、通常ディスクリートRC積分器よりも高い入力オフセットを示します。より大きなオフセットは、主に積分コンデンサに対するCMOSスイッチのチャージインジェクションに起因します。内蔵オペアンプのオフセットも、総合的なオフセット値に追加されます。図8に、単一の2次セクションからの入力オフセットを示します。表4は、さまざまなモード及び出力ピンに対する出力オフセット電圧の数式を示しています。

電源

MAX7490は単一の+5V電源で動作し、MAX7491は単一の+3V電源で動作します。V_{DD}は少なくとも0.1μFのコンデンサでGNDにバイパスして下さい。V_{DD}は、他のデジタル又は高電圧アナログ電源から隔離する必要があります。デュアル電源が必要な場合は、COMピンをシステムグランドに接続し、GNDピンを負電源に接続して下さい。図9に、デュアル電源の動作例を示します。単一電源及びデュアル電源を使用した場合の性能は同じになります。デュアル電源で動作させる場合は、CLK、SHDN、及びEXTCLKをGND(現在V-)からV_{DD}に駆動して下さい。デュアル電源モードで内蔵発振器を使用する場合は、C_{OSC}をGND又は実際のグランド電圧に戻すことができます。±2.5VにはMAX7490を、±1.5VにはMAX7491を使用して下さい。

殆どのアプリケーションでは、COMからGNDに0.1μFのバイパスコンデンサを使用することで十分です。V_{DD}電源に大きい60Hzのエネルギーがある場合は、このコンデンサを1μF以上に増加して、より優れた電源除去を行って下さい。

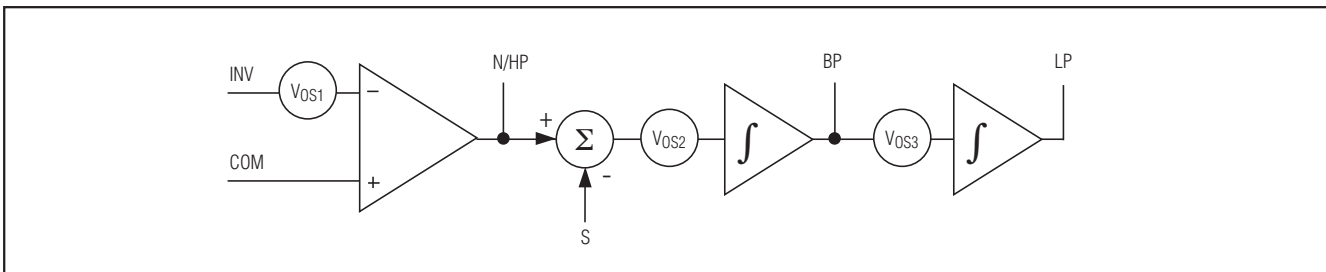


図8. 入力オフセットを示す2次セクションのブロック図

デュアルユニバーサル・スイッチトキャパシタフィルタ

表4. 2次セクションの出力DCオフセット

MODE	VOSN/HP	VOSBP	VOSLP
1	$V_{OS1}[1 + (R2 / R3) + (R2 / R1)] - (V_{OS3}) (R2 / R3)$	V_{OS3}	$V_{OSN/HP} - V_{OS2}$
1b	$V_{OS1}[1 + (R2 / R3) + (R2 / R1)] - (V_{OS3}) (R2 / R3)$	V_{OS3}	$(V_{OSN/HP} - V_{OS2})[1 + R5 / R6]$
2	$V_{OS1}[1 + (R2 / R3) + (R2 / R1) + (R2 / R4) - (V_{OS3})(R2 / R3)][R4 / R2 + R4] + (V_{OS2})[R2 / R2 + R4]$	V_{OS3}	$V_{OSN/HP} - V_{OS2}$
3	V_{OS2}	V_{OS3}	$V_{OS1}[1 + (R4 / R1) + (R4 / R2) + (R4 / R3)] - (V_{OS2}) (R4 / R2) - (V_{OS3})(R4 / R3)$

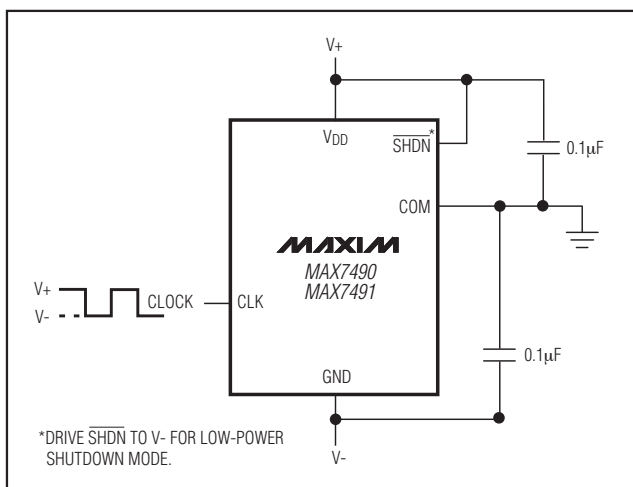


図9. デュアル電源動作

入力信号の振幅範囲

入力信号の最適範囲は、所定のコーナー周波数に対し、信号対ノイズ+歪み(SINAD)の比率が最大になる電圧レベルを調べることによって決定します。「標準動作特性」に、入力信号のピークトゥピークの振幅を変化させた時の全高調波歪み+ノイズ応答を示します。殆どのシステムにおいては、入力信号はできるだけ大きくして信号対ノイズ比(SNR)を最大化する必要があります。十分な上部空間を設けて、予期される動作条件下で信号のクリッピングが発生しないようにして下さい。

アンチエイリアシング及びポストDACフィルタリング

MAX7490/MAX7491をアンチエイリアシング又はポストDACフィルタリングに使用する場合は、DAC(又はADC)及びフィルタクロックを同期させて下さい。クロック同士が同期しないと、ビート周波数が発生して望ましい通過帯域にエイリアシングが生じることがあります。

エイリアシング

エイリアシングは、殆どのスイッチトキャパシタフィルタに固有の現象です。全てのサンプルシステムと同様に、サンプリングレートの半分より上の入力信号の周波数部品はエイリアシングされます。MAX7490/MAX7491はクロック周波数の2倍のレートでサンプリングを行い、200:1のサンプリング対カットオフ周波数比率を生み出します。

特に、サンプリングレート付近の入力信号成分(f_{IN})は、フィルタの通過帯域内に入る異なる周波数($f_{SAMPLING} - f_{IN}$)を生成します。エイリアシングされたこのような信号が出力に発生すると、真の入力情報との見分けがつかなくなります。例えば、99kHzの波形が100kHzにおけるフィルタサンプリングに印可された時($f_{CLK} = 50kHz$)に生成された、エイリアシングされた出力信号は1kHzです。この波形は真の1kHz入力から生じる出力が減衰されたものです。サンプリングはクロック周波数の2倍のレートで行われるため、ナイキスト周波数はクロック周波数と同じになります。

通常、エイリアシングされる可能性のある入力周波数を除去するには、単純な受動RCローパス入力フィルタで十分です。多くの場合、入力信号そのものの帯域が制限されているため、特別なアンチエイリアシングフィルタリングは無用です。 $f_c/2$ に等しい受動フィルタカットオフ周波数を選択すると、ナイキスト周波数において12dBの除去を行うことができます。

クロックフィードスルー

クロックフィードスルーは、入力信号が存在しない時でもフィルタの出力ピンに存在するクロック周波数とその高調波のRMS値として定義されています。クロックフィードスルーは、最終的なフィルタ出力に単純なRCローパスネットワークを追加することにより、大幅に削減できます。できるだけ低いカットオフ周波数を選択して、ノイズができるだけ減衰されるようにして

デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

表5. 同一のバンドパスフィルタ部のカスケード接続

TOTAL SECTIONS	TOTAL BW	TOTAL Q
1	1.000 B	1.00 Q
2	0.644 B	1.55 Q
3	0.510 B	1.96 Q
4	0.435 B	2.30 Q
5	0.386 B	2.60 Q

下さい。外部フィルタの減衰及び位相シフトは、選択された実際の周波数を制限します。

広帯域ノイズ

フィルタの広帯域ノイズは、デバイスのノイズスペクトル密度の全RMS値であり、動作中のSNRを判断するために使用されます。その周波数の殆どはフィルタの通過帯域内に収まり、ポストフィルタリングで取り除くことはできません。全ノイズは主に各フィルタ部のQ及びカスケード接続の順番に依存します。従って、多段フィルタでは最高のQを持つセクションを最初に配置して、出力ノイズが低くなるようにして下さい。

複数のフィルタ段

非常に幅の狭い帯域のフィルタなどの設計や、 f_0 を抵抗で調整できないモードにおいては、同一の f_0 を持つ複数の2次セクションを複数のフィードバックなしでカスケード接続することができます。結果として得られるフィルタの全Q(Q_T)は次のようになります。

$$\text{全}Q_T = Q / (2^N - 1)^{1/2}$$

Qは個別の各フィルタ部のQで、Nは2次セクションの数です。表5では、全Q及び全帯域幅(BW)は、最高5つの同一の2次セクションに対して表示されています。Bは各セクションの帯域幅です。

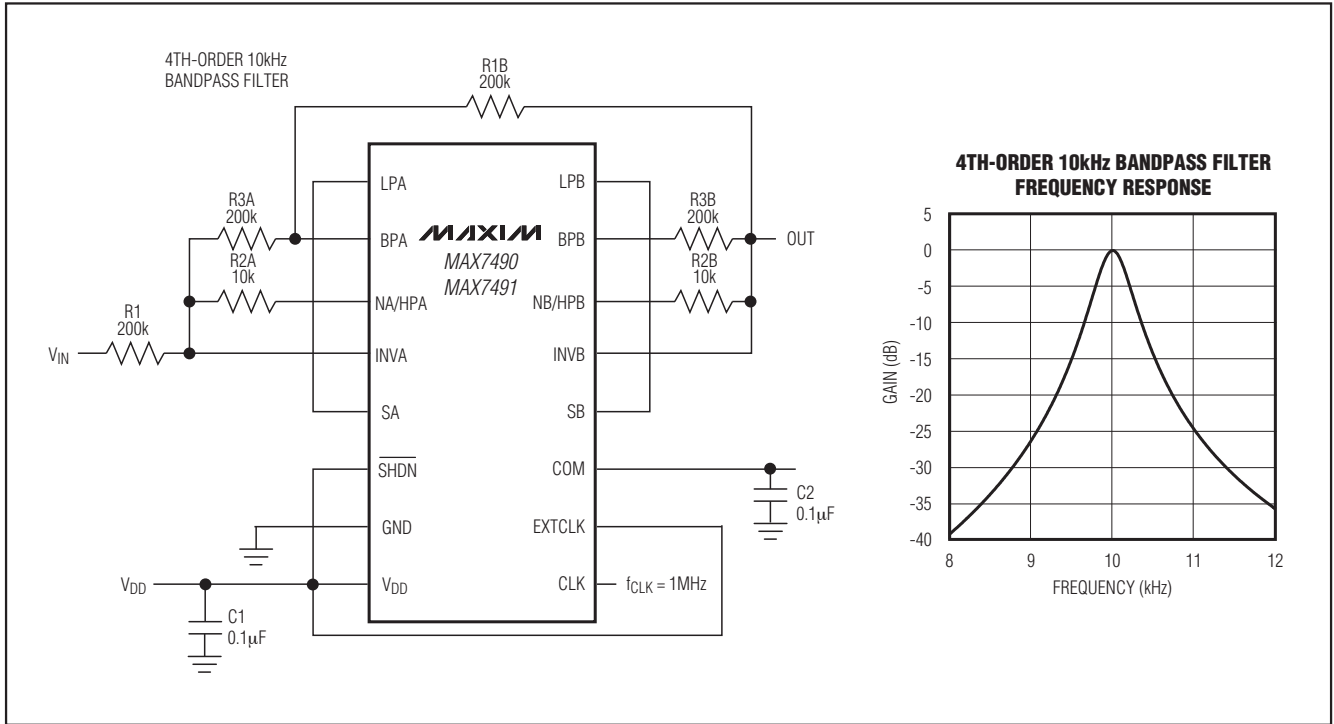
チップ情報

TRANSISTOR COUNT: 1439

TECHNOLOGY: BiCMOS

デュアルユニバーサル・スイッチトキャパシタフィルタ

標準アプリケーション回路



MAX7490/MAX7491

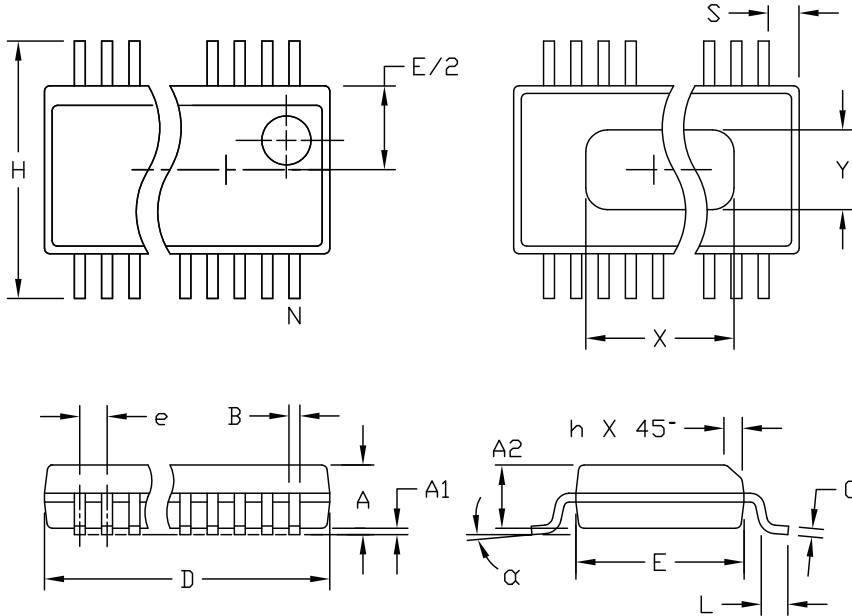
デュアルユニバーサル・スイッチトキャパシタフィルタ

MAX7490/MAX7491

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

QSOP-EPS



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.
5. MEETS JEDEC MO137.

MAXIM
 PROPRIETARY INFORMATION
 TITLE:
 PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH
 APPROVAL: _____ DOCUMENT CONTROL NO. 21-0055 REV. C 1/1

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**