

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

概要

MAX5940A/MAX5940Bは、Power over EthernetシステムでIEEE 802.3af規格に準拠する受電機器(PD)用の完全なインタフェース機能を提供します。MAX5940A/MAX5940Bは、PDに検出シグネチャ、区分シグネチャ、及びプログラム可能な突入電流制御付きの内蔵アイソレーションスイッチを提供します。また、これらのデバイスは、幅の広いヒステリシス付きの電源モード低電圧ロックアウト(UVLO)、及びパワーグッド出力を備えています。

内蔵のMOSFETは、検出と区分の期間中にPDを分離します。MAX5940A/MAX5940Bは、検出段階で10 μ A以下のリーク電流オフセットを保証します。プログラムブル電流制限は、パワーオン時の過大な突入電流を防止します。このデバイスは、ヒステリシス幅が広くデグリッチ時間の長い電源モードUVLOを備えており、ツイストペアケーブルの抵抗による電圧降下を補償し、検出、区分、及びパワーオン/オフの各段階間のグリッチフリー遷移を保証します。

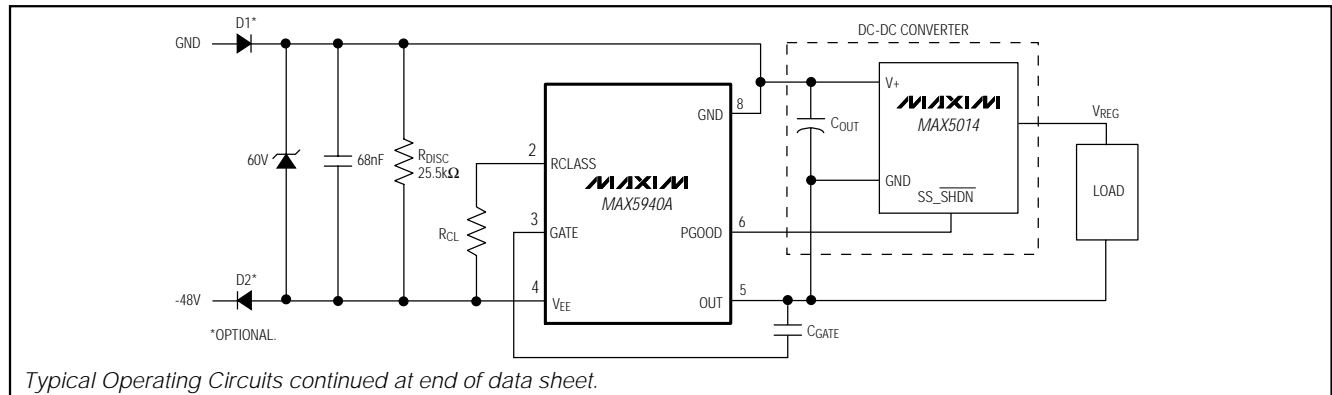
MAX5940Aは、アクティブハイ(PGOOD)のオープンドレイン出力と固定UVLOスレッシュホールドを備えています。MAX5940Bは、アクティブハイ(PGOOD)とアクティブロー(PGOOD)の両出力を備え、IEEE 802.3af規格に準拠したデフォルト値を持った可変UVLOスレッシュホールドを内蔵しています。MAX5940A/MAX5940Bは、外付けダイオードブリッジの有無に関係なく動作します。

MAX5940A/MAX5940Bは、8ピンSOPパッケージで提供され、-40 ~ +85 の拡張温度範囲で性能が保証されています。

アプリケーション

IP電話 監視カメラ
無線アクセスノード IEEE 802.3af準拠受電機器
コンピュータ電話

標準動作回路



特長

- ◆ 完全集積化IEEE 802.3af準拠PDインタフェース
- ◆ PD検出とプログラマブル区分シグネチャ
- ◆ 検出中のリーク電流オフセット: 10 μ A以下
- ◆ アイソレーション及び突入電流制限用MOSFET内蔵
- ◆ ゲート出力によって内蔵アイソレーションMOSFETの外部制御が可能
- ◆ プログラマブル突入電流制御
- ◆ プログラマブル低電圧ロックアウト (MAX5940Bのみ)
- ◆ 大きいUVLOヒステリシスによって、ツイストペアケーブルの電圧降下に対応
- ◆ ダウンストリーム側のDC-DCコンバータをイネーブルするPGOOD/PGOOD出力
- ◆ 動作温度範囲: -40 ~ +85

型番

PART	TEMP RANGE	PIN-PACKAGE	UVLO
MAX5940AESA	-40°C to +85°C	8 SO	Fixed
MAX5940BESA	-40°C to +85°C	8 SO	Adjustable

ピン配置はデータシートの最後に記載されています。

IEEE 802.3af 準拠、Power over Ethernet 用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

ABSOLUTE MAXIMUM RATINGS

(All voltages are referenced to V_{EE} , unless otherwise noted.)

GND	-0.3V to +80V
OUT, PGOOD	-0.3V to (GND + 0.3V)
RCLASS, GATE	-0.3V to +12V
UVLO	-0.3V to +8V
PGOOD to OUT	-0.3V to (GND + 0.3V)
Maximum Input/Output Current (continuous)	
OUT to V_{EE}	500mA
GND, RCLASS to V_{EE}	70mA

UVLO, PGOOD, PGOOD to V_{EE}	20mA
GATE to V_{EE}	80mA
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
8-Pin SO (derate 5.9mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)	470mW
Operating Temperature Range	-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
Storage Temperature Range	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Junction Temperature	+150 $^\circ\text{C}$
Lead Temperature (soldering, 10s)	+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{IN} = (\text{GND} - V_{EE}) = 48\text{V}$, GATE = PGOOD = PGOOD = OUT = OPEN, UVLO = V_{EE} , $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$. All voltages are referenced to V_{EE} , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DETECTION MODE							
Input Offset Current (Note 2)	I_{OFFSET}	$V_{IN} = 1.4\text{V}$ to 10.1V			10	μA	
Effective Differential Input Resistance (Note 3)	dR	$V_{IN} = 1.4\text{V}$ up to 10.1V with 1V step, OUT = PGOOD = GND	550			$\text{k}\Omega$	
CLASSIFICATION MODE							
Classification Current Turn-Off Threshold (Note 4)	$V_{\text{TH,CLSS}}$	V_{IN} rising	20.8	21.8	22.5	V	
Classification Current (Notes 5, 6)	I_{CLASS}	$V_{IN} = 12.6\text{V}$ to 20V , $R_{\text{DISC}} = 25.5\text{k}\Omega$	Class 0, $R_{\text{CL}} = 10\text{k}\Omega$	0		2	mA
			Class 1, $R_{\text{CL}} = 732\Omega$	9.17		11.83	
			Class 2, $R_{\text{CL}} = 392\Omega$	17.29		19.71	
			Class 3, $R_{\text{CL}} = 255\Omega$	26.45		29.55	
			Class 4, $R_{\text{CL}} = 178\Omega$	36.6		41.4	
POWER MODE							
Operating Supply Voltage	V_{IN}	$V_{IN} = (\text{GND} - V_{EE})$			67	V	
Operating Supply Current	I_{IN}	Measure at GND, not including R_{DISC}		0.4	1	mA	
Default Power Turn-On Voltage	$V_{\text{UVLO, ON}}$	V_{IN} increasing	MAX5940A	34.3	35.4	36.6	V
			MAX5940B, UVLO = V_{EE}	37.4	38.6	39.9	
Default Power Turn-Off Voltage	$V_{\text{UVLO, OFF}}$	V_{IN} decreasing, UVLO = V_{EE} for MAX5940B	30			V	
Default Power Turn-On/Off Hysteresis	$V_{\text{HYST, UVLO}}$	MAX5940A	4.2			V	
		MAX5940B, UVLO = V_{EE}	7.4				
External UVLO Programming Range	$V_{\text{IN, EX}}$	Set UVLO externally (MAX5940B only) (Note 7)	12		67	V	
UVLO External Reference Voltage	$V_{\text{REF, UVLO}}$		2.400	2.460	2.522	V	
UVLO External Reference Voltage Hysteresis	HYST	Ratio to $V_{\text{REF, UVLO}}$	19.2	20	20.9	%	
UVLO Bias Current	I_{UVLO}	UVLO = 2.460V	-1.5		+1.5	μA	

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = (GND - V_{EE}) = 48V$, $GATE = \overline{PGOOD} = PGOOD = OUT = OPEN$, $UVLO = V_{EE}$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All voltages are referenced to V_{EE} , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
UVLO Input Ground-Sense Threshold (Note 8)	$V_{TH,G,UVLO}$			50		440	mV
UVLO Input Ground-Sense Glitch Rejection		$UVLO = V_{EE}$			7		μs
Power Turn-Off Voltage, Undervoltage Lockout Deglitch Time (Note 9)	t_{OFF_DLY}	V_{IN} , V_{UVLO} falling		0.32			ms
Isolation Switch N-Channel MOSFET On-Resistance	R_{ON}	Output current = 300mA, $V_{GATE} = 6V$, measured between OUT and V_{EE}	$T_A = +25^{\circ}C$ (Note 10)		0.6	1.1	Ω
			$T_A = +85^{\circ}C$		0.8	1.5	
Isolation Switch N-Channel MOSFET Off-Threshold Voltage	V_{GSTH}	OUT = GND, $V_{GATE} = V_{EE}$, output current < $1\mu A$		0.5			V
GATE Pulldown Switch Resistance	R_G	Power-off mode, $V_{IN} = 12V$, $UVLO = V_{EE}$ for MAX5940B			38	80	Ω
GATE Charging Current	I_G	$V_{GATE} = 2V$		5	10	15	μA
GATE High Voltage	V_{GATE}	$I_{GATE} = 1\mu A$		5.59	5.76	5.93	V
$PGOOD$, \overline{PGOOD} Assertion V_{OUT} Threshold	V_{OUTEN}	$V_{OUT} - V_{EE}$, $ V_{OUT} - V_{EE} $ decreasing, $V_{GATE} = 5.75V$		1.16	1.23	1.31	V
		Hysteresis			70		mV
$PGOOD$, \overline{PGOOD} Assertion V_{GATE} Threshold	V_{GSEN}	(GATE - V_{EE}) increasing, OUT = V_{EE}		4.62	4.76	4.91	V
		Hysteresis			80		mV
$PGOOD$, \overline{PGOOD} Output Low Voltage (Note 11)	$V_{OLDLDCDC}$	$I_{SINK} = 2mA$; for $PGOOD$, OUT \leq (GND - 5V)				0.4	V
$PGOOD$ Leakage Current (Note 11)		GATE = high, GND - $V_{OUT} = 67V$				1	μA
\overline{PGOOD} Leakage Current (Note 11)		GATE = V_{EE} , $\overline{PGOOD} - V_{EE} = 67V$				1	μA

Note 1: All min/max limits are production tested at $+85^{\circ}C$. Limits at $+25^{\circ}C$ and $-40^{\circ}C$ are guaranteed by design.

Note 2: The input offset current is illustrated in Figure 1.

Note 3: Effective differential input resistance is defined as the differential resistance between GND and V_{EE} without any external resistance. See Figure 1.

Note 4: Classification current is turned off whenever the IC is in power mode.

Note 5: See Table 2 in the *PD Classification Mode* section. R_{DISC} and R_{CL} must be $\pm 1\%$, 100ppm or better. I_{CLASS} includes the IC bias current and the current drawn by R_{DISC} .

Note 6: See the *Thermal Dissipation* section for details.

Note 7: When UVLO is connected to the midpoint of an external resistor-divider with a series resistance of $25.5k\Omega$ ($\pm 1\%$), the turn-on threshold set-point for the power mode is defined by the external resistor-divider. Make sure the voltage on the UVLO pin does not exceed its maximum rating of 8V when V_{IN} is at the maximum voltage (MAX5940B only).

Note 8: When the UVLO input voltage is below $V_{TH,G,UVLO}$, the MAX5940B sets the UVLO threshold internally.

Note 9: An input voltage or V_{UVLO} glitch below their respective thresholds shorter than or equal to t_{OFF_DLY} does not cause the MAX5940A/MAX5940B to exit power-on mode (as long as the input voltage remains above an operable voltage level of 12V).

Note 10: Guaranteed by design.

Note 11: $PGOOD$ references to OUT while \overline{PGOOD} references to V_{EE} .

IEEE 802.3af 準拠、Power over Ethernet 用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

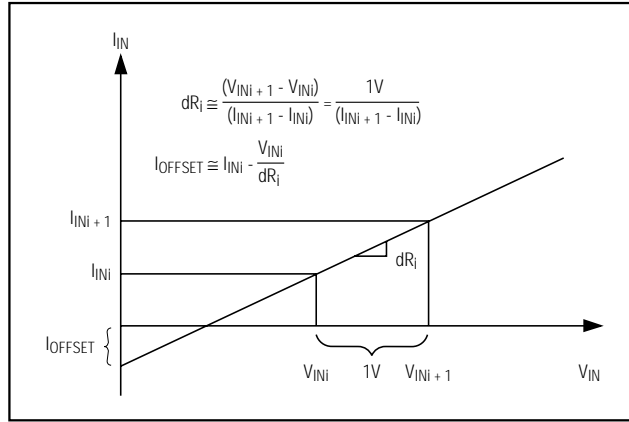
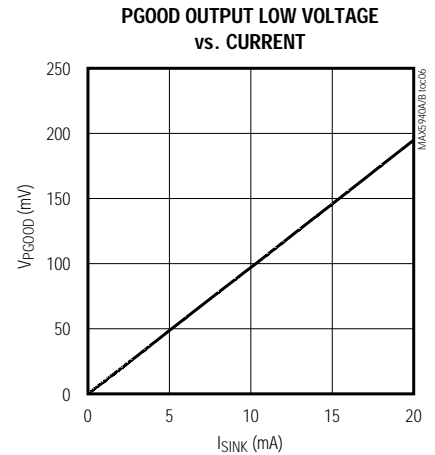
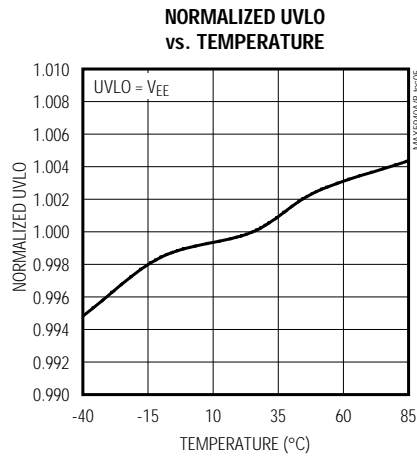
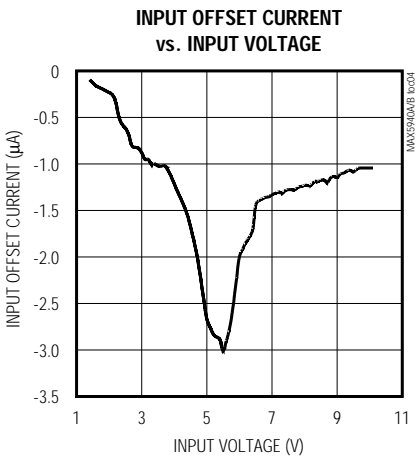
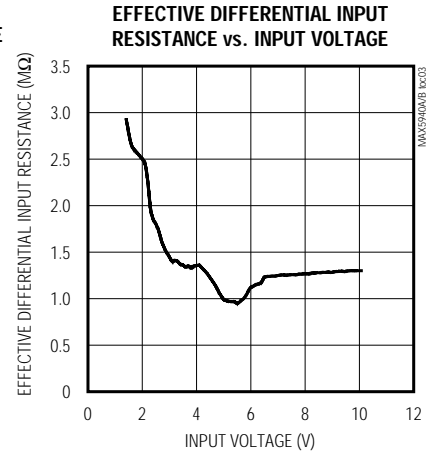
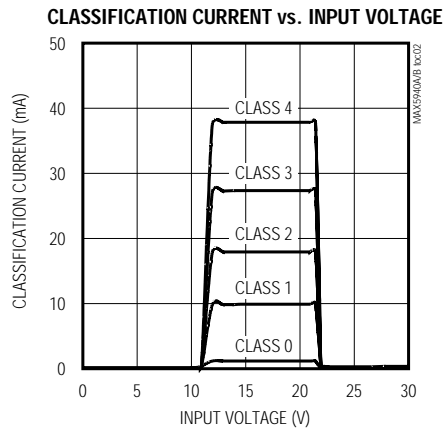
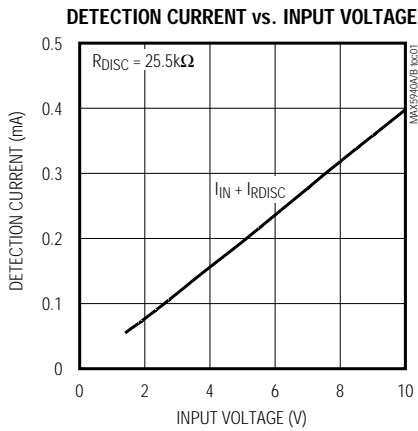


図1. 実効差動入力抵抗/オフセット電流

標準動作特性

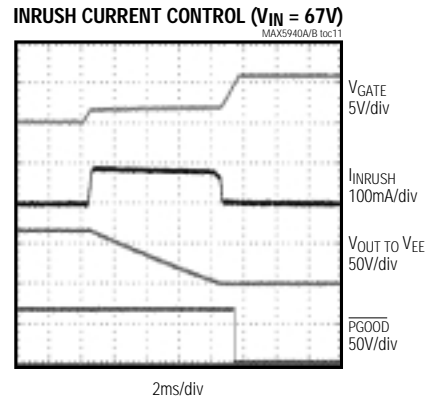
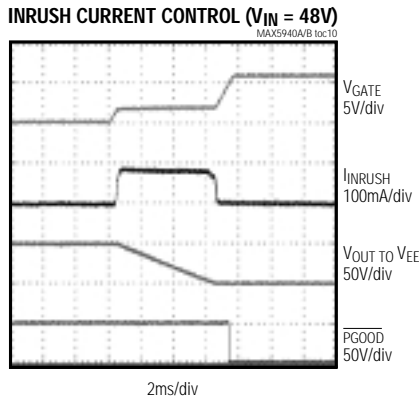
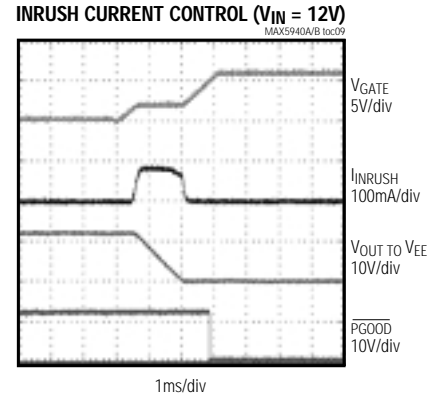
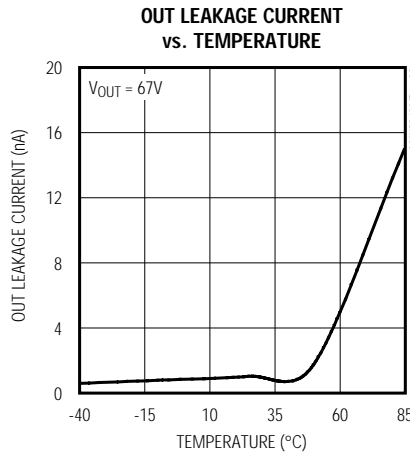
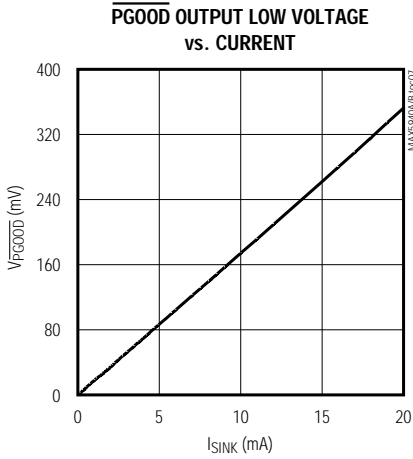
($V_{IN} = (GND - V_{EE}) = 48V$, $GATE = \overline{PGOOD} = PGGOOD = OUT = OPEN$, $UVLO = V_{EE}$ (MAX5940B), $T_A = -40^\circ C$ to $+85^\circ C$. Typical values are at $T_A = +25^\circ C$. All voltages are referenced to V_{EE} , unless otherwise noted.)



IEEE 802.3af 準拠、Power over Ethernet 用受電機器 インタフェースコントローラ

標準動作特性(続き)

($V_{IN} = (GND - V_{EE}) = 48V$, $GATE = \overline{PGOOD} = PGOOD = OUT = OPEN$, $UVLO = V_{EE}$ (MAX5940B), $T_A = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $T_A = +25^{\circ}C$. All voltages are referenced to V_{EE} , unless otherwise noted.)



MAX5940A/MAX5940B

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

端子説明

端子		名称	機能
MAX5940A	MAX5940B		
1, 7	—	N.C.	無接続。内部接続なし。
—	1	UVLO	電源モード用低電圧ロックアウトプログラミング入力。UVLOがそのスレッシュホールドを超えると、デバイスは電源モードに入ります。デフォルトの低電圧ロックアウトスレッシュホールドを使用するには、UVLOをV _{EE} に接続してください。スレッシュホールドを外部で設定するには、UVLOを外付け抵抗分圧器に接続してください。外付け抵抗器は、直列抵抗値の合計を25.5k (±1%)とする必要があり、検出抵抗器に置き換えられます。デバイスを低電圧ロックアウト状態に保つには、UVLOをV _{TH, G, UVLO} とV _{REF, UVLO} の間に接続してください。
2	2	RCLASS	区分設定。RCLASSとV _{EE} の間に抵抗を接続し、PDのクラスを設定してください(表1及び2参照)。
3	3	GATE	内部Nチャンネルパワー-MOSFETのゲート。デバイスが電源モードに入ると、GATEは10μAを供給します。100Vセラミックコンデンサ(C _{GATE})をGATEとOUTの間に接続し、突入電流を設定してください。内部MOSFETをターンオフするには、GATEをV _{EE} に接続してください。GATEがV _{EE} に接続されているとき、検出及び区分機能が正常に働きます。
4	4	V _{EE}	負入力電源。内蔵アイソレーションNチャンネルパワー-MOSFETのソース。V _{EE} を-48Vに接続してください。
5	5	OUT	出力電圧。内蔵アイソレーションNチャンネルパワー-MOSFETのドレイン。
6	6	PGOOD	パワーグッドインジケータ出力、アクティブハイ、オープンドレイン。PGOODは、OUTを基準としています。V _{OUT} がV _{EE} の1.2V以内にありかつGATEがV _{EE} よりも5V高いとき、PGOODはハイインピーダンスになります。これ以外の状態では、PGOODはOUTに接続されます(V _{OUT} がGNDよりも5V以上低いものとして)。PGOODはダウンストリーム側のDC-DCコンバータのON端子に接続してください。
—	7	$\overline{\text{PGOOD}}$	パワーグッドインジケータ出力、アクティブロー、オープンドレイン。 $\overline{\text{PGOOD}}$ は、V _{EE} を基準としています。V _{OUT} がV _{EE} の1.2V以内にありかつGATEがV _{EE} よりも5V高いとき、 $\overline{\text{PGOOD}}$ はV _{EE} に接続されます。これ以外の状態では、 $\overline{\text{PGOOD}}$ はハイインピーダンスになります。PGOODはダウンストリーム側のDC-DCコンバータのON端子に接続してください。
8	8	GND	グラウンド。GNDは、正の入力端子です。

詳細

動作モード

MAX5940A/MAX5940BのPDフロントエンド部は、その入力電圧 (V_{IN} = GND - V_{EE})に従ってPD検出シグネチャ、PD区分、及びPD電源の3種類のモードで動作します。電圧スレッシュホールドはすべて、オプションのダイオードブリッジの有無に関わらず動作しますが、IEEE 802.3af規格に準拠しています(図4参照)。

検出モード(1.4V ≤ V_{IN} ≤ 10.1V)

検出モードでは、給電機器(PSE)が1.4V ~ 10.1V(最小1V刻み)の範囲の2種類の電圧をV_{IN}に印加して、さらにこの2点における電流測定値を記録します。その際、PSEはΔV/ΔIを計算し、25.5k のシグネチャ抵抗が存在することを確認します。このモードでは、MAX5940A/

MAX5940B内部回路のほとんどがオフ状態で、オフセット電流は10μA以下です。

PDに印加される電圧を反転する場合は、入力端子に保護ダイオードを接続してMAX5940A/MAX5940Bの内部が損傷しないようにしてください(「標準動作回路」参照)。PSEでは、スロープ法(V/ I)でシグネチャ抵抗を計算するため、保護ダイオードに起因するDCオフセットは差し引かれて検出処理に影響を与えません。

区分モード(12.6V ≤ V_{IN} ≤ 20V)

区分モードでは、PSEがPDの要求する消費電力に基づいてPDを区分します。これによって、PSEは電力の分配を有効に管理することができます。IEEE 802.3af規格は、表1に示すように5つのクラスを規定しています。RCLASSとV_{EE}の間に接続される外付け抵抗(R_{CL})が、区分電流を設定します。

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

表1. PD電力区分/R_{CL}の選択

CLASS	USAGE	R _{CL} (Ω)	MAXIMUM POWER USED BY PD (W)
0	Default	10k	0.44 to 12.95
1	Optional	732	0.44 to 3.84
2	Optional	392	3.84 to 6.49
3	Optional	255	6.49 to 12.95
4	Not Allowed	178	Reserved*

*Class 4 reserved for future use.

表2. 区分電流の設定

CLASS	R _{CL} (Ω)	V _{IN} * (V)	CLASS CURRENT SEEN AT V _{IN} (mA)		IEEE 802.3af PD CLASSIFICATION CURRENT SPECIFICATION (mA)	
			MIN	MAX	MIIN	MAX
0	10k	12.6 to 20	0	2	0	4
1	732	12.6 to 20	9.17	11.83	9	12
2	392	12.6 to 20	17.29	19.71	17	20
3	255	12.6 to 20	26.45	29.55	26	30
4	178	12.6 to 20	36.6	41.4	36	44

*V_{IN} is measured across the MAX5940 input pins, which does not include the diode bridge voltage drop.

PSEは、PD入力に電圧を印加することによってPDのクラスを決定し、PSEから出力される電流を測定します。PSEから12.6V～20Vの電圧が印加された場合、MAX5940A/MAX5940Bは、表2に示す値の電流特性を呈します。PSEは、区分電流情報を利用してPDの電源要求を区分します。区分電流には25.5kの検出シグネチャ抵抗に流れる電流、及びMAX5940A/MAX5940Bの消費電流が含まれ、PDで消費される全電流はIEEE 802.3af規格の数値以内に収まります。デバイスが電源モードにあるときは、区分電流は必ず遮断されます。

電源モード

電源モード中に、V_{IN}が低電圧ロックアウトスレッショルド(V_{UVLO, ON})以上に上昇すると、MAX5940A/MAX5940Bが内部NチャンネルMOSFET Q1(図2参照)を徐々に導通させます。MAX5940A/MAX5940Bは、Q1のゲートを定電流源(10μA, typ)で充電します。Q1のドレイン-ゲート間容量は、MOSFETのドレインにおける電圧上昇率を制限するため、突入電流が制限されます。突入電流を低減するには、ドレイン-ゲート間の

容量を外部で追加してください(「突入電流制限」の項を参照してください)。Q1のドレインがそのソース電圧の1.2V以内にあり、かつそのゲート-ソース間電圧が5V以上になると、MAX5940A/MAX5940BのPGOOD/PGOOD出力がアクティブになります。MAX5940A/MAX5940Bは、ツイストペアケーブルのハイインピーダンスを補償するために、大きいUVLOヒステリシスとターンオフ時のグリッチ除去時間を備えています。

低電圧ロックアウト

MAX5940A/MAX5940Bは、最高67Vの電源電圧で動作し、デフォルトのUVLOターンオン(V_{UVLO, ON})が35V(MAX5940A)または39V(MAX5940B)に、またUVLOターンオフ(V_{UVLO, OFF})が30Vに設定されています。MAX5940Bでは、UVLOに抵抗分割を接続してUVLOスレッショルドを調整することができます(図3参照)。入力電圧がUVLOスレッショルドを超えると、ICが電源モードに入り、MOSFETがオンになります。入力電圧がt_{OFF_DLY}よりも長い間UVLOスレッショルド以下の値を持続するとMOSFETがターンオフします。

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

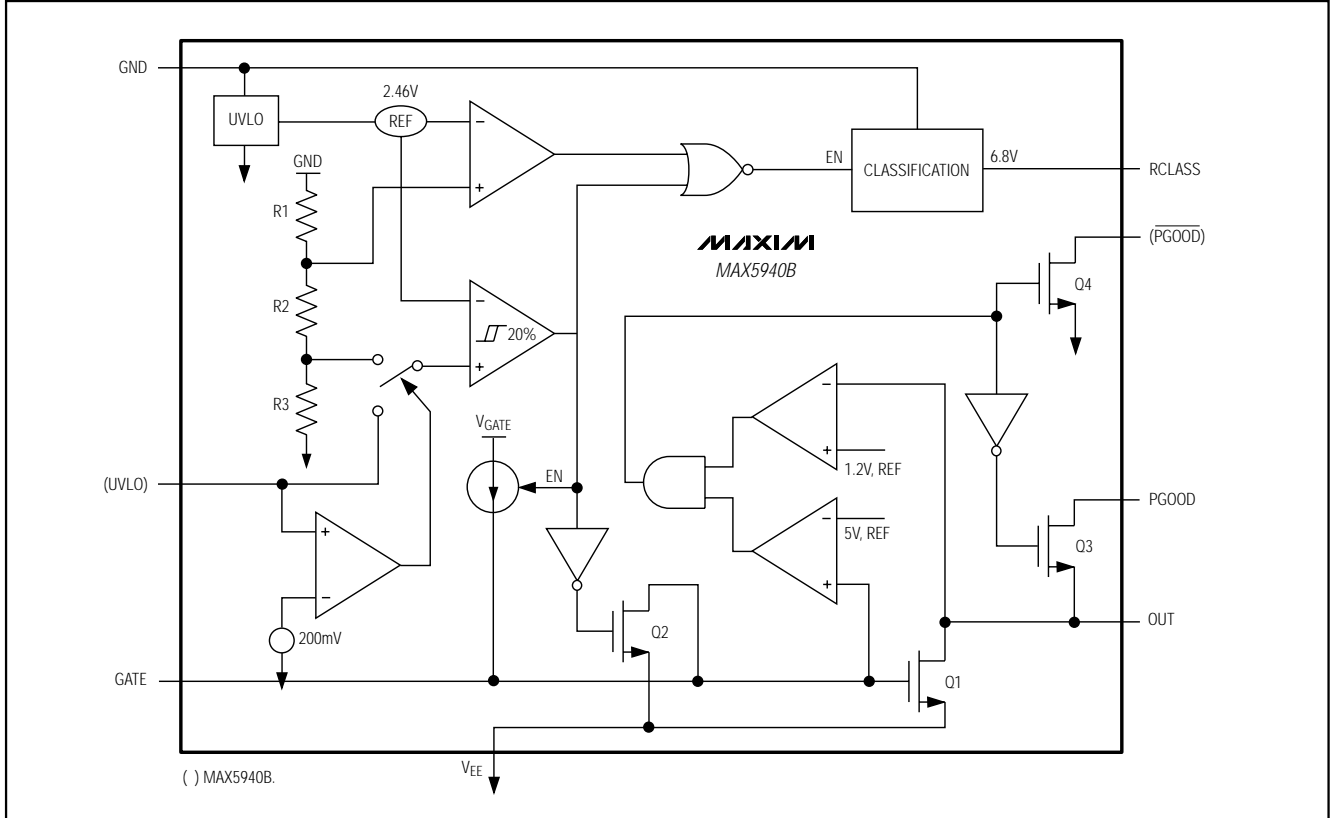


図2. ブロックダイアグラム

UVLOスレッシュホールドを調整するには(MAX5940Bのみ)、GNDとUVLOの間及びUVLOとV_{EE}の間に抵抗分割を外付けしてください。次式から、希望のUVLOスレッシュホールドに対するR1とR2を計算します

$$R2 = 25.5k\Omega \times \frac{V_{REF,UVLO}}{V_{IN,EX}}$$

$$R1 = 25.5k - R2$$

ここで、V_{IN,EX}は、希望のUVLOスレッシュホールドです。抵抗分割は25.5kのPD検出抵抗に置き換わるため、R1とR2の和が25.5k ± 1%に等しくなるようにしてください。MAX5940Bに外付け抵抗分割を使用する場合、外部リファレンス電圧のヒステリシスが20%(typ)になります。UVLOを外部で設定する際のターンオフスレッシュホールドは、新たなUVLOスレッシュホールドの80%(typ)です。

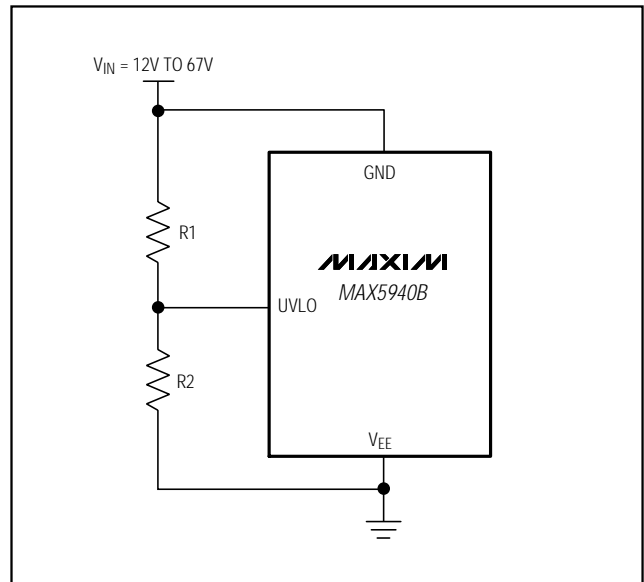


図3. 外付け抵抗分割による低電圧ロックアウトの設定

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

突入電流制限

MAX5940A/MAX5940Bは、定電流源(10 μ A、typ)によって内部MOSFETのゲートを充電します。MOSFETのドレイン-ゲート間容量はドレインにおける電圧上昇率を制限するため、突入電流が制限されます。突入電流をさらに低減するには、GATEとOUTの間にコンデンサを外付けしてください。突入電流は、次式から計算します。

$$I_{INRUSH} = I_G \times \frac{C_{OUT}}{C_{GATE}}$$

PGOOD/PGOOD出力

(MAX5940A/MAX5940B)

PGOODは、オープンドレイン、アクティブハイのロジック出力です。V_{OUT}がV_{EE}の1.2V以内にありかつGATEがV_{EE}よりも5V高くなると、PGOODはハイインピーダンスになります。これ以外の状態では、PGOODはV_{OUT}に接続されます(V_{OUT}がGNDより5V以上低いものとして)。PGOODはダウンストリーム側のDC-DCコンバータのON端子に接続してください。必要に応じて、PGOODとGNDの間に100k Ω のプルアップ抵抗を接続してください。

(MAX5940Bのみ)

PGOODは、オープンドレイン、アクティブローのロジック出力です。V_{OUT}がV_{EE}の1.2V以内にありかつGATEがV_{EE}よりも5V高くなると、PGOODはV_{EE}に接続されます。これ以外の状態では、PGOODはハイインピーダンスになります。PGOODはダウンストリーム側のDC-DCコンバータのON端子に接続してください。必要に応じて、PGOODとGNDの間に100k Ω のプルアップ抵抗を接続してください。

熱放散

区分モード中に、PSEから最大DC電圧が印加されると、GNDとV_{RCLASS}の間の最大電圧降下は13Vになります。42mAの最大区分電流がMAX5940A/MAX5940Bに流れると、最大DC電力損失が546mWになります。これは、最高動作温度におけるICの最大DC電力損失よりもわずかに大きい値です。ただし、IEEE 802.3af規格では区分モードの持続時間は75ms(max)に制限されています。MAX5940A/MAX5940Bは、最大持続時間にわたって内部損傷を受けることなく最大区分電力損失に対応します。PSEがIEEE 802.3af規格に反して75msを超える最大区分時間に設定されると、ICに内部損傷が発生することがあります。

MAX5940A/MAX5940B

IEEE 802.3af 準拠、Power over Ethernet 用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

標準動作回路(続き)

動作回路1

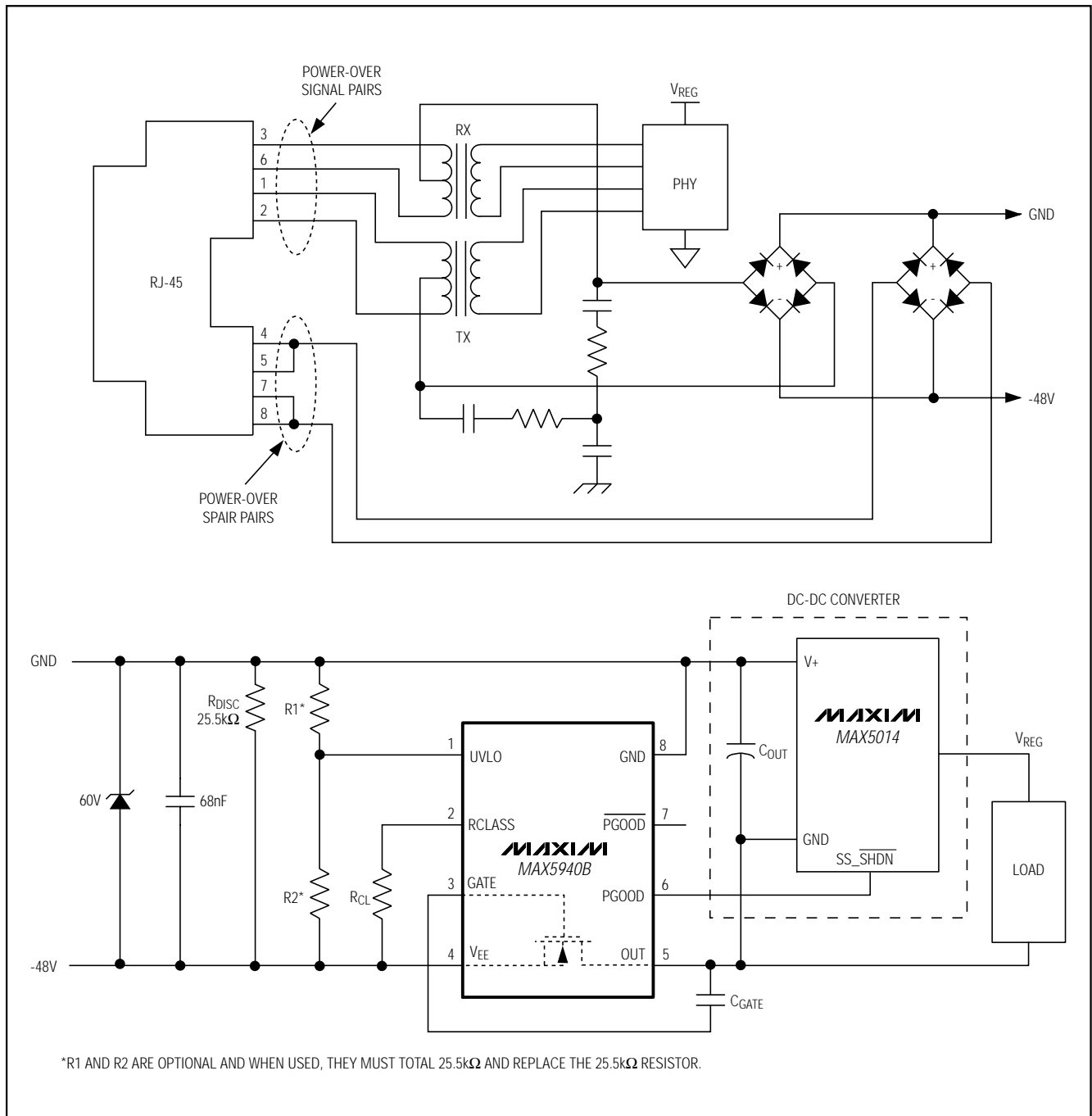


図4. Power over Ethernetを備えたPD(信号ペアまたはスペアペアのいずれかによって給電されます)

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

標準動作回路(続き)

動作回路2

ダイオードD1は、Power over EthernetによるACアダプタ電源の逆方向ドライブを防止します。ACアダプタ電源が利用可能な場合は、GATEがローレベルに接続さ

れてPower over Ethernetによる電源供給が停止します。R3はGATE電流の流路になります。ACアダプタ電源は検出シグネチャを汚染するため、PSEはこのPDを検出しなくなります。

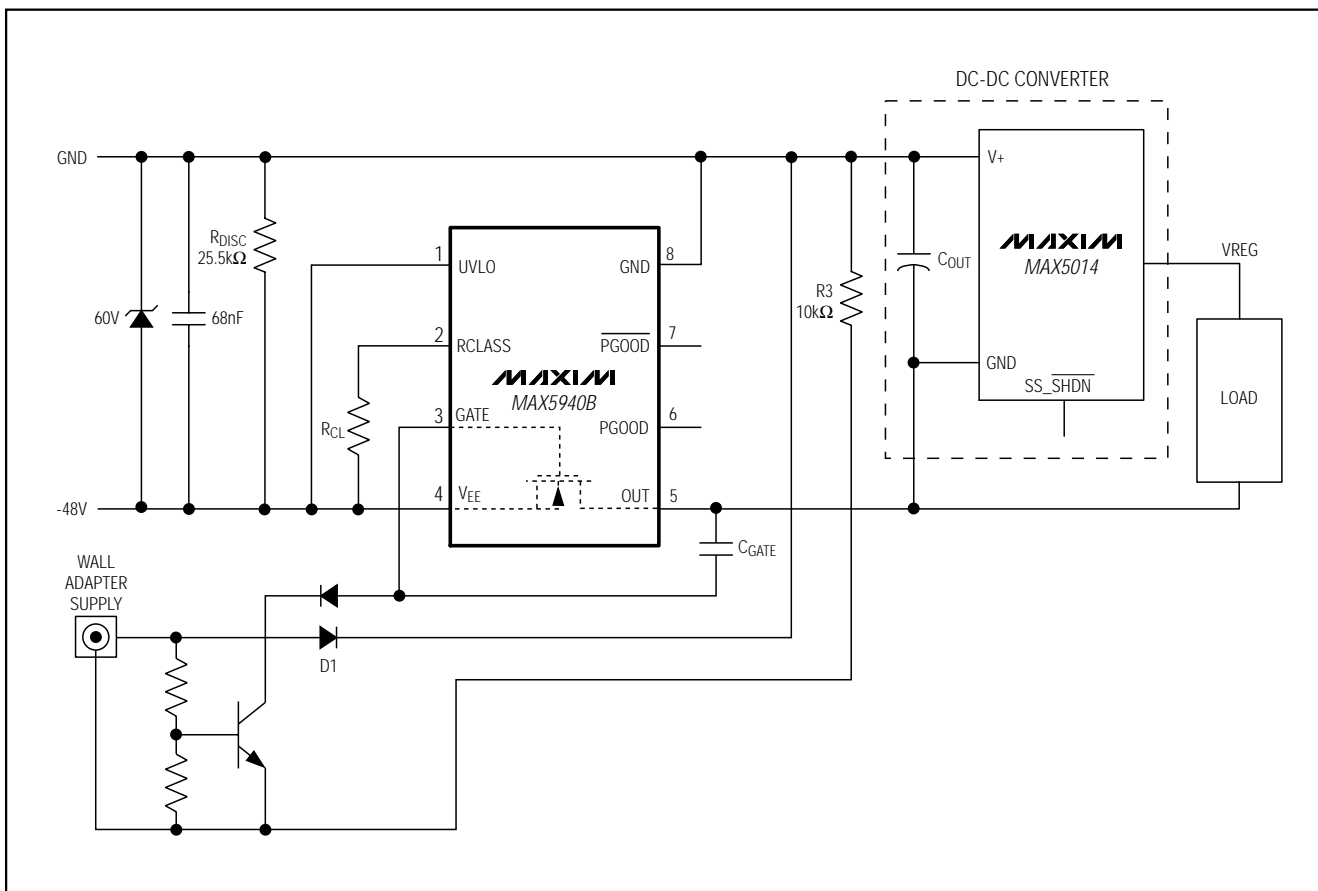


図5. ACアダプタ電源の印加(ACアダプタ電源がPower over Ethernetに優先します)

IEEE 802.3af 準拠、Power over Ethernet 用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

標準動作回路(続き)

動作回路3

D2は、ACアダプタ電源による検出及び区分シグネチャの汚染を防止します。オプションのR4は、10mAの

最小電源維持シグネチャを供給してPower over Ethernetの切断を阻止します。

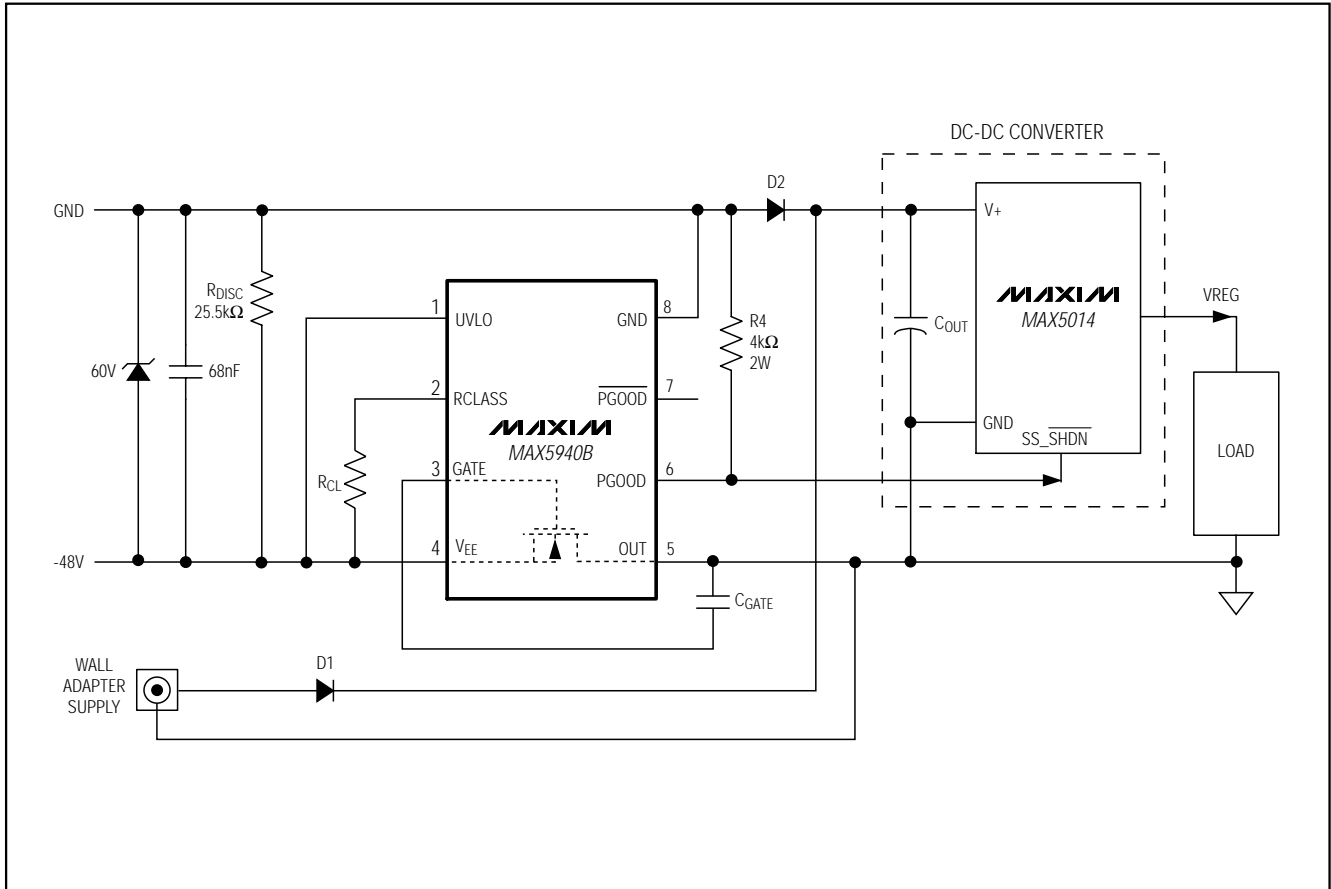


図6. ACアダプタ電源の印加(ACアダプタ電源とPower over Ethernetが共存し、電圧の高い方の電源が負荷に給電します)

IEEE 802.3af準拠、Power over Ethernet用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

標準動作回路(続き)

動作回路4

ACアダプタ電源が最初に印加されると、この電源が負荷に給電して検出及び区分シグネチャを汚染します。

Power over Ethernetが最初に印加されると、これより高い出力電圧のACアダプタ電源が印加されるまでPower over Ethernetが負荷に給電します。

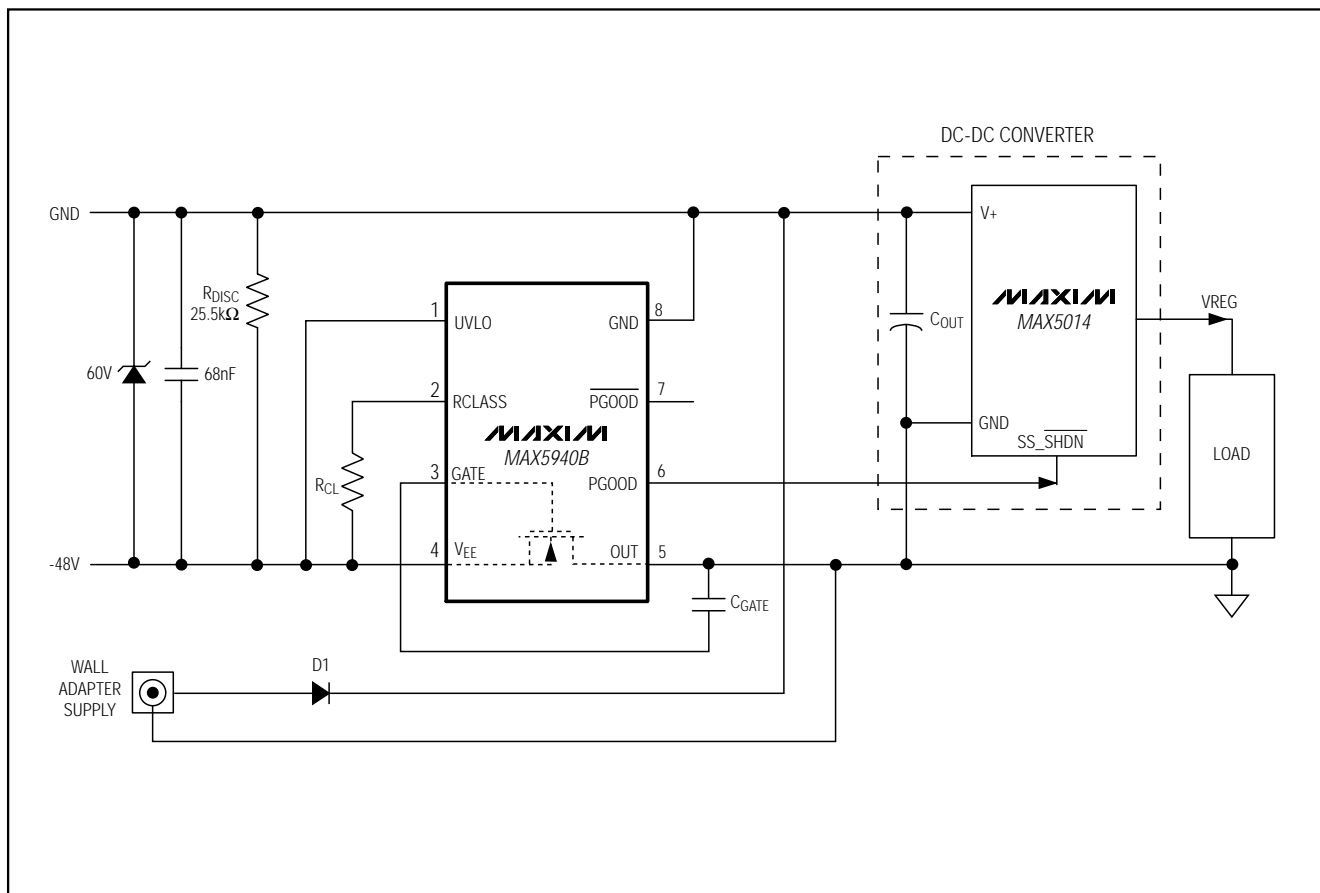
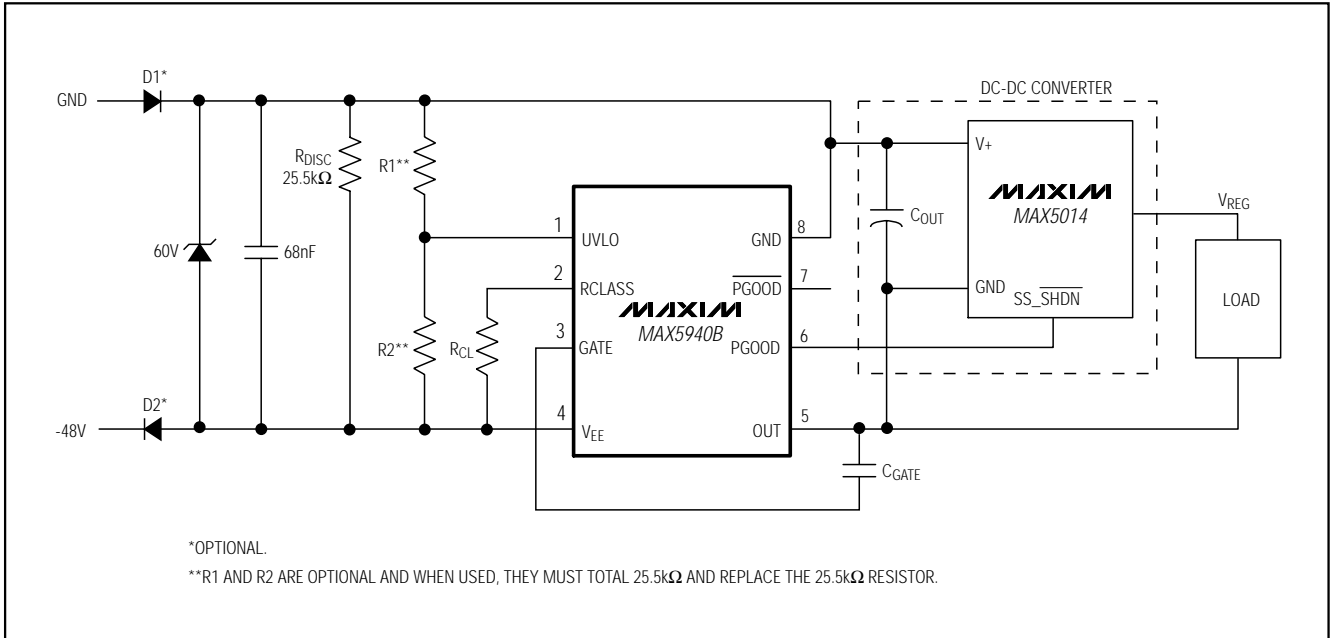


図7. ACアダプタ電源の印加(電圧の高い方の電源が負荷に給電します)

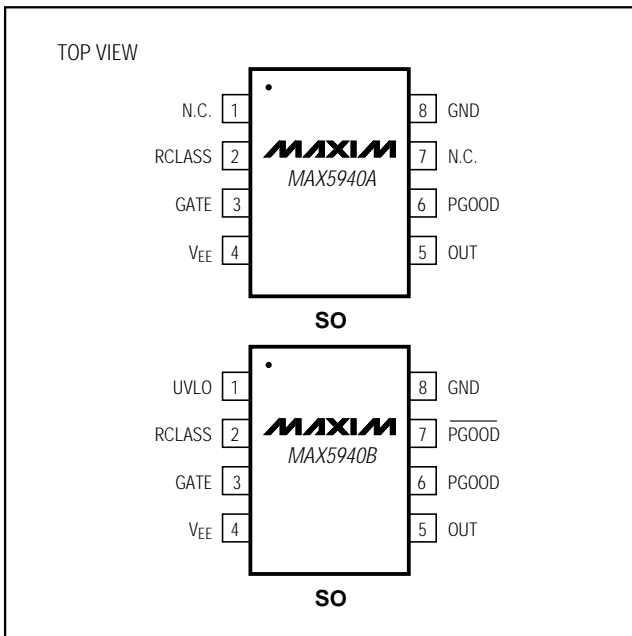
IEEE 802.3af 準拠、Power over Ethernet 用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

標準動作回路(続き)



ピン配置



チップ情報

TRANSISTOR COUNT: 3,643
PROCESS: BiCMOS

IEEE 802.3af 準拠、Power over Ethernet 用受電機器 インタフェースコントローラ

MAX5940A/MAX5940B

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)

SOICN EPSS

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
e	0.050 BSC		1.27 BSC	
E	0.150	0.157	3.80	4.00
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27

VARIATIONS:

DIM	INCHES		MILLIMETERS		N	MS012
	MIN	MAX	MIN	MAX		
D	0.189	0.197	4.80	5.00	8	AA
D	0.337	0.344	8.55	8.75	14	AB
D	0.386	0.394	9.80	10.00	16	AC

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 0.15mm (.006").
3. LEADS TO BE COPLANAR WITHIN 0.10mm (.004").
4. CONTROLLING DIMENSION: MILLIMETERS.
5. MEETS JEDEC MS012.
6. N = NUMBER OF PINS.

PROPRIETARY INFORMATION

TITLE:
PACKAGE OUTLINE, .150" SOIC

APPROVAL	DOCUMENT CONTROL NO. 21-0041	REV. B	1/1
----------	---------------------------------	-----------	-----

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(Horizon 1ビル)
TEL. (03) 3232-6141 FAX. (03) 3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 15