

# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

## 概要

MAX5841は、クワッド、10ビット電圧出力、D/Aコンバータ(DAC)です。I<sup>2</sup>Cコンパチブル2線インタフェース付で、最高400kHzのクロックレートで動作します。本デバイスは単一電源2.7Vから5.5Vの電源電圧で動作し、消費電流はV<sub>DD</sub>= 3.6Vで僅か230μAです。パワーダウンモードにおいては1μA以下まで消費電流を低減します。MAX5841は3つのソフトウェア選択可能なパワーダウン出力インピーダンス、100kΩ、1kΩ、ハイインピーダンスを特長としています。その他の特長として内部高精度レイルトゥレイル出力バッファ、及び100kΩパワーダウンモードでDACに起動するパワーオンリセット(POR)回路を装備しています。

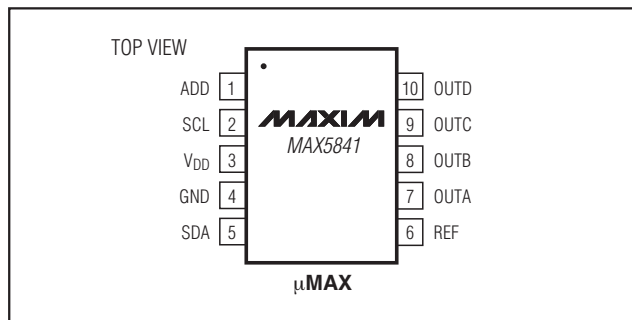
MAX5841は、複数のデバイスが1つのバスを共有できるダブルバッファI<sup>2</sup>Cコンパチブルのシリアルインタフェースを備えています。全てのロジック入力はCMOSロジックとコンパチブルで、オプトレイブ結合及びトランス絶縁インタフェースと直接インタフェースが可能のようにシュミットトリガでバッファされています。MAX5841はアドレスのミスマッチが検出された時、デバイスの他の部分からのクロック信号(SCL)を切断することによって、デジタルノイズのフィードスルーを最小化します。

MAX5841は、拡張温度範囲-40°C~+85°Cの仕様になっており、小型10ピンμMAXパッケージで提供されています。12ビットのバージョンに関してはMAX5842のデータシートを参照して下さい。

## アプリケーション

デジタル利得及びオフセット調整  
プログラマブル電圧及び電流ソース  
プログラマブル減衰量  
VCO/バラクタダイオード制御  
低価格の測定機器  
バッテリー駆動の測定機器  
ATE

## ピン配置



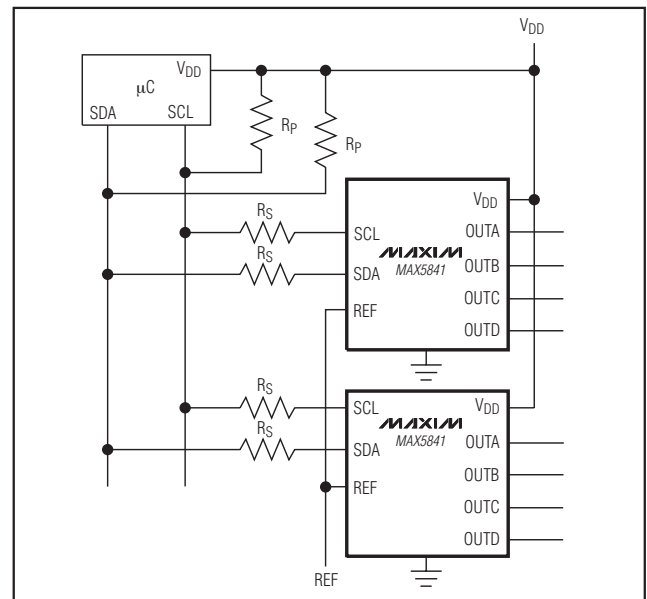
## 特長

- ◆ 超低消費電流  
230μA@V<sub>DD</sub> = 3.6V  
280μA@V<sub>DD</sub> = 5.5V
- ◆ 低電力パワーダウンモード：300nA
- ◆ 単一電源電圧：2.7V~5.5V
- ◆ 高速400kHz I<sup>2</sup>Cコンパチブル2線シリアルインタフェース
- ◆ フォトカプラに直接インタフェース可能なシュミットトリガ入力
- ◆ レイルトゥレイル出力バッファアンプ
- ◆ 3つのソフトウェア選択可能なパワーダウンモード出力インピーダンス  
100kΩ、1kΩ、及びハイインピーダンス
- ◆ バス及びデータ検査用のリードバックモード
- ◆ パワーオンリセットでゼロスケール
- ◆ パッケージ：10ピンμMAX

## 型番

PART	TEMP RANGE	PIN-PACKAGE	ADDRESS
MAX5841LEUB	-40°C to +85°C	10 μMAX	0111 10X
MAX5841MEUB	-40°C to +85°C	10 μMAX	1011 10X

## 標準動作回路



# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

MAX5841

## ABSOLUTE MAXIMUM RATINGS

V<sub>DD</sub>, SCL, SDA to GND .....-0.3V to +6V  
 OUT<sub>-</sub>, REF, ADD to GND.....-0.3V to V<sub>DD</sub> + 0.3V  
 Maximum Current into Any Pin.....50mA  
 Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 10-Pin μMAX (derate 5.6mW above +70°C) .....444mW

Operating Temperature Range .....-40°C to +85°C  
 Storage Temperature Range .....-65°C to +150°C  
 Maximum Junction Temperature .....+150°C  
 Lead Temperature (soldering 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +5.5V, GND = 0, V<sub>REF</sub> = V<sub>DD</sub>, R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 200pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at V<sub>DD</sub> = +5V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC ACCURACY (NOTE 2)</b>						
Resolution	N		10			Bits
Integral Nonlinearity	INL	(Note 3)		±0.5	±4	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 3)			±0.5	LSB
Zero-Code Error	ZCE	Code = 000 hex, V <sub>DD</sub> = 2.7V		6	40	mV
Zero-Code Error Tempco				2.3		ppm/°C
Gain Error	GE	Code = 3FF hex		-0.8	-3	%FSR
Gain-Error Tempco				0.26		ppm/°C
Power-Supply Rejection Ratio	PSRR	Code = 3FF hex, V <sub>DD</sub> = 4.5V to 5.5V		58.8		dB
DC Crosstalk				30		μV
<b>REFERENCE INPUT</b>						
Reference Input Voltage Range	V <sub>REF</sub>		0		V <sub>DD</sub>	V
Reference Input Impedance			32	45		kΩ
Reference Current		Power-down mode		±0.3	±1	μA
<b>DAC OUTPUT</b>						
Output Voltage Range		No load (Note 4)	0		V <sub>DD</sub>	V
DC Output Impedance		Code = 200 hex		1.2		Ω
Short-Circuit Current		V <sub>DD</sub> = 5V, V <sub>OUT</sub> = full scale (short to GND)		42.2		mA
		V <sub>DD</sub> = 3V, V <sub>OUT</sub> = full scale (short to GND)		15.1		
Wake-Up Time		V <sub>DD</sub> = 5V		8		μs
		V <sub>DD</sub> = 3V		8		
DAC Output Leakage Current		Power-down mode = high impedance, V <sub>DD</sub> = 5.5V, V <sub>OUT-</sub> = V <sub>DD</sub> or GND		±0.1	±1	μA
<b>DIGITAL INPUTS (SCL, SDA)</b>						
Input High Voltage	V <sub>IH</sub>		0.7 × V <sub>DD</sub>			V
Input Low Voltage	V <sub>IL</sub>				0.3 × V <sub>DD</sub>	V

# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

MAX5841

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +2.7V to +5.5V, GND = 0, V<sub>REF</sub> = V<sub>DD</sub>, R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 200pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at V<sub>DD</sub> = +5V, T<sub>A</sub> = 25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Hysteresis			0.05 × V <sub>DD</sub>			V
Input Leakage Current		Digital inputs = 0 or V <sub>DD</sub>		±0.1	±1	μA
Input Capacitance				6		pF
<b>DIGITAL OUTPUT (SDA)</b>						
Output Logic Low Voltage	V <sub>OL</sub>	I <sub>SINK</sub> = 3mA			0.4	V
Three-State Leakage Current	I <sub>L</sub>	Digital inputs = 0 or V <sub>DD</sub>		±0.1	±1	μA
Three-State Output Capacitance				6		pF
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.5		V/μs
Voltage Output Settling Time		To 1/2LSB code 100 hex to 300 hex or 300 hex to 100 hex (Note 5)		4	12	μs
Digital Feedthrough		Code = 000 hex, digital inputs from 0 to V <sub>DD</sub>		0.2		nV-s
Digital-to-Analog Glitch Impulse		Major carry transition (code = 1FF hex to 200 hex and 200 hex to 1FF hex)		12		nV-s
DAC-to-DAC Crosstalk				2.4		nV-s
<b>POWER SUPPLIES</b>						
Supply Voltage Range	V <sub>DD</sub>		2.7		5.5	V
Supply Current with No Load	I <sub>DD</sub>	All digital inputs at 0 or V <sub>DD</sub> = 3.6V		230	395	μA
		All digital inputs at 0 or V <sub>DD</sub> = 5.5V		280	420	
Power-Down Supply Current	I <sub>DDPD</sub>	All digital inputs at 0 or V <sub>DD</sub> = 5.5V		0.3	1	μA
<b>TIMING CHARACTERISTICS (FIGURE 1)</b>						
Serial Clock Frequency	f <sub>SCL</sub>		0		400	kHz
Bus Free Time Between STOP and START Conditions	t <sub>BUF</sub>		1.3			μs
START Condition Hold Time	t <sub>HD,STA</sub>		0.6			μs
SCL Pulse Width Low	t <sub>LOW</sub>		1.3			μs
SCL Pulse Width High	t <sub>HIGH</sub>		0.6			μs
Repeated START Setup Time	t <sub>SU,STA</sub>		0.6			μs
Data Hold Time	t <sub>HD,DAT</sub>		0		0.9	μs
Data Setup Time	t <sub>SU,DAT</sub>		100			ns
SDA and SCL Receiving Rise Time	t <sub>r</sub>	(Note 5)	0		300	ns
SDA and SCL Receiving Fall Time	t <sub>f</sub>	(Note 5)	0		300	ns
SDA Transmitting Fall Time	t <sub>f</sub>	(Note 5)	20 + 0.1C <sub>b</sub>		250	ns
STOP Condition Setup Time	t <sub>SU,STO</sub>		0.6			μs

# クワッド、10ビット、低電力、2線、シリアル電圧出力DAC

MAX5841

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+5.5V$ ,  $GND = 0$ ,  $V_{REF} = V_{DD}$ ,  $R_L = 5k\Omega$ ,  $C_L = 200pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $V_{DD} = +5V$ ,  $T_A = 25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Bus Capacitance	$C_b$	(Note 5)			400	pF
Maximum Duration of Suppressed Pulse Widths	$t_{SP}$		0		50	ns

**Note 1:** All devices are 100% production tested at  $T_A = +25^\circ C$  and are guaranteed by design for  $T_A = T_{MIN}$  to  $T_{MAX}$ .

**Note 2:** Static specifications are tested with the output unloaded.

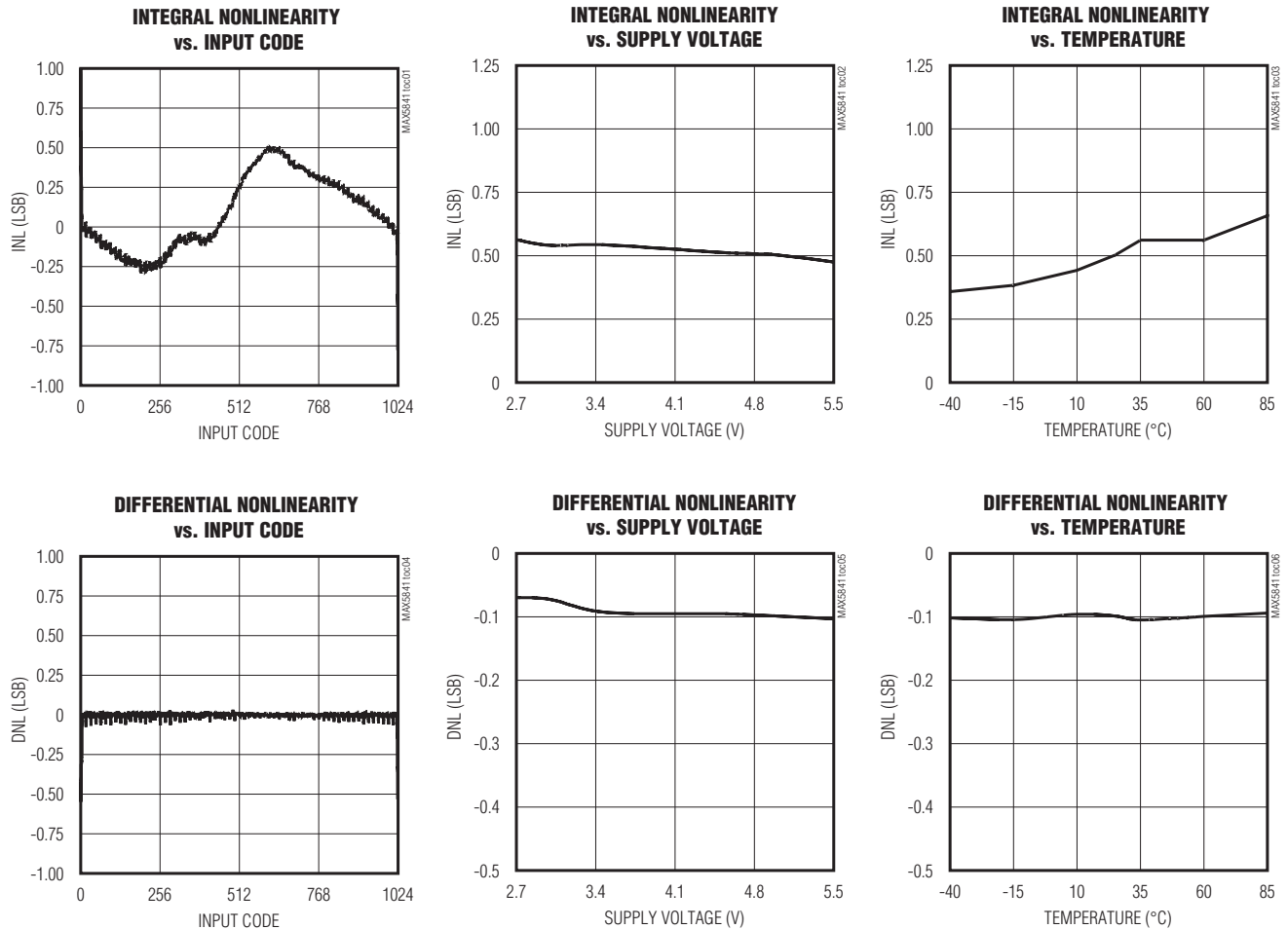
**Note 3:** Linearity is guaranteed from codes 29 to 995.

**Note 4:** Offset and gain error limit the FSR.

**Note 5:** Guaranteed by design. Not production tested.

## 標準動作特性

( $V_{DD} = +5V$ ,  $R_L = 5k\Omega$ ,  $T_A = +25^\circ C$ .)

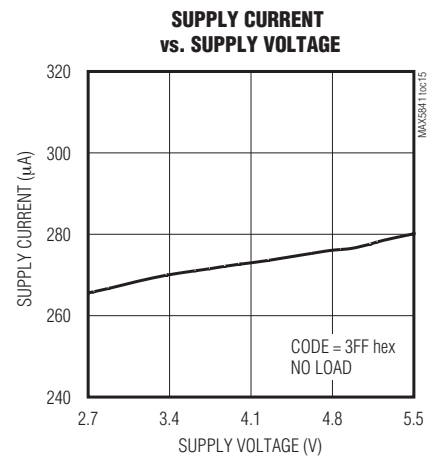
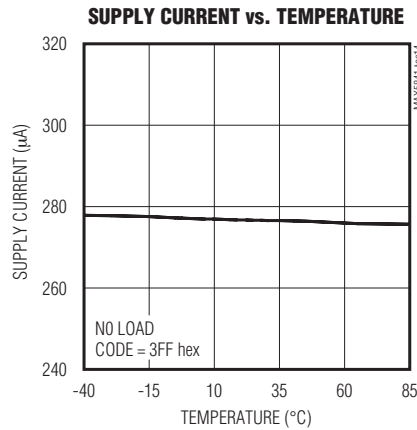
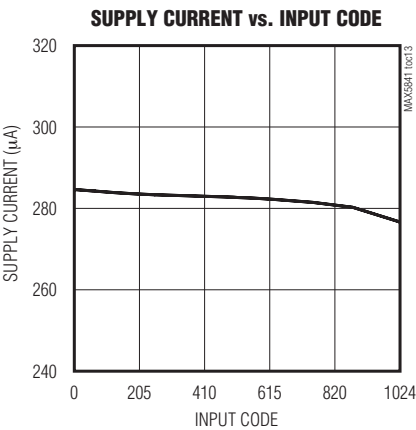
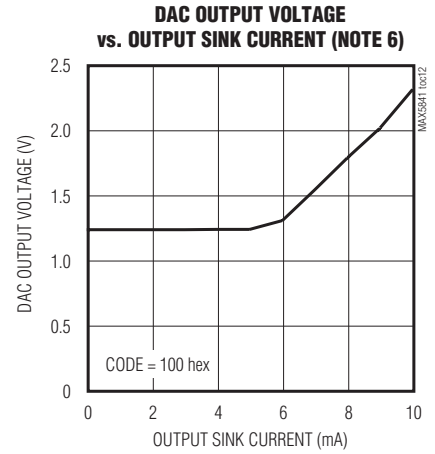
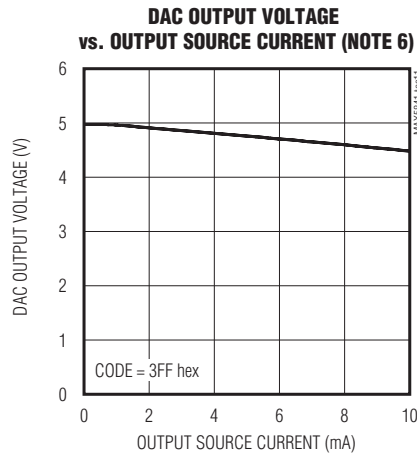
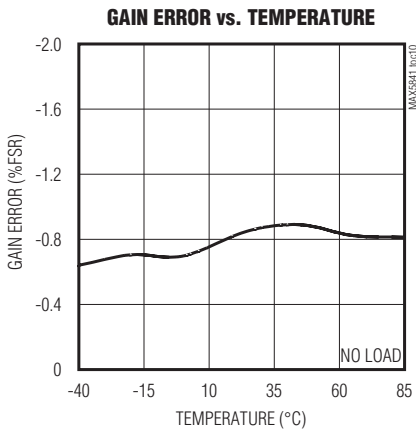
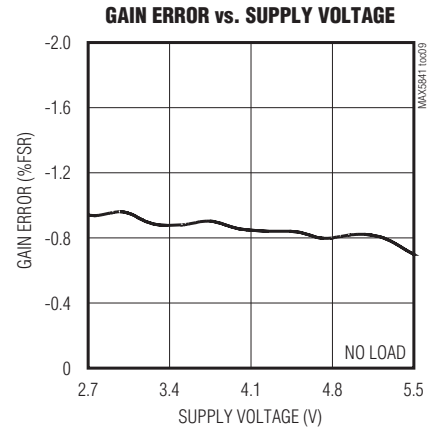
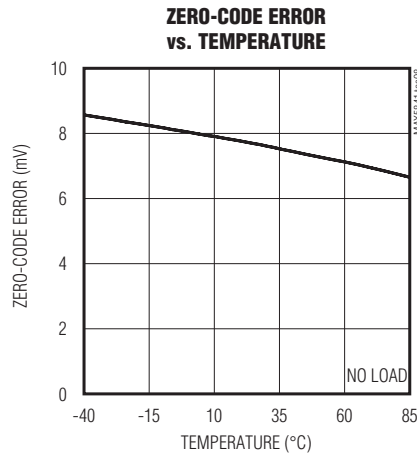
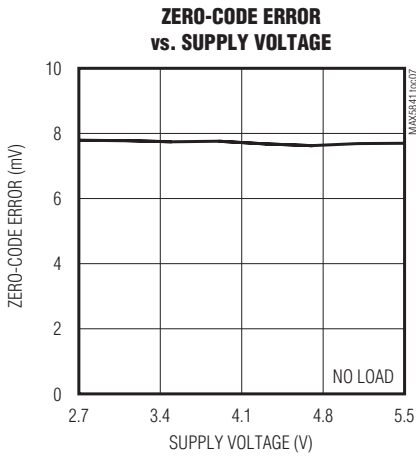


# クワッド、10ビット、低電力、2線、シリアル電圧出力DAC

MAX5841

## 標準動作特性(続き)

( $V_{DD} = +5V$ ,  $R_L = 5k\Omega$ ,  $T_A = +25^\circ C$ .)

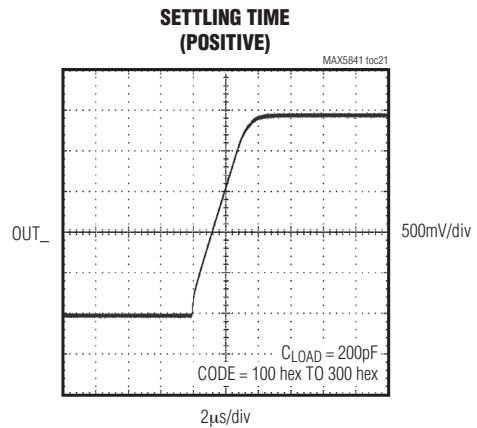
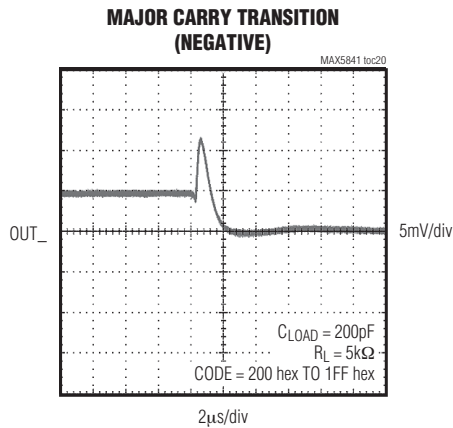
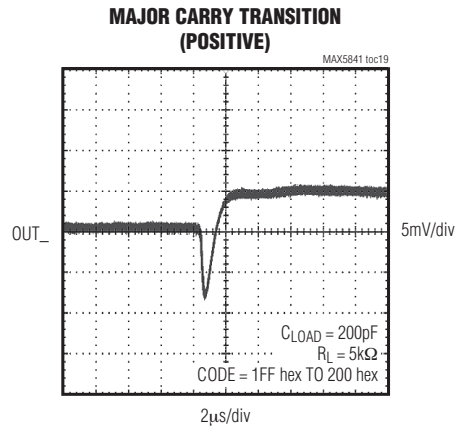
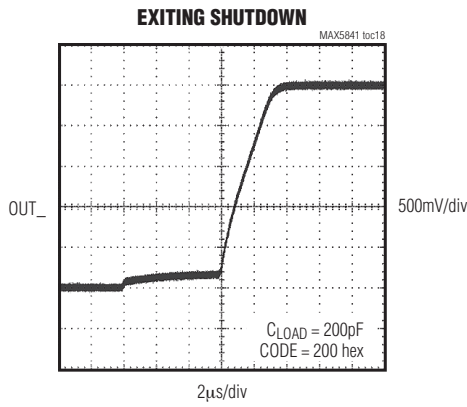
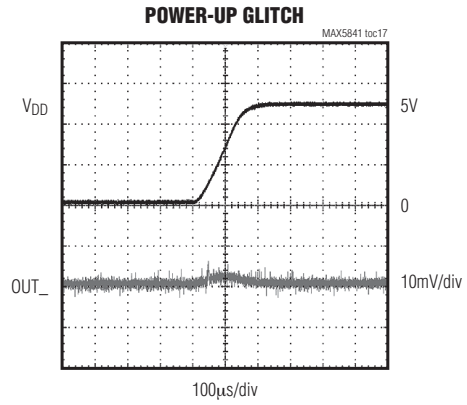
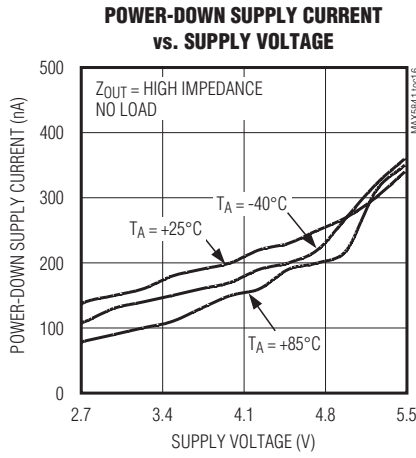


# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

MAX5841

## 標準動作特性(続き)

( $V_{DD} = +5V$ ,  $R_L = 5k\Omega$ ,  $T_A = +25^\circ C$ .)

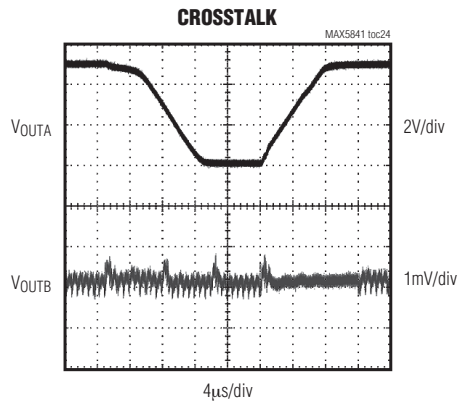
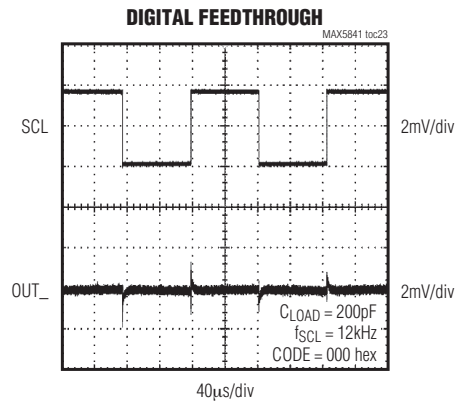
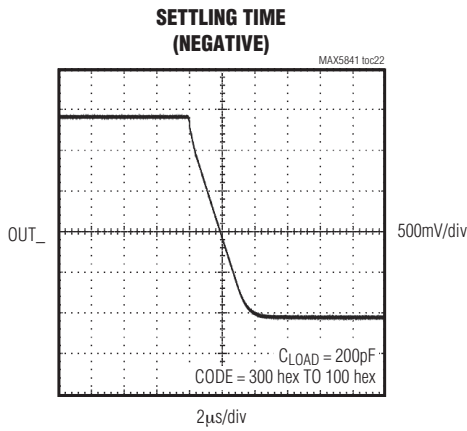


# クワッド、10ビット、低電力、2線、シリアル電圧出力DAC

MAX5841

## 標準動作特性(続き)

( $V_{DD} = +5V$ ,  $R_L = 5k\Omega$ ,  $T_A = +25^\circ C$ .)



**Note 6:** The ability to drive loads less than  $5k\Omega$  is not implied.

# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

MAX5841

## 端子説明

端子	名称	機能
1	ADD	アドレス選択。ロジックハイがアドレスLSBを1に設定します。ロジックローがアドレスLSBをゼロに設定します。
2	SCL	シリアルクロック入力
3	VDD	電源
4	GND	グラウンド
5	SDA	双方向シリアルデータインタフェース
6	REF	リファレンス入力
7	OUTA	DAC A出力
8	OUTB	DAC B出力
9	OUTC	DAC C出力
10	OUTD	DAC D出力

## 詳細

MAX5841は、I<sup>2</sup>C/SMバスコンパチブル2線インタフェース付のクワッド、10ビット、電圧出力DACです。本デバイスは、シリアルインタフェース、パワーダウン回路、4つの入力及びDACレジスタ、4つの10ビット抵抗ストリングDAC、4つのユニティ利得出力バッファ、及び出力抵抗ネットワークで構成されています。シリアルインタフェースはアドレス及び制御ビットを解釈し、データを適切な入力またはDACレジスタへ経路します。データはデバイスの出力を瞬時に更新するように直接DACレジスタへ書き込まれるか、またはDAC出力を変更することなく入力レジスタへ書き込むことが可能です。両方のレジスタはデバイスに電源が投入されている限りデータを保持します。

## DAC動作

MAX5841はセグメント化された抵抗ストリングDACアーキテクチャを使い、システム全体の電力を節減し、出力単調性を保証します。MAX5841の入力コードはストレートバイナリで、出力電圧は次式で求められます。

$$V_{OUT} = \frac{V_{REF} \times (D)}{2^N}$$

この場合、N = 10(ビット)、及びD = 入力コード(0 ~ 1023)の10進数値です。

## 出力バッファ

MAX5841アナログ出力は、スルーレート0.5V/μsの高精度、ユニティ利得フォロワによってバッファされます。それぞれのバッファは出力をレイルトゥレイルでスイングし、200pFと並列の5kΩの駆動が可能です。出力は4μs以内に±0.5LSBにセトリングします。

## パワーオンリセット

MAX5841は起動時にデバイスを初期化する内部POR回路を装備しています。DACレジスタはゼロスケールに設定され、デバイスはディセーブルされた出力バッファ及び100kΩ終端抵抗によってGNDに落とされた出力を使ってパワーダウンされます。起動時に続いて、変換が実行される前にウェイクアップコマンドが開始される必要があります。

## パワーダウンモード

MAX5841は、ソフトウェアで制御された3つの低電力、パワーダウンモードを備えています。全ての3つのモードは出力バッファをディセーブルして、DAC抵抗ストリングをREFから切断し、消費電流を1μAまで、及びリファレンス電流の消費を1μA以下に低減します。パワーダウンモード0の時、デバイス出力はハイインピーダンスです。パワーダウンモード1の時、デバイス出力は内部で1kΩ終端抵抗によってGNDへ落とされます。パワーダウンモード2では、デバイス出力は内部で100kΩ終端抵抗によってGNDに落とされます。表1にパワーダウンモードのコマンドワードが示されています。

ウェイクアップ時には、DAC出力は以前の値に復元されます。パワーダウンモードの間データは入力及びDACレジスタに保持されます。

## デジタルインタフェース

MAX5841はシリアルデータライン(SDA)及びシリアルクロックライン(SCL)で構成されたI<sup>2</sup>C/SMバスコンパチブルの2線インタフェースを備えています。MAX5841はV<sub>DD</sub> = 2.7Vから3.6Vまでの範囲内でSMバスコンパチブルです。SDA及びSCLはMAX5841とマスタ間の双方向通信を最高400kHzのレートで実現します。図1は2線インタフェースのタイミング図です。MAX5841



# クワッド、10ビット、低電力、2線、シリアル電圧出力DAC

表1. パワーダウンコマンドビット

POWER-DOWN COMMAND BITS		MODE/FUNCTION
PD1	PD0	
0	0	Power-up device. DAC output restored to previous value.
0	1	Power-down mode 0. Power down device with output floating.
1	0	Power-down mode 1. Power down device with output terminated with 1kΩ to GND.
1	1	Power-down mode 2. Power down device with output terminated with 100kΩ to GND.

は送受信スレーブオンリのデバイスで、クロック信号の発生はマスタに依存しています。マスタ(通常はマイクロコントローラ)はバス上のデータ転送を開始してその転送を許可するSCLを発生します。

マスタデバイスは適切なアドレスに続いてコマンド及び/またはデータワードを送信することによってMAX5841と通信します。それぞれの送信シーケンスは、START(S)または反復START( $S_r$ )条件及びSTOP(P)条件によってフレームされます。バスを介して送信されるそれぞれのワードは8ビット長で常にアクトリッジクロックパルスが後に続きます。

MAX5841のSDA及びSCLドライバはオープンドレイン出力で、ロジックハイ電圧を発生するためにプルアップ抵抗を必要とします(「標準動作回路」を参照)。直列抵抗 $R_S$ はオプションです。これらの直列抵抗はバスライン上の高電圧スパイクからMAX5841の入カステージを保護して、バス信号のクロストーク及びアンダーシュートを最小化します。

## ビットトランスファ

1つのデータビットが各SCLクロックサイクル中に伝送されます。SDA上のデータはSCLクロックパルスがハイの期間中安定な状態でなければなりません。SCLがハイの間のSDAの変化は制御信号です(「START及びSTOP条件」を参照)。SDA及びSCLは両方ともI<sup>2</sup>Cバスが使用中でない時はハイでアイドルします。

## START及びSTOP条件

シリアルインタフェースが非活動状態の場合、SDA及びSCLはハイでアイドルします。マスタデバイスはSTART条件を発生することによって通信を開始します。START条件とはSCLがハイの時、SDA上でのハイからローへの移行です。STOP条件とはSCLがハイの時、SDAのローからハイへの移行です(図2)。マスタからのSTART条件がの伝送開始信号をMAX5841へ送ります。マスタはノットアクトリッジに続いてSTOP条件を発生することにより伝送を停止させます(「アクトリッジビット(ACK)」を参照)。STOP条件はバスを解放します。STOP条件の代わりに反復START条件( $S_r$ )が発生された場合、バスは有効状態のままです。STOP条件または間違っアドレスが検出された場合、MAX5841はデジタルノイズとフィードスルーを最小限に抑えるため、次のSTART条件までの間、内部でSCLをシリアルインタフェースから切断します。

## 初期のSTOP条件

MAX5841はSTOP条件がSTART条件と同様のハイパルス状態で起きる以外は、伝送中いつでもSTOP条件を認識します(図3)。この条件は標準的なI<sup>2</sup>Cのフォーマットではありません。少なくともSTART及びSTOP条件はクロックパルス1つによって離される必要があります。

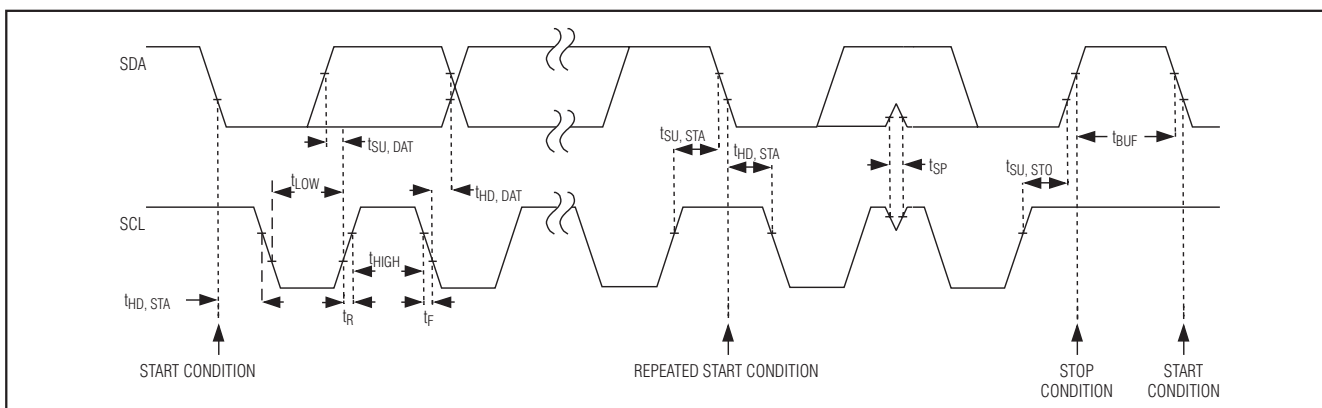


図1. 2線シリアルインタフェースタイミング図

# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

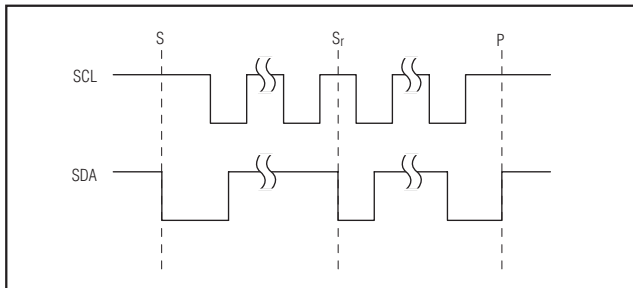


図2. START及びSTOP条件

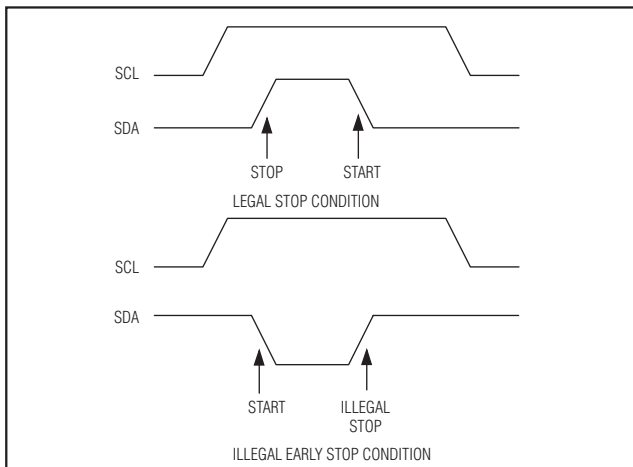


図3. 初期のSTOP条件

## 反復START条件

反復START( $S_r$ )条件はバス上のデータ方向の変更を示すことがあります。このような変更はコマンドワードがリード(読み取り)動作を開始する必要がある場合におこります。また、 $S_r$ は、バスマスタが複数のI<sup>2</sup>Cデバイスに書き込みをする時、及びバスの制御を放棄したくない時に使われます。MAX5841のシリアルインタフェースは、ライト(書き込み)動作を分離する $S_r$ 条件を使用するかしないかにかかわらず、連続的なライト(書き込み)動作をサポートします。連続的ライト(書き込み)動作にはデータフローの方向変化のために $S_r$ 条件が必要です。

## アクノリッジビット(ACK)

アクノリッジビット(ACK)は、いかなる8ビットデータワードにも付加された9番目のビットです。ACKは常に受信デバイスによって発生されます。MAX5841は9番目のクロック期間にSDAをローにすることによって、アドレスまたはデータを受信している時にACKを発生します。データを伝送する時、MAX5841は受信デバイスがACKを発生するのを待ちます。ACKを監視することによってデータ伝送の失敗を検出することができます。データ伝送の不成功は受信デバイスが使用中またはシステムに障害が起きた場合に発生します。不成功なデータ伝送があった場合、バスマスタは後に通信を再実行します。

## スレーブアドレス

バスマスタはSTART条件に続いて7ビットスレーブアドレスを発行することによりスレーブデバイスとの通信を開始します(図4)。アイドル時、MAX5841はスレーブアドレスが後に続くSTART条件を待ちます。シリアルインタフェースは各アドレス値をビット毎に比較し、間違ったアドレスが検出されるとインタフェースをただちにパワーダウン出来るようにします。アドレスワードのLSBはリード(読み取り)/ライト(書き込み)(R/W)ビットです。R/WはマスタがMAX5841から書き込みまたは読み取りを実行しているかを表示します(R/W=0は書き込み条件、R/W=1は読み取り条件を選択します)。適切なアドレスを受信すると、その後MAX5841は1クロックサイクルの間SDAをローにすることによってACKを発行します。

MAX5841には4つの異なる出荷時/ユーザ設定アドレスがあります(表2)。アドレスビットA6からA1はプリセットで、A0はADDによって制御されます。ADDをGNDに接続することによりA0=0、ADDをV<sub>DD</sub>に接続することによりA0=1が設定されます。この機能は最高4つのMAX5841が同じバスを共有することを可能にします。

表2. MAX5841 I<sup>2</sup>Cスレーブアドレス

PART	V <sub>ADD</sub>	DEVICE ADDRESS (A6...A0)
MAX5841L	GND	0111 100
MAX5841L	V <sub>DD</sub>	0111 101
MAX5841M	GND	1011 100
MAX5841M	V <sub>DD</sub>	1011 101

## ライト(書き込み)データフォーマット

書き込みモード(R/W=0)では、アドレスバイトに続くデータがMAX5841を制御します(図5)。ビットC3-C0がMAX5841を構成します(表3)。ビットD9-D0はDACデータです。ビットS0とS1はサブビットで常に0です。入力及びDACレジスタはアクノリッジビット中にSCLの立下りエッジで更新します。書き込みサイクルが早期に打ち切られた場合、データは更新されず、書き込みサイクルを繰り返す必要があります。図6は書き込みデータシーケンスの2つの例を示しています。

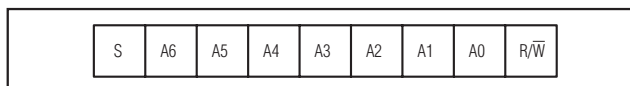


図4. スレーブアドレスバイトの定義

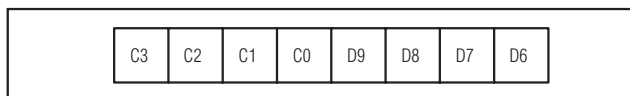


図5. コマンドバイトの定義

# クワッド、10ビット、低電力、2線、シリアル電圧出力DAC

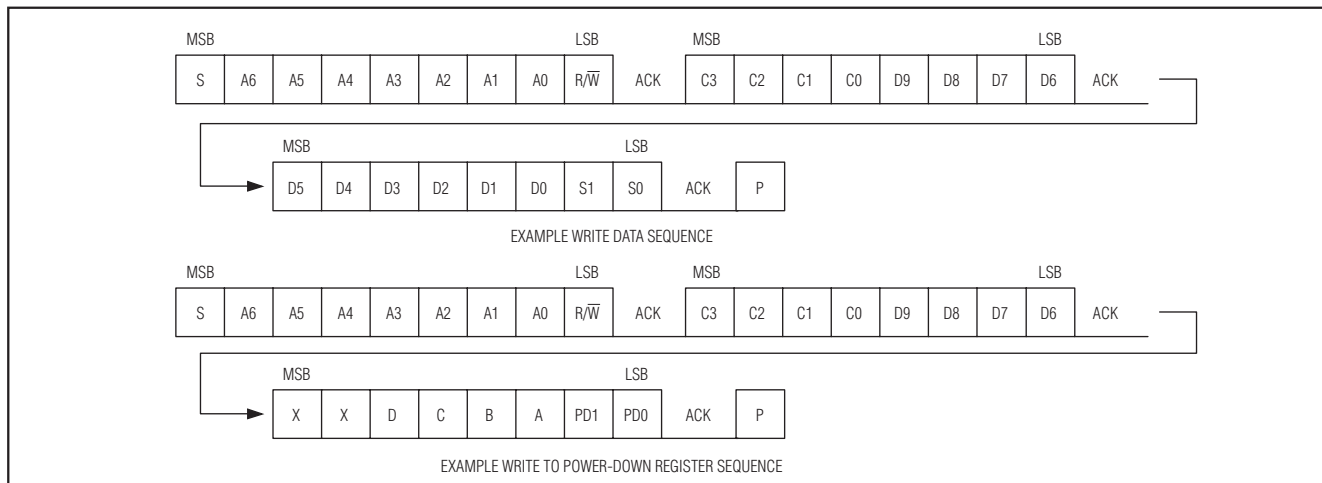


図6. ライト(書き込み)コマンドシーケンスの例

## 拡張コマンドモード

MAX5841はC3-C0 = 1及びD9-D6 = 0に設定することによってアクセスされる拡張コマンドモードを特長としています。次のデータバイトはシャットダウンレジスタに書き込みます(図7)。ビットA B CまたはDを1に設定すると、PD0またはPD1の状態に基づき選ばれたパワーダウンモードにDACを設定します(表1)。4つのDACのどのような組み合わせでも単一の書き込みシーケンスによって制御することが可能です。

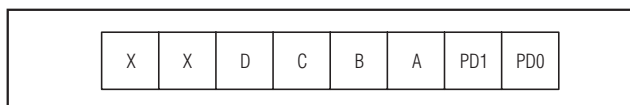


図7. 拡張コマンドバイトの定義

フィードスルーを最小限に抑えます。シリアルインタフェースはいったん有効なSTART条件が検出されるとSCL信号を再接続します。

## アプリケーション情報

### デジタル入力及びインタフェースロジック

MAX5841は2線デジタルインタフェースでI<sup>2</sup>C/SMバスコンパチブルです。2つのデジタル入力(SCL及びSDA)はデジタル入力をDACに逐次的にロードします。シュミットトリガでバッファされた入力はフォトカプラが直接デバイスにインタフェースするような低速遷移インタフェースを可能にします。デジタル入力はCMOSロジックレベルとコンパチブルです。

### 電源バイパス及びグランド管理

システムの性能を最適にするため慎重なPCBのレイアウトが重要になります。アナログとデジタルの信号を隔離してノイズの介入とデジタルのフィードスルーを低減するようにします。グランドプレーンを使ってGNDから電源グランドへのグランドリターンが短くローインピーダンスであることを確認して下さい。V<sub>DD</sub>を0.1µFコンデンサを使い、できる限りデバイスに近接してグランドへバイパスして下さい。

## リード(読み取り)データフォーマット

読み取りモード(R/W = 1)では、MAX5841はDACレジスタの内容をバスに書き込みます。MAX5841によってアドレスが肯定されるとデータフローの方向が逆転します。デバイスはデータの最初のバイトを伝送し、マスタが肯定するのを待ってから2番目のバイトを伝送します。図8が読み取りデータシーケンスの例を示しています。

## I<sup>2</sup>C互換性

MAX5841は既存のI<sup>2</sup>Cシステムとコンパチブルです。SCL及びSCAはハイインピーダンス入力です。SDAは9番目のクロックパルス中にデータラインをローにするオープンドレインを備えています。「標準動作回路」が標準I<sup>2</sup>Cアプリケーションを示しています。通信プロトコルが標準I<sup>2</sup>C 8ビット通信をサポートします。一般的な呼び出しアドレスは無視されます。MAX5841のアドレスは7ビットI<sup>2</sup>Cアドレスプロトコルのみとコンパチブルです。10ビットアドレスフォーマットはサポートされません。

## デジタルフィードスルー抑圧

MAX5841がアドレスのミスマッチを検出する場合、シリアルインタフェースはSCL信号をコア回路から切断します。これは静出力のSCL信号に起因するデジタル

## チップ情報

TRANSISTOR COUNT: 17,213  
PROCESS: BiCMOS

# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

MAX5841

表3. コマンドバイト定義

SERIAL DATA INPUT								FUNCTION
C3	C2	C1	C0	D9	D8	D7	D6	
0	0	0	0	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC A input and DAC registers with new data. Contents of DAC B, C, and D input registers are transferred to the respective DAC registers. All outputs are updated.
0	0	0	1	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC B input and DAC registers with new data. Contents of DAC A, C, and D input registers are transferred to the respective DAC registers. All outputs are updated.
0	0	1	0	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC C input and DAC registers with new data. Contents of DAC A, B, and D input registers are transferred to the respective DAC registers. All outputs are updated.
0	0	1	1	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC D input and DAC registers with new data. Contents of DAC A, B, and C input registers are transferred to the respective DAC registers. All outputs are updated simultaneously.
0	1	0	0	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC A input register with new data. DAC outputs remain unchanged.
0	1	0	1	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC B input register with new data. DAC outputs remain unchanged.
0	1	1	0	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC C input register with new data. DAC outputs remain unchanged.
0	1	1	1	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load DAC D input register with new data. DAC outputs remain unchanged.
1	0	0	0	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Data in all input registers is transferred to respective DAC registers. All DAC outputs are updated simultaneously. New data is loaded into DAC A input register.
1	0	0	1	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Data in all input registers is transferred to respective DAC registers. All DAC outputs are updated simultaneously. New data is loaded into DAC B input register.
1	0	1	0	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Data in all input registers is transferred to respective DAC registers. All DAC outputs are updated simultaneously. New data is loaded into DAC C input register.
1	0	1	1	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Data in all input registers is transferred to respective DAC registers. All DAC outputs are updated simultaneously. New data is loaded into DAC D input register.
1	1	0	0	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load all DACs with new data and update all DAC outputs simultaneously. Input and DAC registers are updated with new data.
1	1	0	1	DAC DATA	DAC DATA	DAC DATA	DAC DATA	Load all input registers with new data. DAC outputs remain unchanged.

# クワッド、10ビット、低電力、2線、シリアル電圧出力DAC

表3. コマンドバイト定義(続き)

SERIAL DATA INPUT								FUNCTION
C3	C2	C1	C0	D9	D8	D7	D6	
1	1	1	0	X	X	X	X	Update all DAC outputs simultaneously. Device ignores D9-D6. Do not send the data byte.
1	1	1	1	0	0	0	0	Extended command mode. The next word writes to the power-down registers ( <i>Extended Command Mode</i> ).
1	1	1	1	0	0	0	1	Read DAC A data. The device expects an $S_r$ condition followed by an address word with $R/\overline{W} = 1$ .
1	1	1	1	0	0	1	0	Read DAC B data. The device expects an $S_r$ condition followed by an address word with $R/\overline{W} = 1$ .
1	1	1	1	0	1	0	0	Read DAC C data. The device expects an $S_r$ condition followed by an address word with $R/\overline{W} = 1$ .
1	1	1	1	1	0	0	0	Read DAC D data. The device expects an $S_r$ condition followed by an address word with $R/\overline{W} = 1$ .

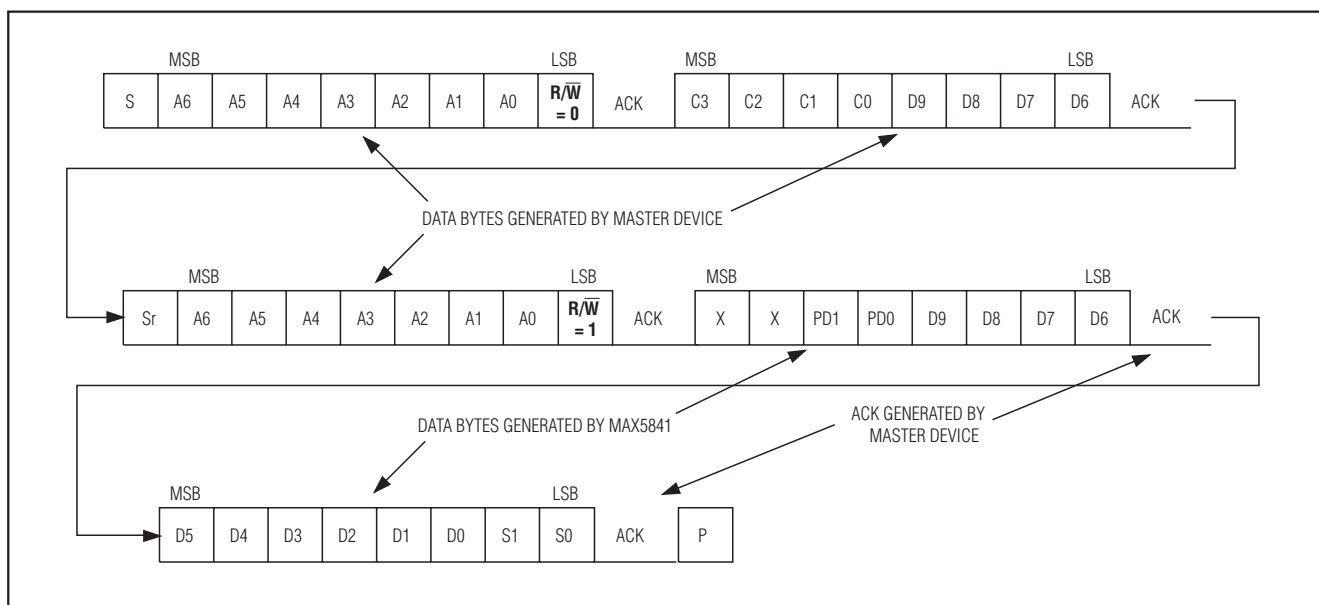
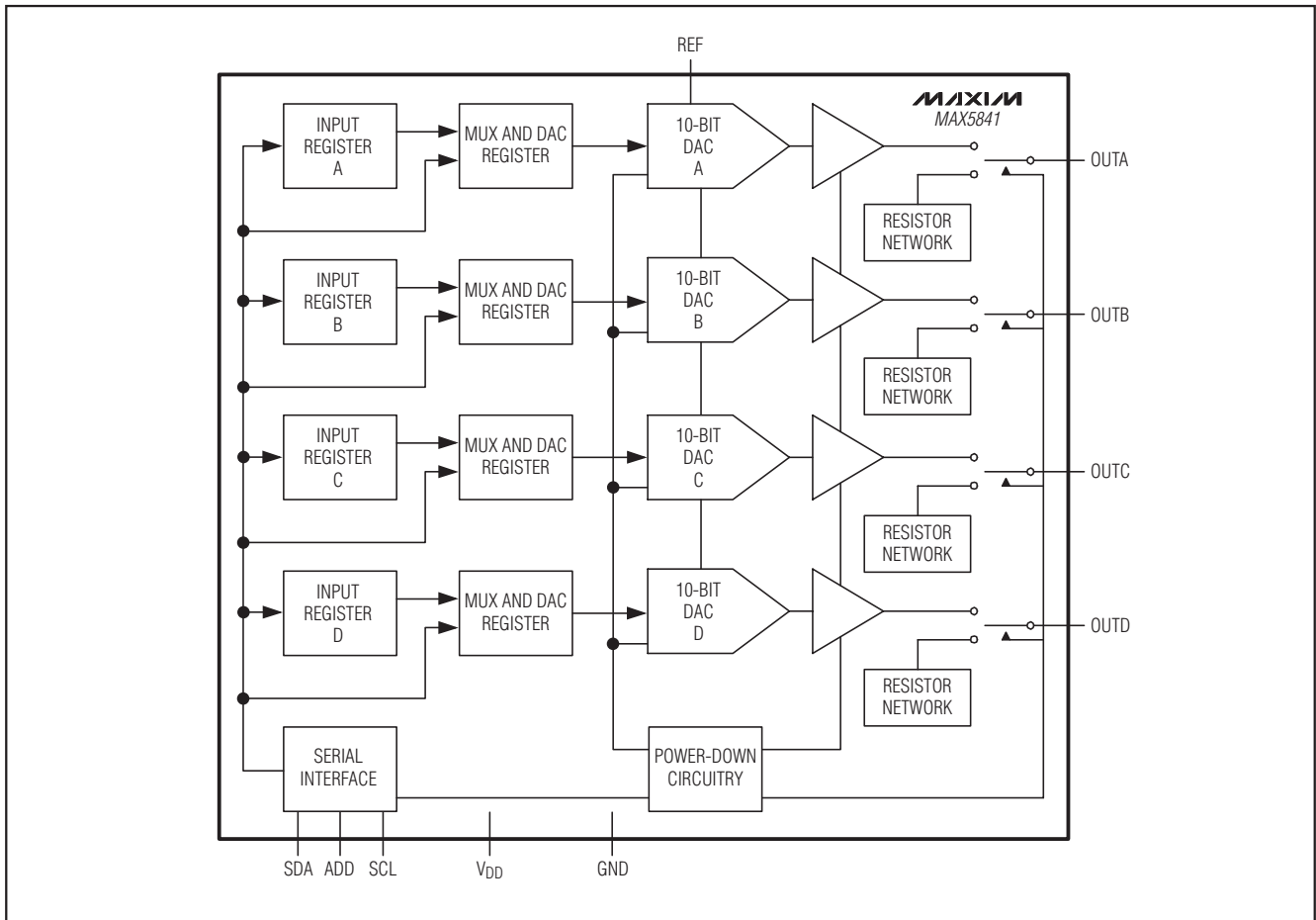


図8. リード(読み取り)ワードデータシーケンスの例

# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

MAX5841

ファンクションダイアグラム

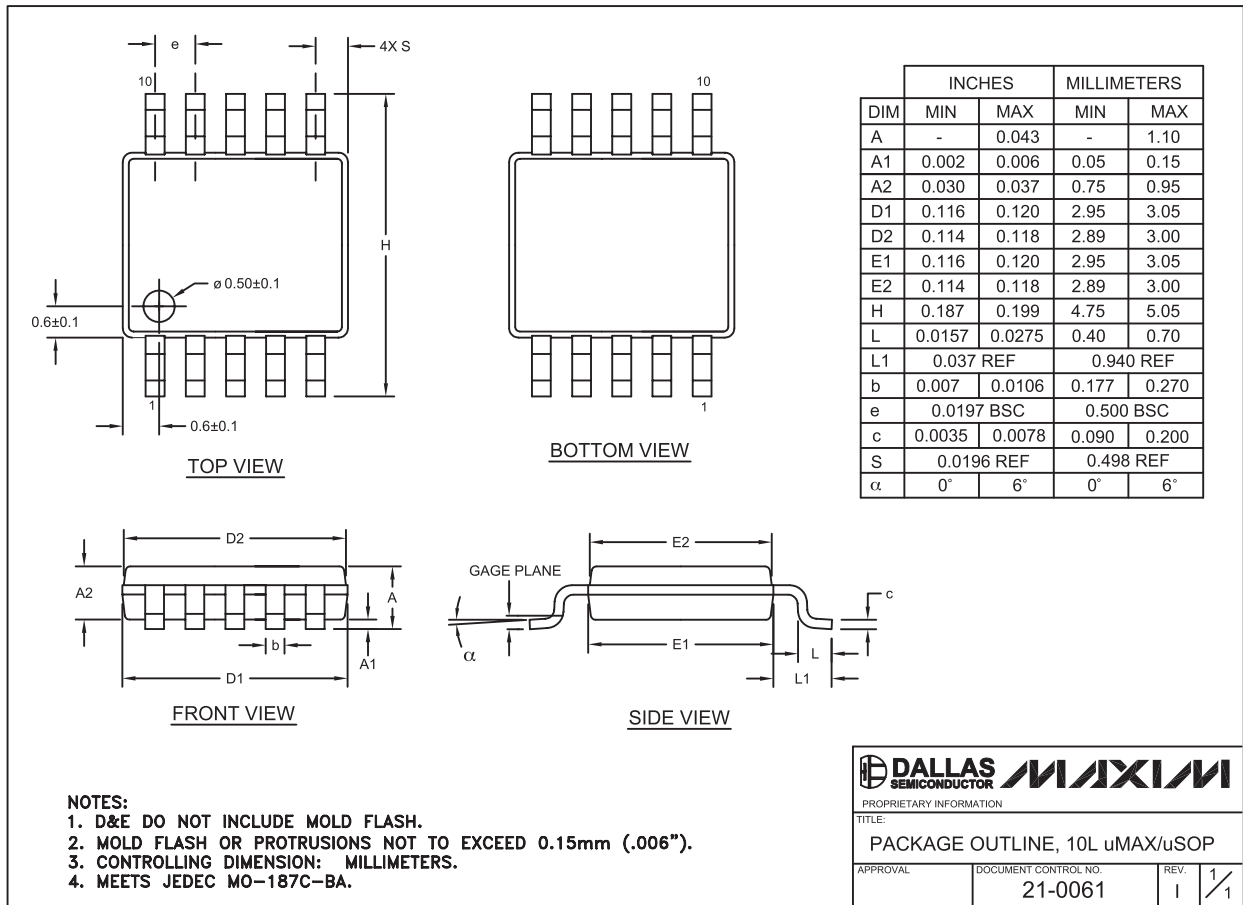


# クワッド、10ビット、低電力、2線、 シリアル電圧出力DAC

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

MAX5841



**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 15

© 2002 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.