

12ビット、低電力、2線、シリアル 電圧出力DAC

概要

MAX5812はクロックレート最高400kHzまで動作するI²Cコンパチブル2線インタフェース付シングル、12ビット電圧出力、D/Aコンバータ(DAC)です。本デバイスは単一電源2.7V~5.5Vで動作し、消費電流はV_{DD} = 3.6Vにおいて僅か100μAです。パワーダウンモードにおいては1μA以下まで消費電流を低減します。MAX5812はソフトウェア選択可能な3つのパワーダウン出力インピーダンス(100kΩ、1kΩ、ハイインピーダンス)を備えています。その他に内部高精度レイルトゥレイル出力バッファ、及び100kΩパワーダウンモード時にDACを起動するパワーオンリセット(POR)回路も備えています。

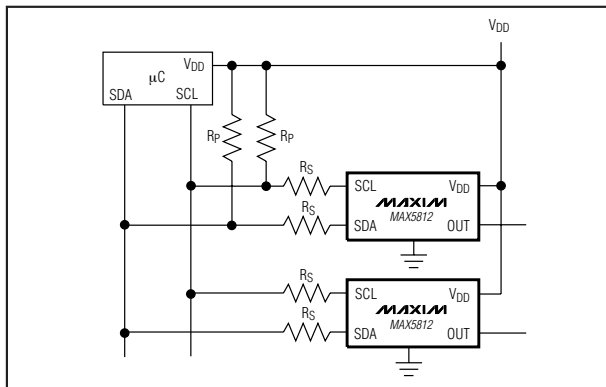
MAX5812は、複数のデバイスが1つのバスを共有できるダブルバッファI²Cコンパチブルのシリアルインタフェースを備えています。全てのロジック入力はCMOSロジックと互換性があり、オプト結合された、トランス絶縁インタフェースと直接インタフェースが可能のようにシュミットトリガでバッファされています。MAX5812はアドレスのミスマッチが検出されると、クロック信号(SCL)を残りのデバイスから切断することによって、デジタルノイズのフィードスルーを最小化します。

MAX5812は拡張温度-40°C~+85°Cの仕様で、省スペースの6ピンSOT23パッケージで提供されています。10ビットバージョンについてはMAX5811を参照して下さい。

アプリケーション

- デジタル利得及びオフセット調整
- プログラマブル電圧及び電流ソース
- プログラマブル減衰量
- VCO/バラクタダイオード制御
- 低コスト計測器
- バッテリー駆動機器

標準動作回路



特長

- ◆ 超低消費電流
 - 100μA@V_{DD} = 3.6V
 - 130μA@V_{DD} = 5.5V
- ◆ 低電力パワーダウンモード：300nA
- ◆ 単一電源電圧：2.7V~5.5V
- ◆ 高速400kHz、I²Cコンパチブル2線シリアルインタフェース
- ◆ フォトカプラに直接インタフェース可能なシュミットトリガ入力
- ◆ レイルトゥレイル出力バッファアンプ
- ◆ ソフトウェア選択可能な3つのパワーダウンモード出力インピーダンス
 - 100kΩ、1kΩ、及びハイインピーダンス
- ◆ バス及びデータ検査用のリードバックモード
- ◆ パワーオンリセット：ゼロ
- ◆ パッケージ：小型6ピンSOT23

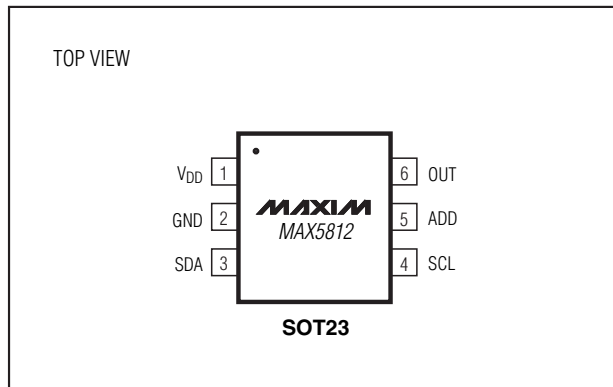
型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
MAX5812LEUT	-40°C to +85°C	6 SOT23	AAYT
MAX5812MEUT	-40°C to +85°C	6 SOT23	AAYV
MAX5812NEUT	-40°C to +85°C	6 SOT23	AAYX
MAX5812PEUT	-40°C to +85°C	6 SOT23	AAYZ

Selector Guide appears at end of data sheet.

Functional Diagram appears at end of data sheet.

ピン配置



12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

ABSOLUTE MAXIMUM RATINGS

V_{DD}, SCL, SDA to GND-0.3V to +6V
 OUT, ADD to GND-0.3V to V_{DD} + 0.3V
 Maximum Current Into Any Pin50mA
 Continuous Power Dissipation (T_A = +70°C)
 6-Pin SOT23 (derate 9.1mW above +70°C).....727mW

Operating Temperature Range-40°C to +85°C
 Maximum Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +5.5V, GND = 0, R_L = 5k Ω , C_L = 200pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{DD} = +5V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY (Note 2)						
Resolution	N		12			Bits
Integral Nonlinearity	INL	(Note 3)		± 2	± 16	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 3)			± 1	LSB
Zero-Code Error	ZCE	Code = 000 hex, V _{DD} = 2.7V		± 6	± 40	mV
Zero-Code Error Tempco				2.3		ppm/°C
Gain Error	GE	Code = FFF hex		-0.8	-3	%FS
Gain-Error Tempco				0.26		ppm/°C
DAC OUTPUT						
Output Voltage Range		No load (Note 4)	0		V _{DD}	V
DC Output Impedance		Code = 800 hex		1.2		Ω
Short-Circuit Current		V _{DD} = 5V, V _{OUT} = full scale (short to GND)		42.2		mA
		V _{DD} = 3V, V _{OUT} = full scale (short to GND)		15.1		
Wake-Up Time		V _{DD} = 5V		8		μ s
		V _{DD} = 3V		8		
DAC Output Leakage Current		Power-down mode = high impedance, V _{DD} = 5.5V, V _{OUT} = V _{DD} or GND		± 0.1	± 1	μ A
DIGITAL INPUTS (SCL, SDA)						
Input High Voltage	V _{IH}		$0.7 \times V_{DD}$			V
Input Low Voltage	V _{IL}				$0.3 \times V_{DD}$	V
Input Hysteresis			$0.05 \times V_{DD}$			V
Input Leakage Current		Digital inputs = 0 or V _{DD}		± 0.1	± 1	μ A
Input Capacitance				6		pF
DIGITAL OUTPUT (SDA)						
Output Logic Low Voltage	V _{OL}	I _{SINK} = 3mA			0.4	V
Three-State Leakage Current	I _L	Digital inputs = 0 or V _{DD}		± 0.1	± 1	μ A
Three-State Output Capacitance				6		pF
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR			0.5		V/ μ s
Voltage-Output Settling Time		To 1/2LSB code 400 hex to C00 hex or C00 hex to 400 hex (Note 5)		4	12	μ s

12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+5.5V$, $GND = 0$, $R_L = 5k\Omega$, $C_L = 200pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +5V$, $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Digital Feedthrough		Code = 000 hex, digital inputs from 0 to V_{DD}		0.2		nV-s
Digital-to-Analog Glitch Impulse		Major carry transition, code = 7FF hex to 800 hex and 800 hex to 7FF hex		12		nV-s
POWER SUPPLIES						
Supply Voltage Range	V_{DD}		2.7		5.5	V
Supply Current with No Load		All digital inputs at 0 or $V_{DD} = 3.6V$		100	170	μA
		All digital inputs at 0 or $V_{DD} = 5.5V$		130	190	
Power-Down Supply Current		All digital inputs at 0 or $V_{DD} = 5.5V$		0.3	1	μA
TIMING CHARACTERISTICS (Figure 1)						
Serial Clock Frequency	f_{SCL}		0		400	kHz
Bus Free Time Between STOP and START Conditions	t_{BUF}		1.3			μs
START Condition Hold Time		$t_{HD, STA}$	0.6			μs
SCL Pulse Width Low	t_{LOW}		1.3			μs
SCL Pulse Width High	t_{HIGH}		0.6			μs
Repeated START Setup Time	$t_{SU, STA}$		0.6			μs
Data Hold Time	$t_{HD, DAT}$		0		0.9	μs
Data Setup Time	$t_{SU, DAT}$		100			ns
SDA and SCL Receiving Rise Time	t_r	(Note 5)	0		300	ns
SDA and SCL Receiving Fall Time	t_f	(Note 5)	0		300	ns
SDA Transmitting Fall Time	t_f	(Note 5)	20 + 0.1 C_b		250	ns
STOP Condition Setup Time	$t_{SU-STOP}$		0.6			μs
Bus Capacitance	C_b	(Note 5)			400	pF
Maximum Duration of Suppressed Pulse Widths	t_{SP}		0		50	ns

Note 1: All devices are 100% production tested at $T_A = +25^\circ C$ and are guaranteed by design for $T_A = T_{MIN}$ to T_{MAX} .

Note 2: Static specifications are tested with the output unloaded.

Note 3: Linearity is guaranteed from codes 115 to 3981.

Note 4: Offset and gain error limit the FSR.

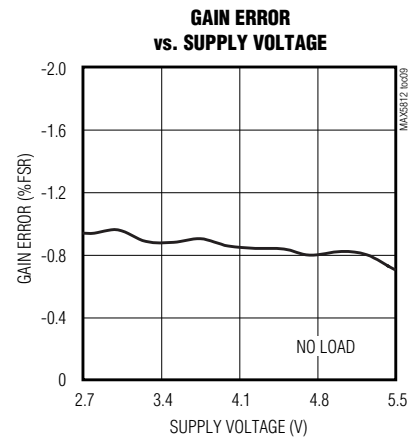
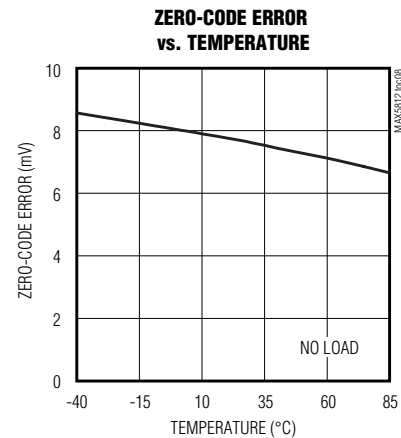
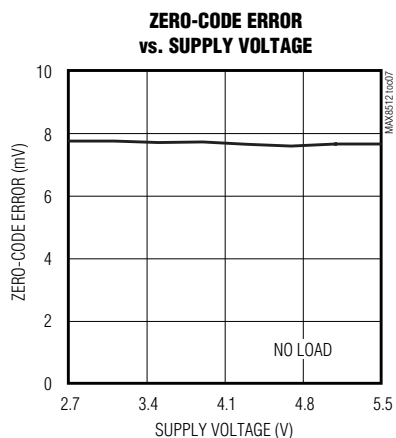
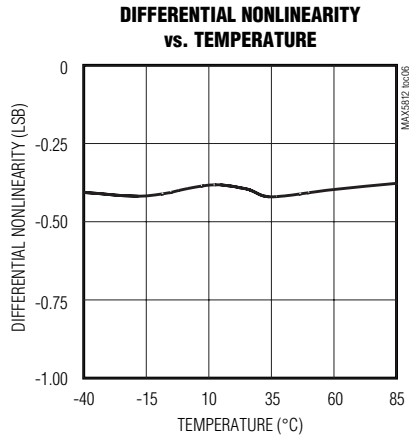
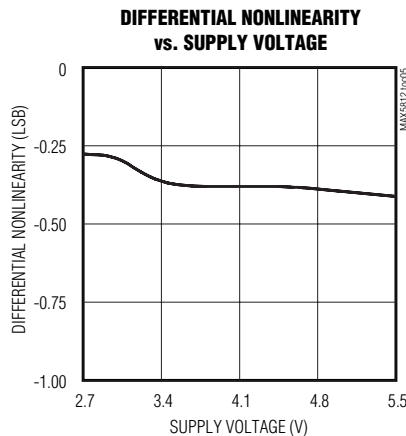
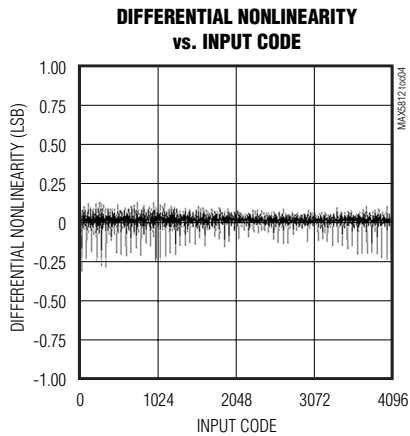
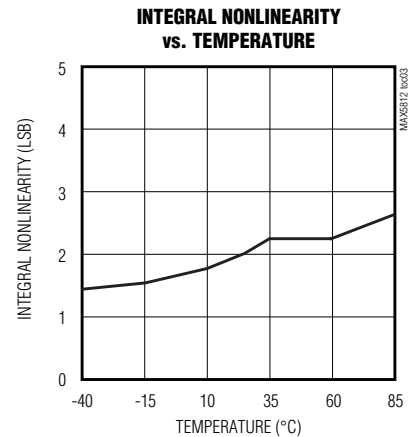
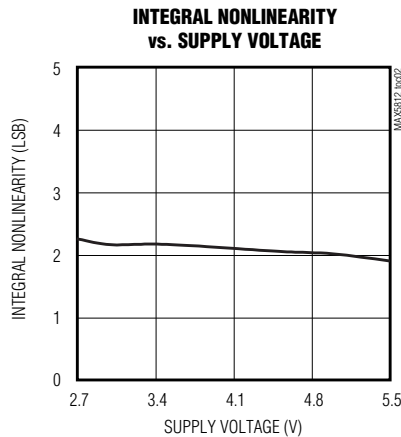
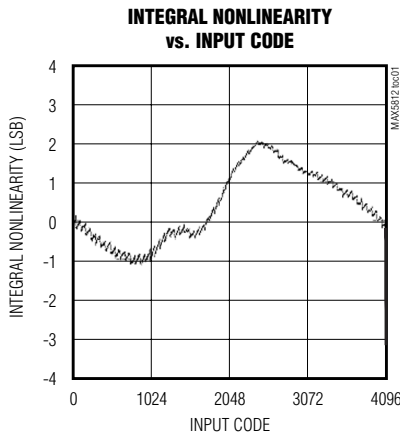
Note 5: Guaranteed by design. Not production tested.

12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

標準動作特性

($V_{DD} = +5V$, $R_L = 5k\Omega$, $T_A = +25^\circ C$.)

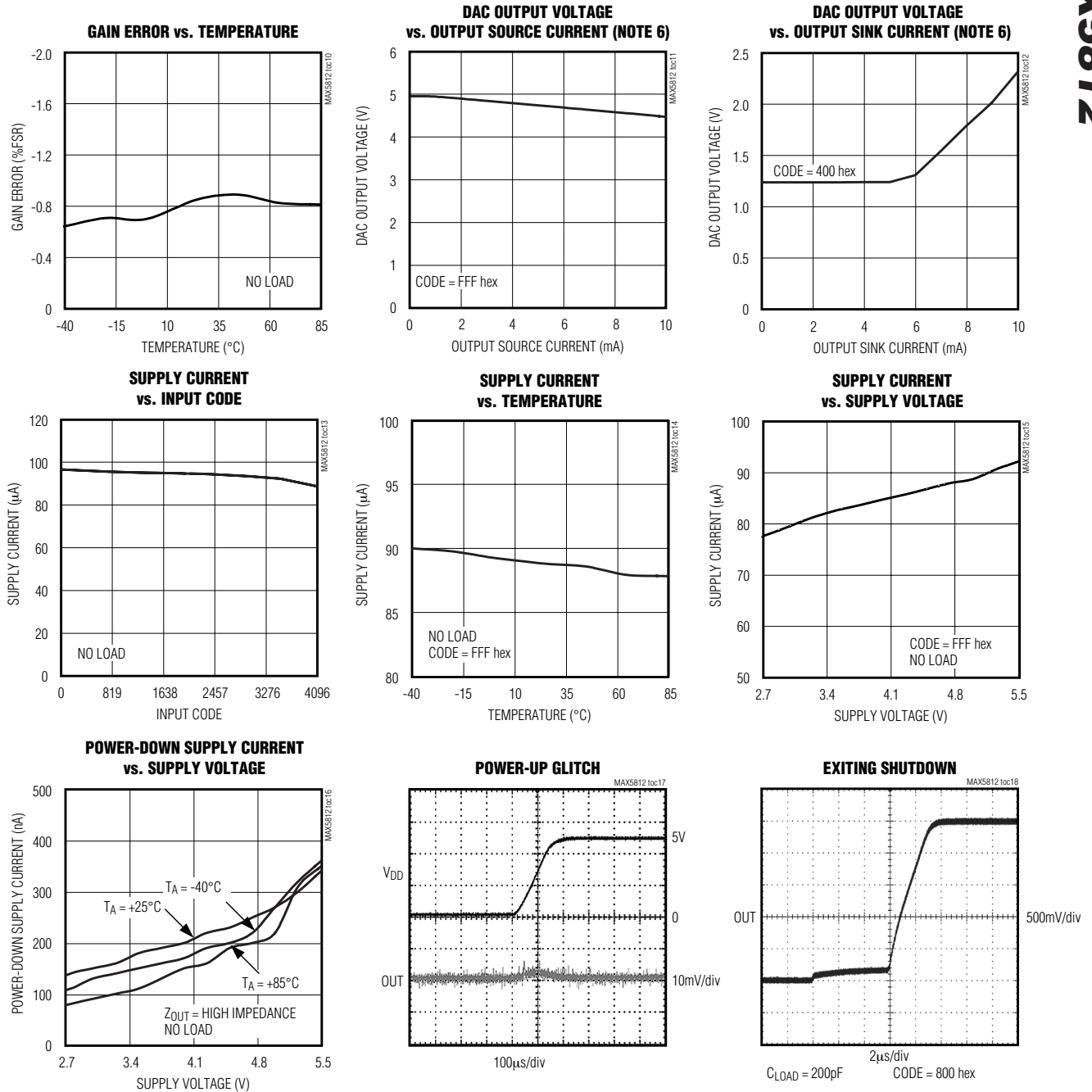


12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $T_A = +25^\circ C$.)



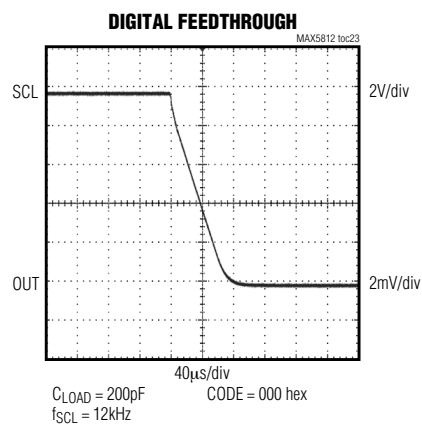
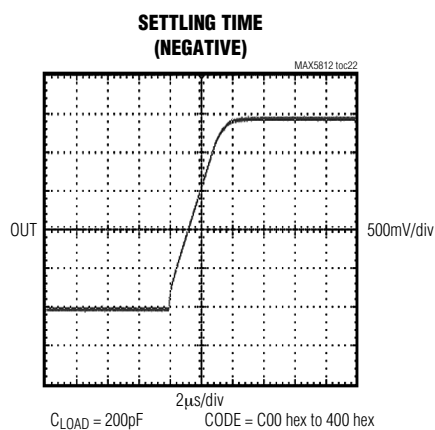
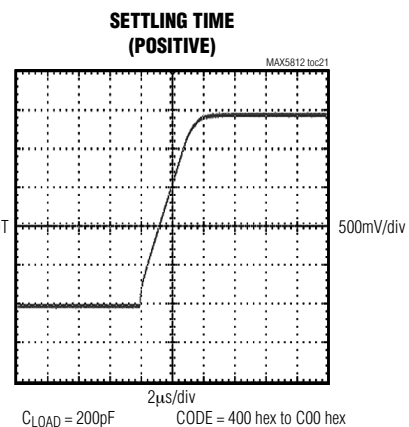
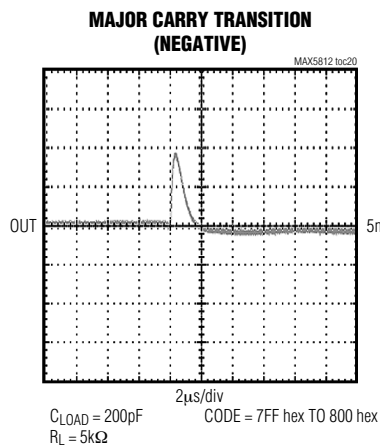
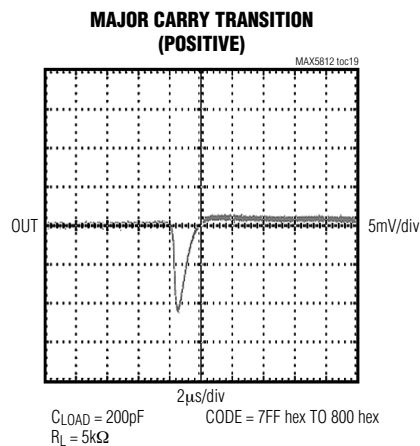
Note 6: The ability to drive loads less than $5k\Omega$ is not implied.

12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $T_A = +25^\circ C$.)



12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

端子説明

端子	名称	機能
1	V _{DD}	電源及びDACリファレンス入力
2	GND	グランド
3	SDA	双方向シリアルデータI/O
4	SCL	シリアルクロックライン
5	ADD	アドレス選択。ロジックハイがアドレスLSBを1に、ロジックローがアドレスLSBを0に設定します。
6	OUT	アナログ出力

詳細

MAX5812はI²C/SMBusコンパチブル2線インタフェース付の12ビット、電圧出力DACです。本デバイスは、シリアルインタフェース、パワーダウン回路、入力及びDACレジスタ、12ビット抵抗ストリングDAC、ユニティ利得出力バッファ、及び出力抵抗ネットワークで構成されています。シリアルインタフェースはアドレス及び制御ビットをデコードし、データを適切な入力又はDACレジスタへ経路します。デバイスの出力を瞬時に更新するようにデータはDACレジスタへ直接書き込みが可能か、又はDAC出力を変えることなく入力レジスタへ書き込むことが可能です。両レジスタはデバイスに電源が投入されている限りデータを保持します。

DAC動作

MAX5812は重み付けされた抵抗ストリングDACアーキテクチャを使い、システム全体の電力を節減し、出力単調性を保証します。MAX5812の入力コードはストレートバイナリで、出力電圧は次式で求められます。

$$V_{OUT} = \frac{V_{REF} \times (D)}{2^N}$$

この場合、N = 12(ビット)、及びD = 入力コード(0~4095)の10進数値です。

出力バッファ

MAX5812アナログ出力はスルーレート0.5V/μsの高精度、ユニティ利得フォロワによってバッファされます。

各バッファ出力はレイルトゥレイルでシングし、200pFと並列の5kΩの駆動が可能です。出力は±0.5LSBへ4μs以内でセトリングします。

パワーオンリセット

MAX5812は起動時にデバイスを初期化する内部パワーオンリセット(POR)回路を装備しています。DACレジスタはゼロスケールに設定され、デバイスは出力バッファをディセーブルし、出力が100kΩ終端抵抗を介してグランドへプルされパワーダウンします。起動に続いて、変換が実行される前にウェイクアップコマンドが開始される必要があります。

パワーダウンモード

MAX5812は、ソフトで制御された3つの低電力、パワーダウンモードを備えています。全ての3つのモードは出力バッファをディセーブルして、DACレジスタストリングをV_{DD}から切断し、消費電流を300nAまで低減します。パワーダウンモード0の時、デバイス出力はハイインピーダンス状態です。パワーダウンモード1の時は、デバイス出力は1kΩ終端抵抗によって内部でグランドへプルされます。パワーダウンモード2では、デバイス出力は内部で100kΩ終端抵抗によってGNDにプルされます。表1にパワーダウンモードのコマンドワードが示されています。

ウェイクアップ時には、DAC出力は以前の値に復元されます。パワーダウンモードの間データは入力及びDACレジスタに保持されます。

表1. パワーダウンコマンドビット

POWER-DOWN COMMAND BITS		MODE/FUNCTION
PD1	PD0	
0	0	Power-up device. DAC output restored to previous value.
0	1	Power-down mode 0. Powers down device with output floating.
1	0	Power-down mode 1. Powers down device with output terminated with 1kΩ to GND.
1	1	Power-down mode 2. Powers down device with output terminated with 100kΩ to GND.

12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

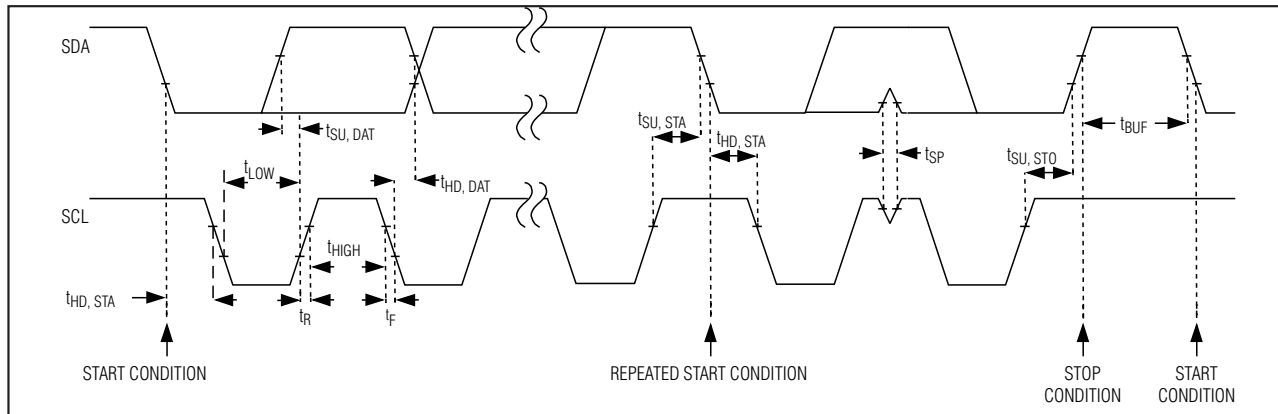


図1. 2線シリアルインタフェースタイミング図

デジタルインタフェース

MAX5812はシリアルデータライン(SDA)及びシリアルクロックライン(SCL)で構成されたI²C/SMBusコンパチブルの2線インタフェースを備えています。MAX5812は $V_{DD}=2.7V\sim 3.6V$ の範囲内でSMBusコンパチブルです。SDA及びSCLはMAX5812とマスタ間の双方向性コミュニケーションを最高400kHzのレートで実現します。図1は2線インタフェースのタイミング図です。MAX5812は送受信スレーブオンのデバイスで、クロック信号の生成はマスタに依存します。マスタ(通常マイクロコントローラ)はバス上のデータ転送を開始して転送を許可するSCLを発生します。

マスタデバイスはコマンド及び/又はデータワードに続いて適切なアドレスを送信することによってMAX5812と通信します。各送信シーケンスはSTART(S)又は反復START(S_r)条件及びSTOP(P)条件によってフレームされます。バスを介して送信される各ワードは8ビット長で必ずアクノレックパルスが後に続きます。

MAX5812 SDA及びSCLドライバはオープンドレイン出力で、ロジックハイ電圧を生成するのにプルアップ抵抗(500Ω以上)を必要とします(「標準動作回路」を参照)。直列抵抗R_Sはオプションです。これらの直列抵抗はバス線上的高電圧スパイクからMAX5812の入力段を保護して、バス信号のクロストーク及びアンダーシュートを最小化します。

ビットトランスファ

1つのデータビットが各SCLクロックサイクル中に伝送されます。SDA上のデータはSCLクロックパルスがハイの期間中安定していなければなりません。SCLがハイの間のSDAの変化は制御信号です(「START及びSTOP条件」を参照)。SDA及びSCLは両方ともI²Cバスが使用中でない時はハイでアイドルします。

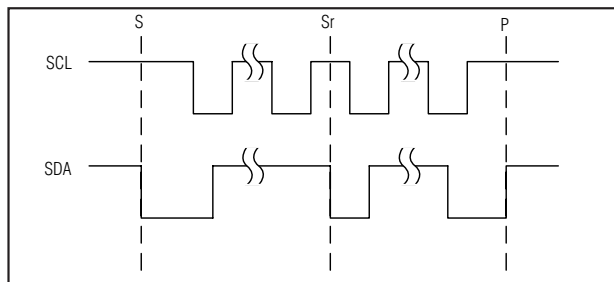


図2. START及びSTOP条件

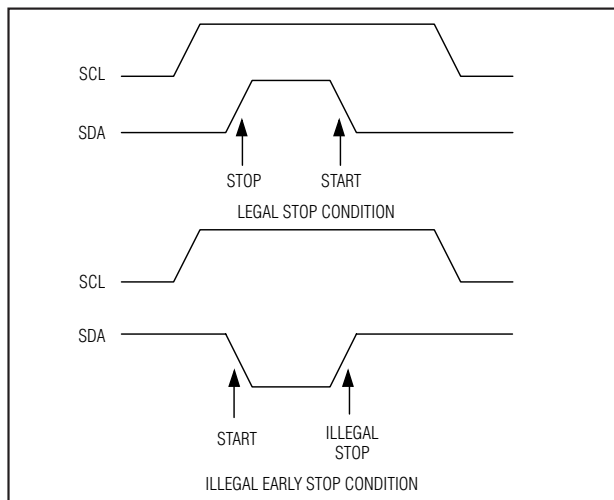


図3. 初期STOP条件

12ビット、低電力、2線、シリアル 電圧出力DAC

START及びSTOP条件

シリアルインタフェースがオフの場合、SDA及びSCLはハイでアイドルします。マスタデバイスはSTART条件を発行することによって通信を開始します。START条件とはSCLがハイの時、SDAのハイからローへの移行のことです。STOP条件とはSCLがハイの時、SDAのローからハイへの移行のことです(図2を参照)。マスタからのSTART条件がMAX5812への伝送開始を報知します。マスタはノットアクノレッジに続いてSTOP条件を発行することにより伝送を中止します(「アクノレッジビット(ACK)」を参照)。STOP条件はバスを解放します。STOP条件の代わりに反復START条件(S_r)が発行された場合、バスは有効状態を保ちます。STOP条件又は間違っただレスが検出された場合、MAX5812はデジタルノイズとフィードスルーを最小限に抑えるため、次のSTART条件までSCLをシリアルインタフェースから内部で切断します。

初期のSTOP条件

MAX5812はSTOP条件がSTART条件と同じ高パルス状態で起きる以外は、伝送中のどの時点においてもSTOP条件を認識しません(図3)。この条件は正しいI²Cの形式ではありません；START及びSTOP条件は少なくともクロックパルス1つによって離されている必要があります。

反復START条件

反復START(S_r)条件はバス上のデータ方向変更を示すことがあります。このような変化はコマンドワードがリード(読み取り)動作を開始する必要がある場合に起きます。又、 S_r は、バスマスタが複数のI²Cデバイスに書き込みをする時、及びバスの制御を放棄したくない時に使われます。MAX5812のシリアルインタフェースは S_r 条件が連続書き込み動作を分離しているかいないかに関わらずそれらをサポートします。連続書き込み動作にはデータフローの方向変化のために S_r 条件が必要となります。

アクノレッジビット(ACK)

アクノレッジビット(ACK)はいかなる8ビットデータワードにも付加される9番目のビットです。ACKは常に受信デバイスによって発生されます。MAX5812は9番目のクロック期間にSDAをローにプルし、アドレス又はデータを受信している時にACKを発生します。データを伝送する時、MAX5812は受信デバイスがACKを発生するのを待ちます。ACKを監視することによってデータ伝送の失敗を検出することができます。データ伝送の不成功は受信デバイスが使用中又はシステムに障害が起きた場合に発生します。データ伝送不成功のイベントが起きた場合、バスマスタは後に通信を再度試みます。

表2. MAX5812 I²Cスレーブアドレス

PART	V _{ADD}	DEVICE ADDRESS (A ₆ ...A ₀)
MAX5812L	GND	0010 000
MAX5812L	V _{DD}	0010 001
MAX5812M	GND	0010 010
MAX5812M	V _{DD}	0010 011
MAX5812N	GND	0110 100
MAX5812N	V _{DD}	0110 101
MAX5812P	GND	1010 100
MAX5812P	V _{DD}	1010 101

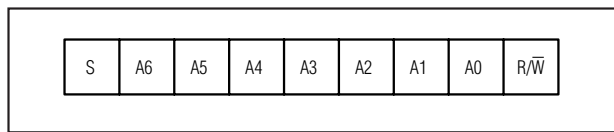


図4. スレーブアドレスバイトの定義

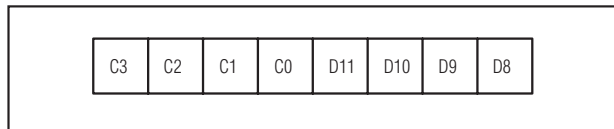


図5. コマンドバイトの定義

スレーブアドレス

バスマスタはSTART条件に続いて7ビットスレーブアドレスを発行することによりスレーブデバイスとの通信を開始します(図4)。アイドル時、MAX5812はスレーブアドレスが後に続くSTART条件を待ちます。

シリアルインタフェースは各アドレス値をビット毎に比較し、正しいアドレスが検出されるとインタフェースをただちにパワーダウンすることを可能にします。アドレスワードのLSBはRead(読み取り)/Write(書き込み)(R/W)ビットです。R/WはマスタがMAX5812から読み取り又は書き込みを実行しているかを表示します(R/W=0は書き込み条件、R/W=1は読み取り条件を選択します)。適切なアドレスを受信すると、その後MAX5812は1クロックサイクル間SDAをローにプルすることでACKを発行します。

MAX5812には8つの出荷時/ユーザ設定アドレスがあります(表2)。アドレスビットA₆からA₁はプリセットで、A₀はADDによって制御されます。ADDをGNDに接続することによりA₀=0、ADDをV_{DD}に接続することによりA₀=1が設定されます。この機能は最高8つのMAX5812が同じバスを共有することを可能にします。

12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

表3. コマンドバイトの定義

SERIAL DATA INPUT							FUNCTION
C3	C2	C1	C0	D11/PD1*	D10/PD0*	D9–D8	
1	1	0	0	DAC DATA	DAC DATA	DAC DATA	Load DAC with a new data from the following data byte and update DAC output simultaneously as soon as data is available from the serial bus. The DAC and input registers are updated with the new data.
1	1	0	1	DAC DATA	DAC DATA	DAC DATA	Load input register with the data from the following data byte. DAC output remains unchanged.
1	1	1	0	DAC DATA	DAC DATA	DAC DATA	Load input register with data from the following data byte. Update DAC output to the previously stored data.
1	1	1	1	X	X	XX	Update DAC output from input register. The device will ignore any new data.
1	0	X	X	X	X	XX	Read data request. Data bits are ignored. The contents of the DAC register are available on the bus.
0	1	X	X	0	0	XX	Powers up device.
0	1	X	X	0	1	XX	Power-down mode 0. Powers down device with output floating.
0	1	X	X	1	0	XX	Power-down mode 1. Powers down device with output terminated with 1kΩ to GND.
0	1	X	X	1	1	XX	Power-down mode 2. Powers down device with output terminated with 100kΩ to GND.

*When C3 = 0 and C2 = 1, data bits D11 and D10 write to the power-down registers (PD1 and PD0).

X = Don't care.

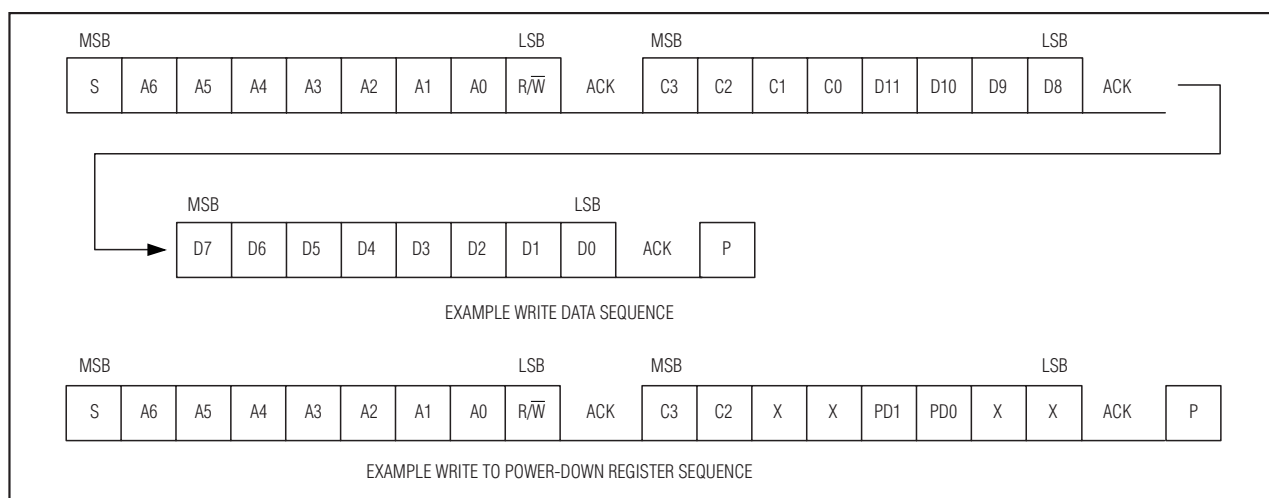


図6. ライト(書き込み)コマンドシーケンスの例

12ビット、低電力、2線、シリアル 電圧出力DAC

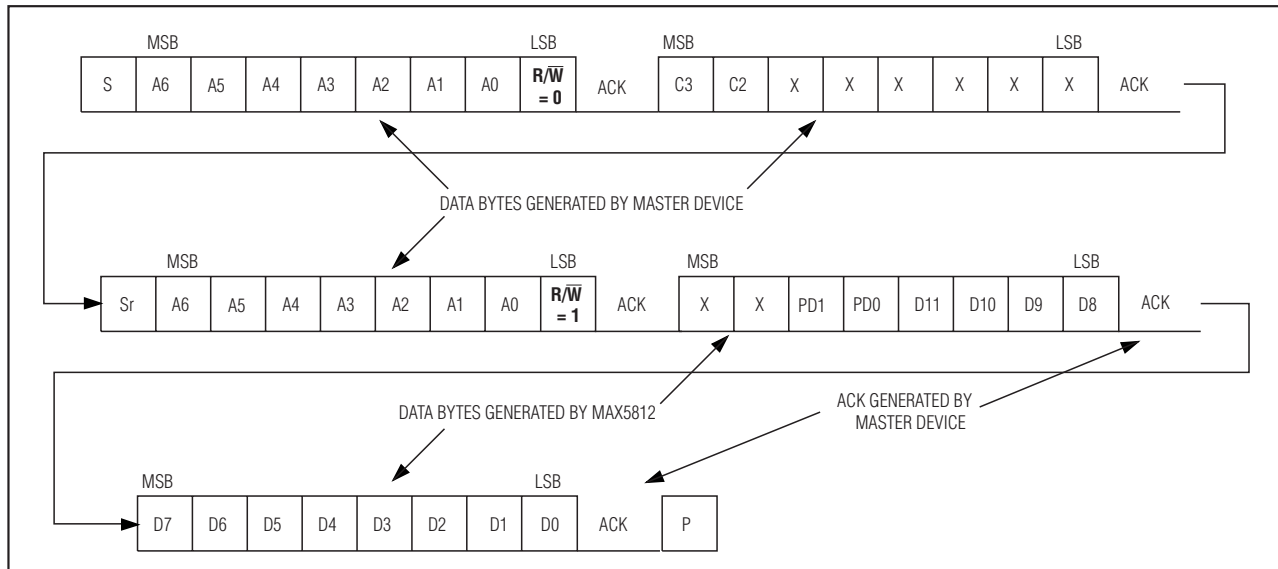


図7. リード(読み取り)ワードデータシーケンスの例

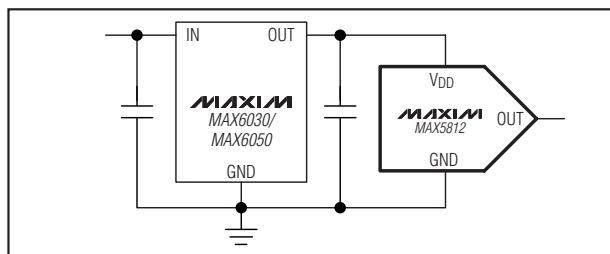


図8. 外部リファレンスからMAX5812を起動

ライト(書き込み)データフォーマット

書き込みモード($R/\bar{W}=0$)では、アドレスバイトに続くデータがMAX5812を制御します(図5)。ビットC3-C0がMAX5812を構成します。ビットD11-D0はDACデータです。入力及びDACレジスタは肯定応答ビット期間にSCLの立下りエッジで更新します。書き込みサイクルが早期に打ち切られた場合、データは更新されず、書き込みサイクルを繰り返す必要があります。図6は書き込みデータシーケンスの2つの例を示しています。

リード(読み取り)データフォーマット

読み取りモード($R/\bar{W}=1$)では、MAX5812はDACレジスタの内容をバスに書き込みます。MAX5812によってアドレスが肯定されるとデータフローの方向が逆転します。デバイスはデータの最初のバイトを伝送し、マスタが肯定するのを待ってから次のバイトを伝送します。図7が読み取りデータシーケンスの例を示しています。

I²C互換性

MAX5812は既存のI²Cシステムと互換性があります。SCL及びSCAはハイインピーダンス入力です；SDAは

9次クロックパルス期間にデータラインをローにプルするオープンドレインを備えています。「標準動作回路」が標準I²Cアプリケーションを示しています。通信プロトコルが標準I²C 8ビット通信をサポートします。一般呼び出しアドレスは無視されます。MAX5812のアドレスは7ビットI²Cアドレスプロトコルのみとコンパチブルです。10ビットアドレス形式はサポートされていません。

デジタルフィードスルーサプレッション

MAX5812がアドレスのミスマッチを検出すると、シリアルインタフェースはSCL信号をコア回路から切断します。これは静出力においてSCL信号によって起きるデジタルフィードスルーを最小限に抑えます。シリアルインタフェースは有効なSTART条件が検出されるとSCL信号を再接続します。

アプリケーション情報

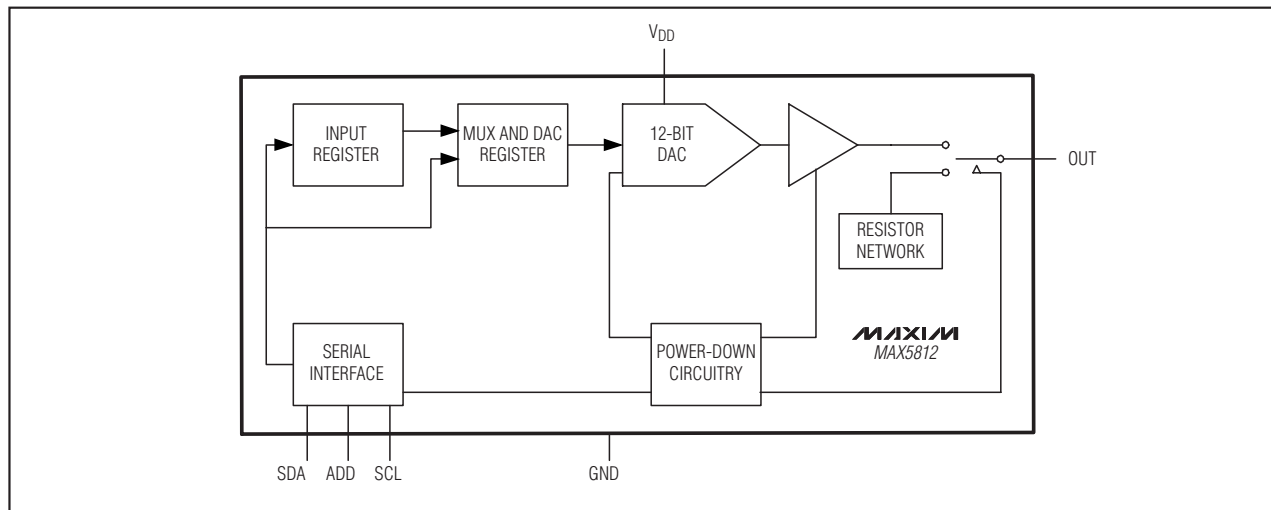
外付けリファレンスからデバイスを起動

MAX5812はV_{DD}をDAC電圧リファレンスとして使います。いかなる電源ノイズもデバイス出力に直接結合されます。図8の回路はデバイスをいかなる電源ノイズからも隔離するように高精度の電圧リファレンスを使ってMAX5812を起動します。MAX5812をこのように起動すると、全体的な性能が向上し、特にノイズシステムが改善されます。MAX6030(3V、75ppm/°C)又はMAX6050(5V、75ppm/°C)の高精度電圧リファレンスはMAX5812の低電力要件に合った理想的な選択肢だと思われる。

12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

ファンクションダイアグラム



デジタル入力及びインタフェースロジック

MAX5812は2線デジタルインタフェースでI²C/SMBusコンパチブルです。2つのデジタル入力(SCL及びSDA)はデジタル入力をDACに逐次的にロードします。シュミットトリガでバッファされた入力はフォトカプラが直接デバイスにインタフェースするような低速遷移のインタフェースを可能にします。デジタル入力はCMOSロジックレベルとコンパチブルです。

電源バイパス及び接地管理

システムの性能を最適にするため慎重なPCBのレイアウトが大切です。アナログとデジタルの信号を

隔離してノイズの介入とデジタルのフィードスルーを低減するようにします。グランドプレーンを使ってGNDから電源グランドへのグランドリターンが短く低インピーダンスであることを確認して下さい。V_{DD}を0.1μFのコンデンサを使い、できる限りデバイスに近接してグランドへバイパスして下さい。

チップ情報

TRANSISTOR COUNT: 7172
PROCESS: BiCMOS

選択ガイド

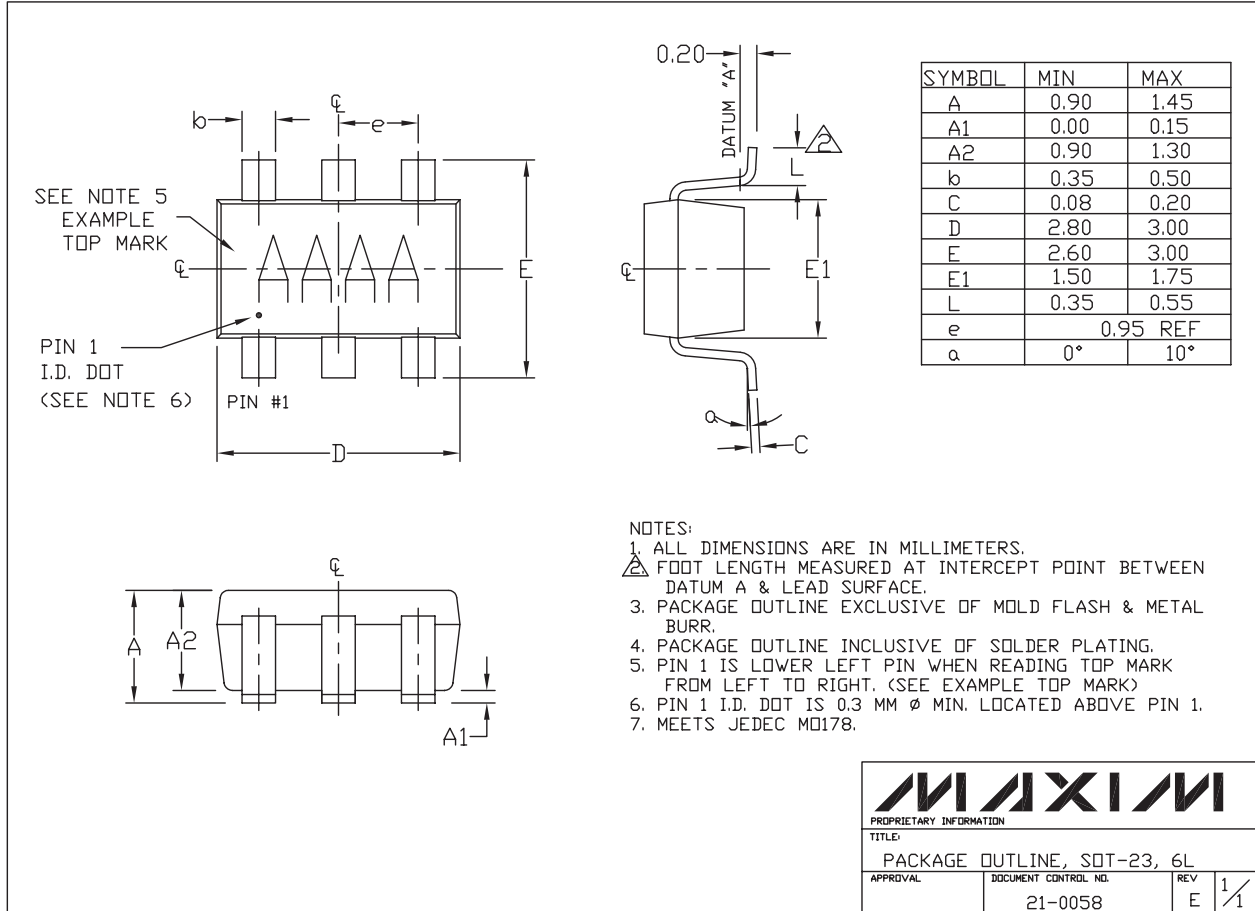
PART	ADDRESS
MAX5812LEUT	0010 00X
MAX5812MEUT	0010 01X
MAX5812NEUT	0110 10X
MAX5812PEUT	1010 10X

12ビット、低電力、2線、シリアル 電圧出力DAC

MAX5812

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 13

© 2002 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.