

10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

概要

MAX5811はクロックレート最高400kHzまで動作するI²Cコンパチブル2線インタフェース付シングル、10ビット電圧出力、D/Aコンバータ(DAC)です。本デバイスは単一電源2.7V~5.5Vで動作し、消費電流はV_{DD}=3.6Vにおいて僅か100μAです。低電力パワーダウンモードにおいては1μA以下まで消費電流を低減します。MAX5811はソフト選択可能な3つのパワーダウン出力インピーダンス(100kΩ、1kΩ、ハイインピーダンス)を備えています。その他に内部高精度レイルトゥレイル出力バッファ、及び100kΩパワーダウンモードでDACを起動するパワーオンリセット(POR)回路も装備しています。

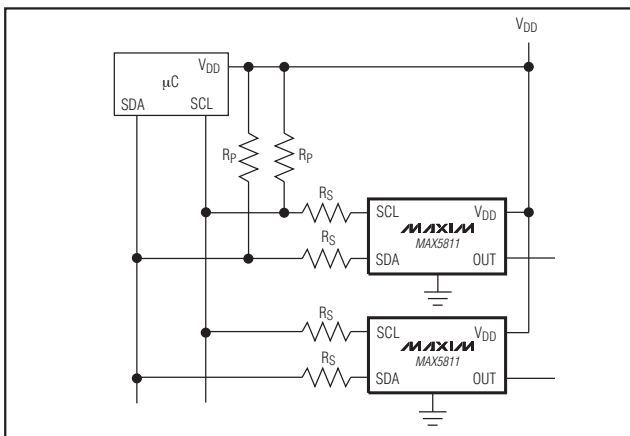
MAX5811は、複数のデバイスが1つのバスを共有できるダブルバッファI²Cコンパチブルのシリアルインタフェースを備えています。全てのロジック入力はCMOSロジックと互換性があり、光結合された、トランス絶縁インタフェースと直接インタフェースが可能にするようにシュミットトリガでバッファされています。MAX5811はアドレスのミスマッチが検出されると、クロック信号(SCL)を残りのデバイスから切断することによって、デジタルノイズのフィードスルーを最小にします。

MAX5811は拡張温度-40℃~+85℃の仕様で、省スペースの6ピンSOT23パッケージで提供されています。12ビットのバージョンに関してはMAX5812データシートを参照して下さい。

アプリケーション

- デジタル利得及びオフセット調整
- プログラマブル電圧及び電流ソース
- プログラマブル・アッテネータ
- VCO/バラクタダイオード制御
- 低コスト計測器
- バッテリー駆動機器

標準動作回路



特長

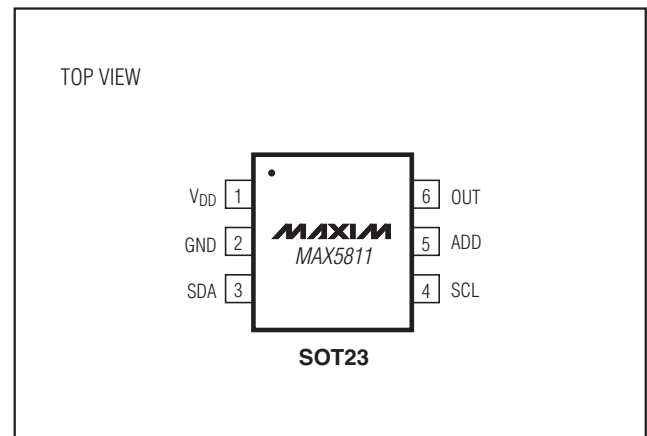
- ◆ 超低消費電流
 - 100μA@V_{DD} = 3.6V
 - 130μA@V_{DD} = 5.5V
- ◆ 低電力パワーダウンモード：300nA
- ◆ 単一電源電圧：2.7V~5.5V
- ◆ 高速400kHz、I²Cコンパチブル2線シリアルインタフェース
- ◆ フォトカプラに直接インタフェース可能なシュミットトリガ入力
- ◆ レイルトゥレイル出力バッファアンプ
- ◆ ソフト選択可能な3つのパワーダウン出力インピーダンス
 - 100kΩ、1kΩ、及びハイインピーダンス
- ◆ バス及びデータ検査用のリードバックモード
- ◆ ゼロ・パワーオンリセット
- ◆ パッケージ：小型6ピンSOT23

型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
MAX5811LEUT-T	-40°C to +85°C	6 SOT23-6	AAYS
MAX5811MEUT-T	-40°C to +85°C	6 SOT23-6	AAYU
MAX5811NEUT-T	-40°C to +85°C	6 SOT23-6	AAYW
MAX5811PEUT-T	-40°C to +85°C	6 SOT23-6	AAYY

ファンクションダイアグラムはデータシートの最後に記載されています。

ピン配置



10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

ABSOLUTE MAXIMUM RATINGS

V_{DD}, SCL, SDA to GND-0.3V to +6V
 OUT, ADD to GND-0.3V to V_{DD} + 0.3V
 Maximum Current into Any Pin.....50mA
 Continuous Power Dissipation (T_A = +70°C)
 6-Pin SOT23 (derate 9.1mW above +70°C).....727mW

Operating Temperature Range-40°C to +85°C
 Maximum Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +5.5V, GND = 0, R_L = 5k Ω , C_L = 200pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{DD} = +5V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY (Note 2)						
Resolution	N		10			Bits
Integral Nonlinearity	INL	(Note 3)		± 0.5	± 4	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 3)			± 0.5	LSB
Zero-Code Error	ZCE	Code = 000 hex, V _{DD} = 2.7V		± 6	± 40	mV
Zero-Code Error Tempco				2.3		ppm/°C
Gain Error	GE	Code = 3FF hex		-0.8	-3	%FS
Gain-Error Tempco				0.26		ppm/°C
DAC OUTPUT						
Output Voltage Range		No load (Note 4)	0		V _{DD}	V
DC Output Impedance		Code = 200 hex		1.2		Ω
Short-Circuit Current		V _{DD} = 5V, V _{OUT} = full scale (short to GND)		42.2		mA
		V _{DD} = 3V, V _{OUT} = full scale (short to GND)		15.1		
Wake-Up Time		V _{DD} = 5V		8		μ s
		V _{DD} = 3V		8		
DAC Output Leakage Current		Power-down mode = high impedance, V _{DD} = 5.5V, V _{OUT} = V _{DD} or GND		± 0.1	± 1	μ A
DIGITAL INPUTS (SCL, SDA)						
Input High Voltage	V _{IH}		0.7 x V _{DD}			V
Input Low Voltage	V _{IL}				0.3 x V _{DD}	V
Input Hysteresis			0.05 x V _{DD}			V
Input Leakage Current		Digital inputs = 0 or V _{DD}		± 0.1	± 1	μ A
Input Capacitance				6		pF
DIGITAL OUTPUT (SDA)						
Output Logic Low Voltage	V _{OL}	I _{SINK} = 3mA			0.4	V
Three-State Leakage Current	I _L	Digital inputs = 0 or V _{DD}		± 0.1	± 1	μ A
Three-State Output Capacitance				6		pF

10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+5.5V$, $GND = 0$, $R_L = 5k\Omega$, $C_L = 200pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +5V$, $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR			0.5		V/ μ s
Voltage-Output Settling Time		To 1/2LSB code 100 hex to 300 hex or 300 hex to 100 hex (Note 5)		4	12	μ s
Digital Feedthrough		Code = 000 hex, digital inputs from 0 to V_{DD}		0.2		nV-s
Digital-to-Analog Glitch Impulse		Major-carry transition (code = 1FF hex to 200 hex and 200 hex to 1FF hex)		12		nV-s
POWER SUPPLIES						
Supply Voltage Range	V_{DD}		2.7		5.5	V
Supply Current with No Load		All digital inputs at 0 or $V_{DD} = 3.6V$		100	170	
		All digital inputs at 0 or $V_{DD} = 5.5V$		130	190	
Power-Down Supply Current		All digital inputs at 0 or $V_{DD} = 5.5V$		0.3	1	μ A
TIMING CHARACTERISTICS (Figure 1)						
Serial Clock Frequency	f_{SCL}		0		400	kHz
Bus-Free Time Between STOP and START Conditions	t_{BUF}		1.3			μ s
START Condition Hold Time	$t_{HD,STA}$		0.6			μ s
SCL Pulse Width Low	t_{LOW}		1.3			μ s
SCL Pulse Width High	t_{HIGH}		0.6			μ s
Repeated START Setup Time	$t_{SU,STA}$		0.6			μ s
Data Hold Time	$t_{HD,DAT}$		0		0.9	μ s
Data Setup Time	$t_{SU,DAT}$		100			ns
SDA and SCL Receiving Rise Time	t_r	(Note 5)	0		300	ns
SDA and SCL Receiving Fall Time	t_f	(Note 5)	0		300	ns
SDA Transmitting Fall Time	t_f	(Note 5)	20 + $0.1C_b$		250	ns
STOP Condition Setup Time	$t_{SU,STO}$		0.6			μ s
Bus Capacitance	C_b	(Note 5)			400	pF
Maximum Duration of Suppressed Pulse Widths	t_{SP}		0		50	ns

Note 1: All devices are 100% production tested at $T_A = +25^\circ C$ and are guaranteed by design for $T_A = T_{MIN}$ to T_{MAX} .

Note 2: Static specifications are tested with the output unloaded.

Note 3: Linearity is guaranteed from codes 29 to 995.

Note 4: Offset and gain error limit the FSR.

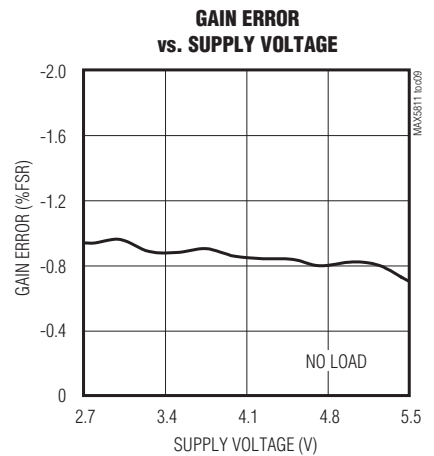
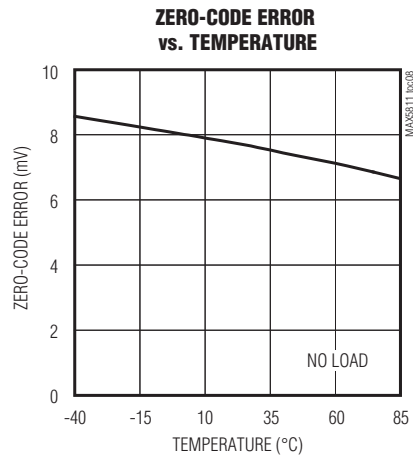
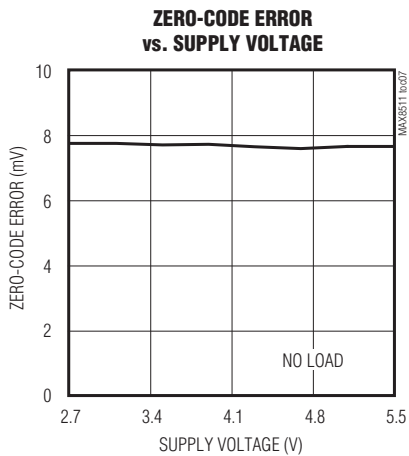
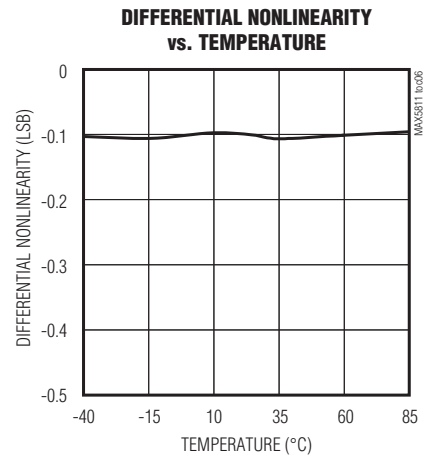
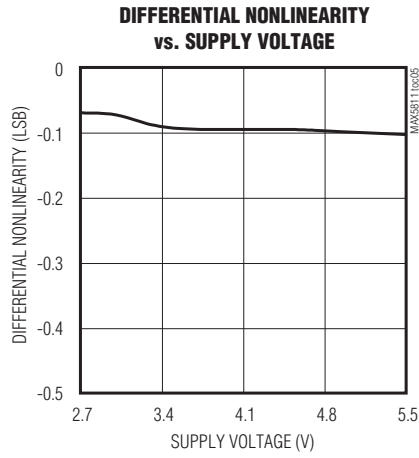
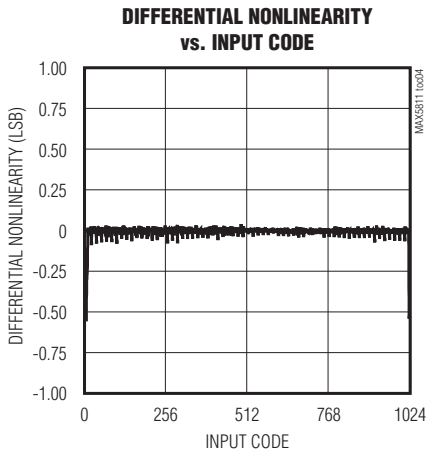
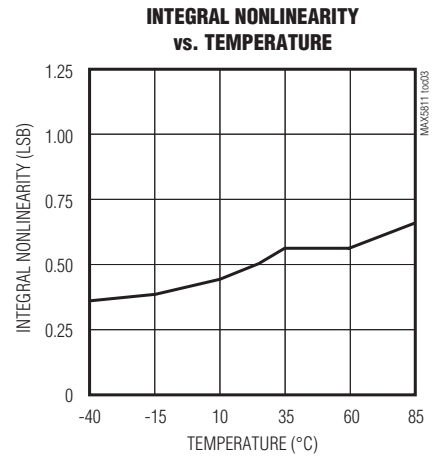
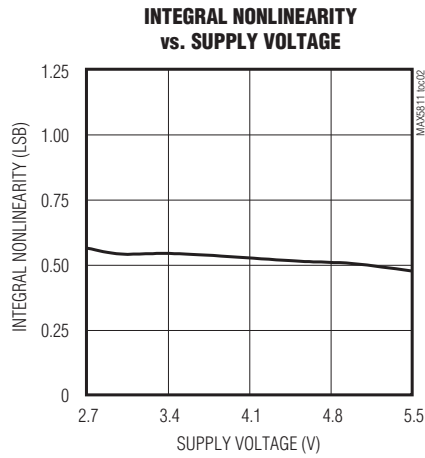
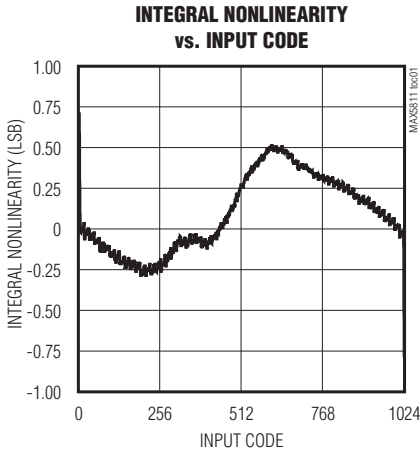
Note 5: Guaranteed by design. Not production tested.

10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

標準動作特性

($V_{DD} = +5V$, $R_L = 5k\Omega$, $T_A = +25^\circ C$.)

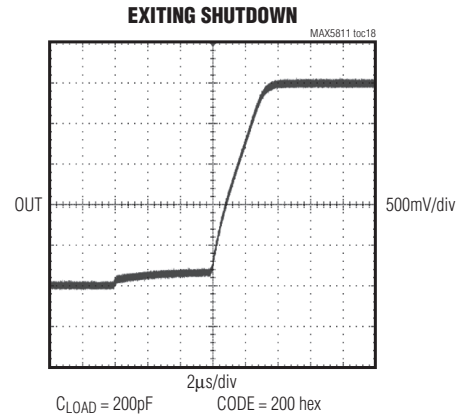
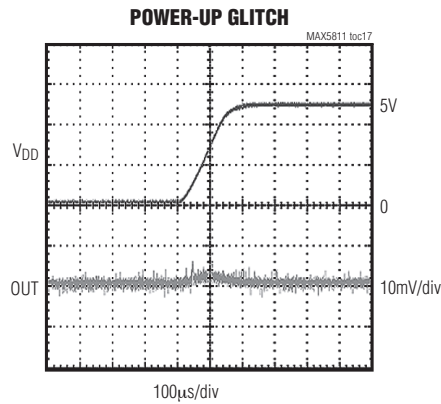
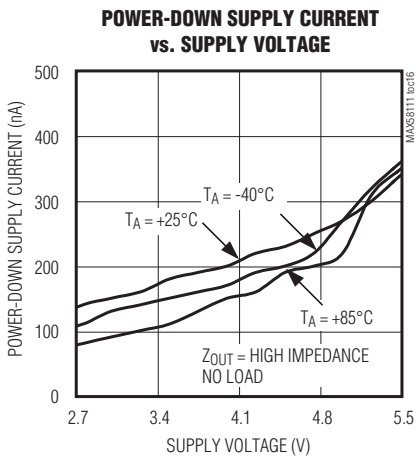
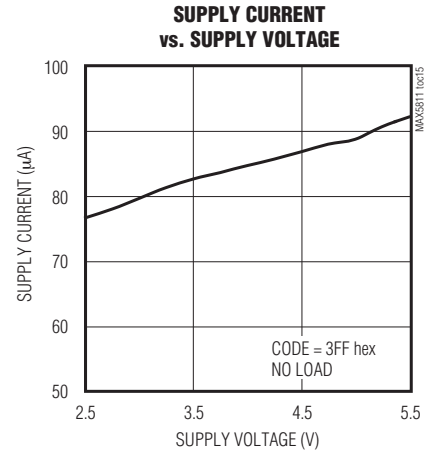
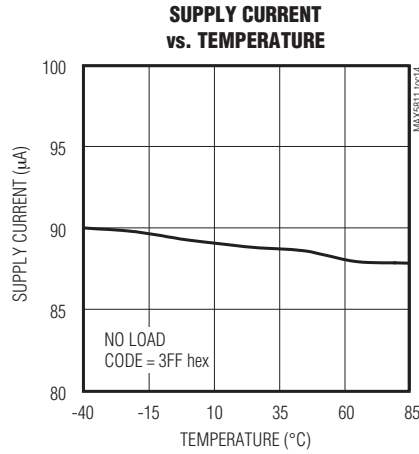
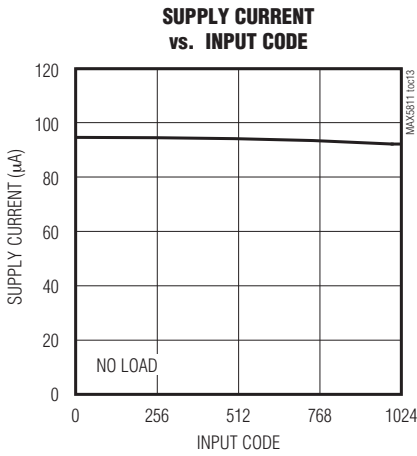
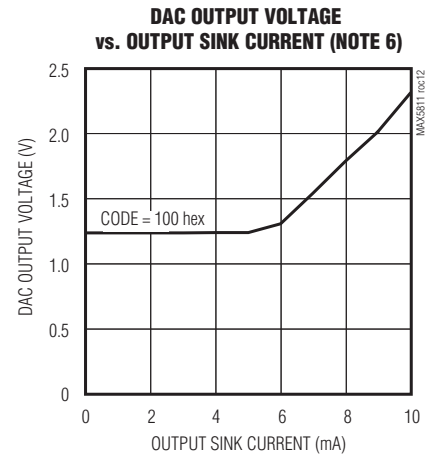
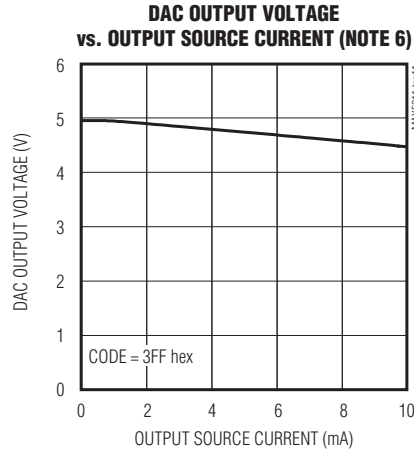
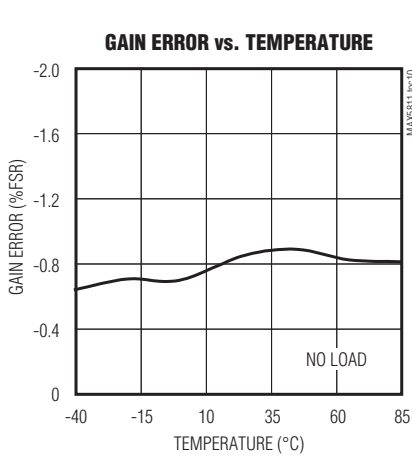


10ビット、低電力、2線インタフェース、シリアル電圧出力DAC

MAX5811

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $T_A = +25^\circ C$.)

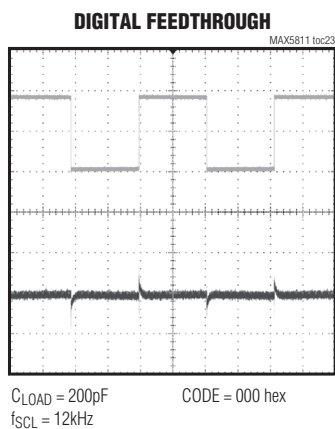
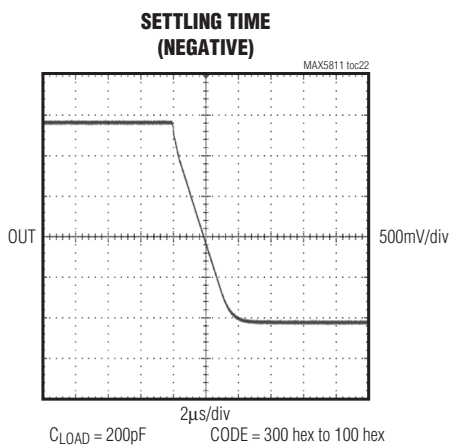
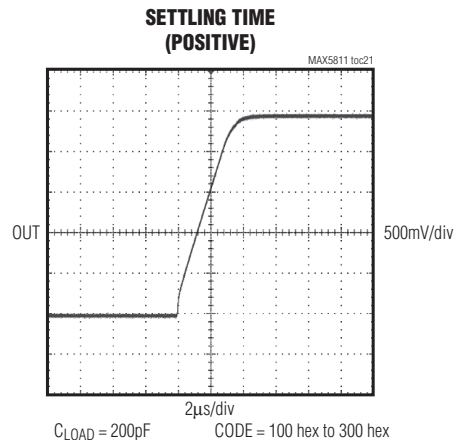
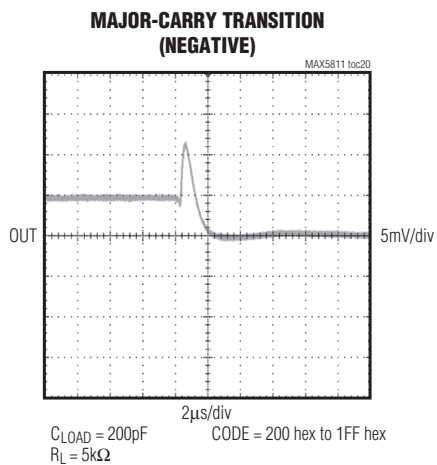
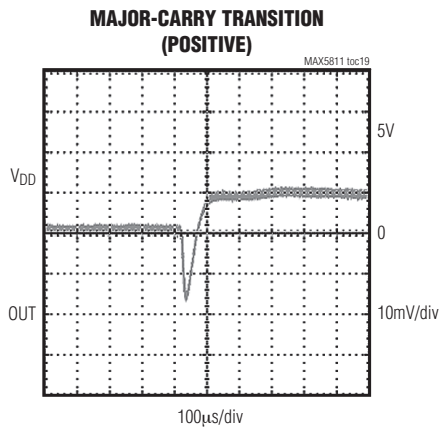


10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $T_A = +25^\circ C$.)



Note 6: The ability to drive loads less than $5k\Omega$ is not implied.

10ビット、低電力、2線インタフェース、シリアル電圧出力DAC

端子説明

端子	名称	機能
1	V _{DD}	電源及びDACリファレンス入力
2	GND	グランド
3	SDA	双方向シリアルデータI/O
4	SCL	シリアルクロックライン
5	ADD	アドレス選択。ロジックハイがアドレスLSBを1に、ロジックローがアドレスLSBを0に設定します。
6	OUT	アナログ出力

詳細

MAX5811はI²C/SMBusコンパチブル2線インタフェース付の10ビット、電圧出力DACです。本デバイスは、シリアルインタフェース、パワーダウン回路、入力及びDACレジスタ、10ビット抵抗ストリングDAC、ユニティゲイン出力バッファ、及び出力抵抗ネットワークで構成されています。シリアルインタフェースはアドレス及び制御ビットをデコードし、データを入力またはDACレジスタへルーティングします。データは、デバイスの出力を瞬時に更新するようにDACレジスタへ直接書き込みが可能、またはDAC出力を変えることなく入力レジスタへ書き込むことが可能です。両レジスタはデバイスに電源が投入されている限りデータを保持します。

DAC動作

MAX5811はセグメント化された抵抗ストリングDACアーキテクチャを使い、システム全体の電力を節減し、出力単調性を保証します。MAX5811の入力コードはストレートバイナリで、出力電圧は次式で求められます。

$$V_{OUT} = \frac{V_{REF} \times (D)}{2^N}$$

この場合、N=10(ビット)、及びD=入力コード(0~1023)の10進数です。

出力バッファ

MAX5811アナログ出力は、スルーレート0.5V/μsの高精度、ユニティ利得フォロワによってバッファされて

います。バッファ出力はレイルトゥレイルでスイングし、200pFと並列の5kΩの駆動が可能です。出力は±0.5LSBへ4μs以内でセトリングします。

パワーオンリセット

MAX5811は起動時にデバイスを初期化する内部POR回路を装備しています。DACレジスタはゼロスケールに設定され、デバイスは、出力バッファをディセーブルし、出力は100kΩ終端抵抗を介してグランドへプルダウンしパワーダウンします。起動に続いて、変換が実行される前にウェイクアップコマンドで開始する必要があります。

パワーダウンモード

MAX5811は、3つのソフト制御、低電力、パワーダウンモードを備えています。3つの全てのモードは出力バッファをディセーブルし、DAC抵抗ストリングをV_{DD}から切断し、消費電流を300nAまで低減します。パワーダウンモード0の時、デバイス出力はハイインピーダンスです。パワーダウンモード1の時は、デバイス出力は1kΩ終端抵抗によって内部でグランドへプルダウンされます。パワーダウンモード2では、デバイス出力は内部で100kΩ終端抵抗によってGNDにプルダウンされます。表1にパワーダウンモードのコマンドワードが示されています。

ウェイクアップ時には、DAC出力は以前の値に復元されます。パワーダウンモードの間データは入力及びDACレジスタに保持されます。

表1. パワーダウンコマンドビット

POWER-DOWN COMMAND BITS		MODE/FUNCTION
PD1	PD0	
0	0	Power-up device. DAC output restored to previous value.
0	1	Power-down mode 0. Power-down device with output floating.
1	0	Power-down mode 1. Power-down device with output terminated with 1kΩ to GND.
1	1	Power-down mode 2. Power-down device with output terminated with 100kΩ to GND.

10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

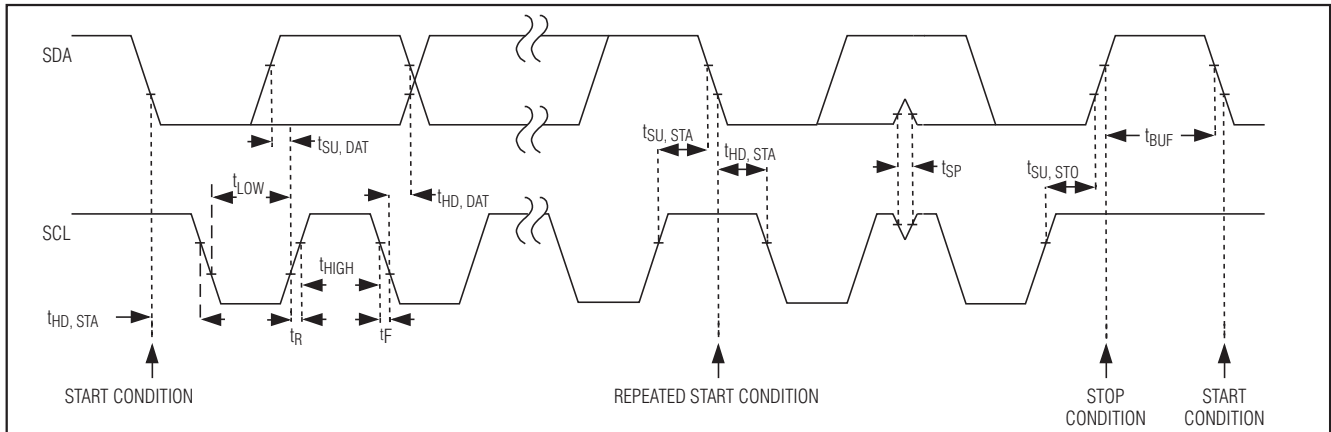


図1. 2線シリアルインターフェースタイミング図

デジタルインタフェース

MAX5811はシリアルデータライン(SDA)及びシリアルクロックライン(SCL)で構成されたI²C/SMBusコンパチブルの2線インタフェースを備えています。MAX5811はV_{DD}=2.7V~3.6Vの範囲内でSMBusコンパチブルです。SDA及びSCLはMAX5811とマスタ間の双方向通信を最高400kHzのレートで実現します。図1は2線インタフェースのタイミングダイアグラムです。MAX5811は、クロック信号の生成はマスタに依存する送受信スレーブオンのデバイスです。マスタ(通常マイクロコントローラ)はバス上のデータ転送を開始して転送を可能にするSCLを発生します。

マスタデバイスはコマンド及び、またはデータワードの前に適切なアドレスを送信することによってMAX5812と通信します。各送信シーケンスは、START(S)またはREPEATED START(Sr)条件及びSTOP(P)条件によってフレーム化されます。バスを介して送信される各ワードは8ビット長で必ずアクノレックパルスが後に続きます。

MAX5811のSDA及びSCLドライバはオープンドレイン出力で、ロジックハイ電圧を生成するのにプルアップ抵抗(500Ωまたはそれ以上)を必要とします(「標準動作回路」を参照)。直列抵抗R_Sはオプションです。これらの直列抵抗はバスライン上の高圧スパイクからMAX5811の入力段を保護して、バス信号のクロストーク及びアンダーシュートを最小にします。

ビットトランスファ

1つのデータビットが各SCLクロックサイクル中に伝送されます。SDA上のデータはSCLクロックパルスがハイ

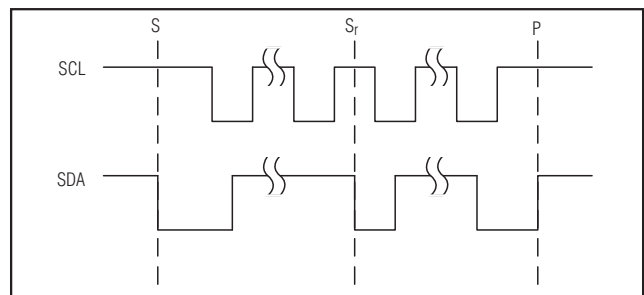


図2. START及びSTOP条件

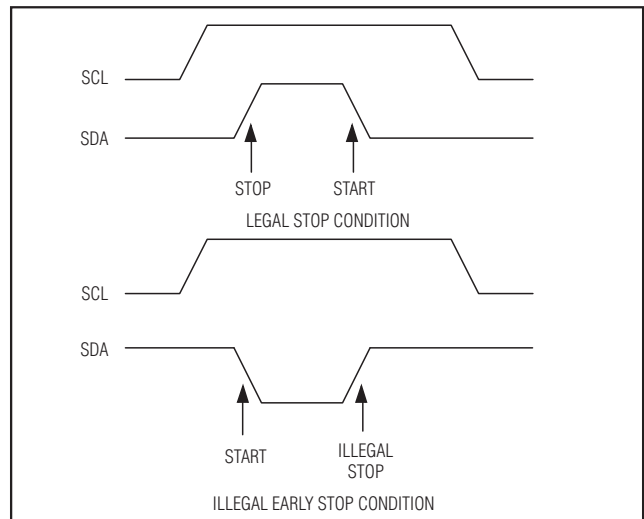


図3. 初期STOP条件

の期間中安定していなければなりません。SCLがハイの間のSDAの変化は制御信号です(「START及びSTOP条件」を参照)。SDA及びSCLは両方ともI²Cバスが使用中でない時はハイでアイドルします。

10ビット、低電力、2線インタフェース、シリアル電圧出力DAC

START及びSTOP条件

シリアルインタフェースが非活動状態の場合、SDA及びSCLはハイでアイドルします。マスタデバイスはSTART条件を発行することによって通信を開始します。START条件はSCLがハイの時、SDAのハイからローへの遷移です。STOP条件は、SCLがハイの時、SDAのローからハイへの遷移です(図2)。マスタからのSTART条件がMAX5811へ伝送開始を知らせます。マスタはノートアクノレッジに続いてSTOP条件を発行することにより伝送を中止します(「アクノレッジビット(ACK)」を参照)。STOP条件によりバスを解放します。STOP条件の代わりに繰り返しSTART条件(Sr)が発行された場合、バスはアクティブのままです。STOP条件または間違っただレスが検出された場合、MAX5811はデジタルノイズとフィードスルーを最小にするため、次のSTART条件までSCLをシリアルインタフェースから内部で切断します。

初期のSTOP条件

MAX5811は、STOP条件がSTART条件と同一のハイパルス状態で起きる以外は、伝送中のどの時点においてもSTOP条件を認識しません(図3)。この条件は正当なI²Cフォーマットではありません。START及びSTOP条件は少なくとも1クロックパルス離れている必要があります。

繰り返しSTART条件

REPEATEDSTART(Sr)条件はバス上のデータの方向変更を示すことがあります。このような変化はコマンドワードがリード(読み取り)動作を開始する必要がある場合に起きます。また、Srは、バスマスタが複数のI²Cデバイスに書き込みをする時、及びバスの制御を放棄したくない時に使われます。MAX5811のシリアルインタフェースは、Sr条件が連続書き込み動作を区別するかしないかに関わらずそれらをサポートします。連続読み込み動作にはデータフローの方向変化のためにSr条件が必要となります。

アクノレッジビット(ACK)

アクノレッジビット(ACK)はどの8ビットデータワードにも付加される9番目のビットです。ACKは常に受信デバイスによって生成されます。MAX5811はアドレスまたはデータを受信している時に、9番目のクロック期間にSDAをローに引き込みACKを発生します。データを送信する時は、MAX5811は受信デバイスがACKを発生するのを待ちます。ACKを監視することによってデータ伝送の失敗を検出することができます。データ伝送の失敗は、受信デバイスがビジーまたはシステム

表2. MAX5811 I²Cスレーブアドレス

PART	V _{ADD}	DEVICE ADDRESS (A ₆ ...A ₀)
MAX5811L	GND	0010 000
MAX5811L	V _{DD}	0010 001
MAX5811M	GND	0010 010
MAX5811M	V _{DD}	0010 011
MAX5811N	GND	0110 100
MAX5811N	V _{DD}	0110 101
MAX5811P	GND	1010 100
MAX5811P	V _{DD}	1010 101

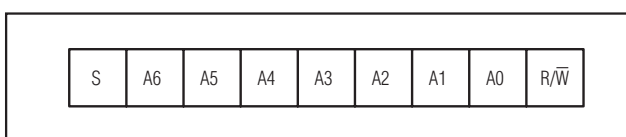


図4. スレーブアドレスバイトの定義

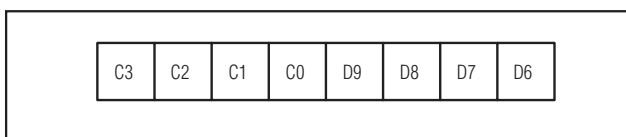


図5. コマンドバイトの定義

に障害が起きた場合に起こります。データ伝送失敗のイベントが起きた場合、バスマスタは後に通信を再度試みます。

スレーブアドレス

バスマスタは、START条件に続いて7ビットスレーブアドレスを発行することによりスレーブデバイスとの通信を開始します(図4)。アイドル時、MAX5811はスレーブアドレスが後に続くSTART条件を待ちます。

シリアルインタフェースは各アドレス値をビット毎に比較し、間違っただレスが検出されるとインタフェースをただちにパワーダウンすることを可能にします。アドレスワードのLSBはRead/Write (R/W)ビットです。R/WはマスタがMAX5812に書き込みかまたは読み取りを実行しているかを表示します(R/W=0は書き込み条件、R/W=1は読み取り条件を選択します)。適切なアドレスを受信すると、その後MAX5811は1クロックサイクル間SDAをローにプルダウンしACKを発行します。

MAX5811には8つの出荷時/ユーザ設定アドレスがあります(表2)。アドレスビットA6からA1はプリセットで、A0はADDによって制御されます。ADDをGNDに接続することによりA0=0、ADDをV_{DD}に接続することに

10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

表3. コマンドバイトの定義

SERIAL DATA INPUT							FUNCTION
C3	C2	C1	C0	D9/PD1*	D8/PD0*	D7-D6	
1	1	0	0	DAC DATA	DAC DATA	DAC DATA	Load DAC with new data from the following data byte and update DAC output simultaneously as soon as data is available from the serial bus. The DAC and input registers are updated with the new data.
1	1	0	1	DAC DATA	DAC DATA	DAC DATA	Load input register with data from the following data byte. DAC output remains unchanged.
1	1	1	0	DAC DATA	DAC DATA	DAC DATA	Load input register with data from the following data byte. Update DAC output to the previously stored data.
1	1	1	1	X	X	XX	Update DAC output from input register. The device ignores any new data.
1	0	X	X	X	X	XX	Read data request. Data bits are ignored. The contents of the DAC register are available on the bus.
0	1	X	X	0	0	XX	Power up the device.
0	1	X	X	0	1	XX	Power-down mode 0. Power down device with output floating.
0	1	X	X	1	0	XX	Power-down mode 1. Power down device with output terminated with 1kΩ to GND.
0	1	X	X	1	1	XX	Power-down mode 2. Power down device with output terminated with 100kΩ to GND.

*C3 = 0およびC2 = 1のとき、データビットD9とD8はパワーダウンレジスタ(PD1およびPD0)に書き込みます。
X = 任意

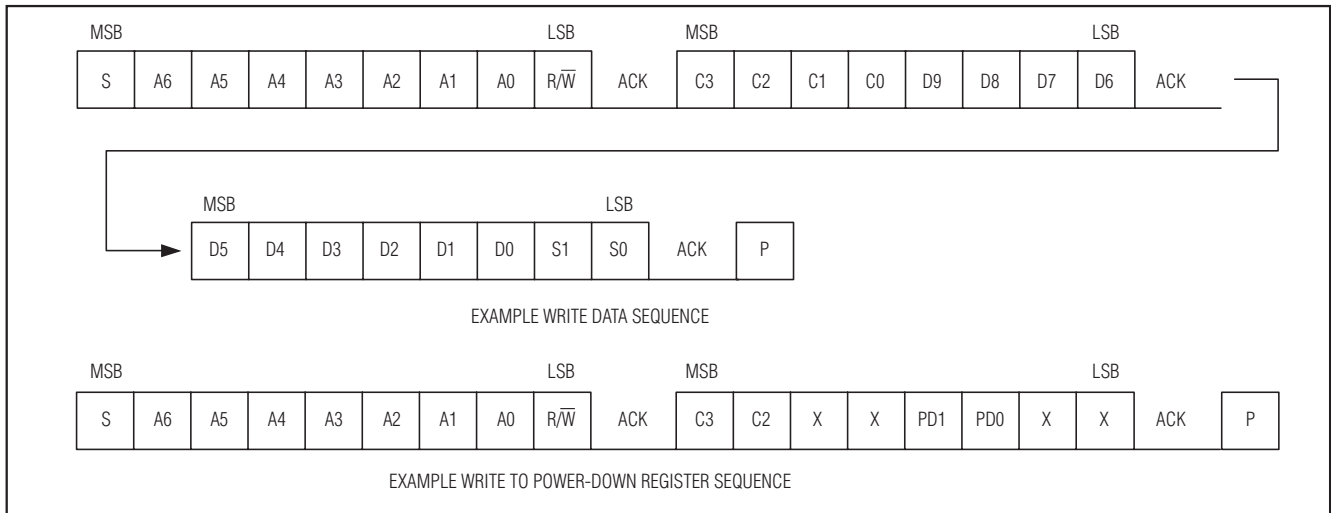


図6. ライト(書き込み)コマンドシーケンスの例

よりA0=1が設定されます。この機能により最高8つのMAX5811が同じバスを共有できます。

ライト(書き込み)データフォーマット

書き込みモード(R/W=0)では、アドレスバイトに続くデータがMAX5811を制御します(図5)。ビットC3-C0がMAX5811を設定します(表3)。ビットD9-D0はDAC

データです。ビットS1とS0は、サブビットで常に0です。入力及びDACレジスタは、アックノレッジビット期間のSCLの立下りエッジで更新します。書き込みサイクルが早期に打ち切られた場合、データは更新されず、書き込みサイクルを繰り返す必要があります。図6は書き込みデータシーケンスの2つの例を示しています。

10ビット、低電力、2線インタフェース、シリアル電圧出力DAC

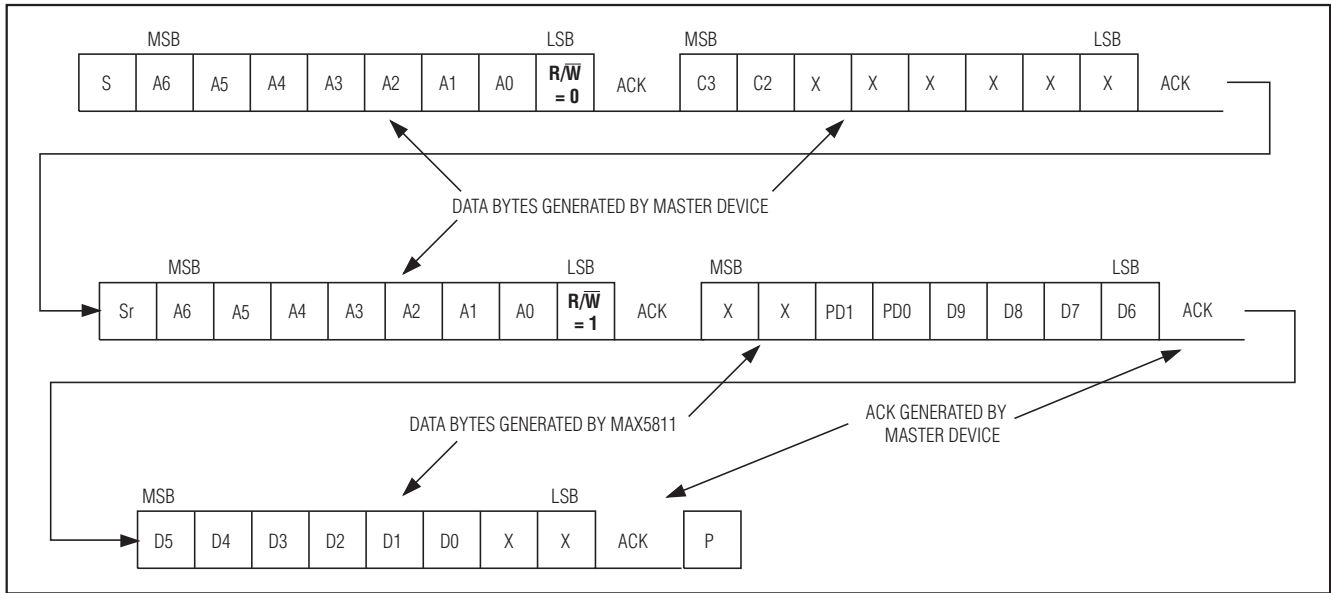


図7. リード(読み取り)ワードデータシーケンスの例

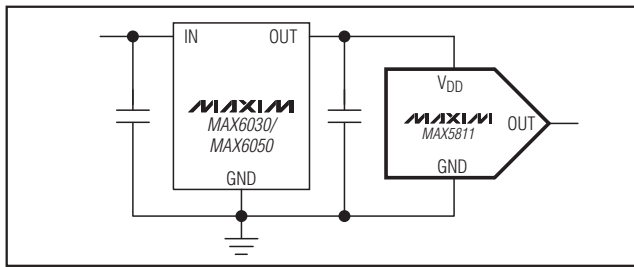


図8. 外部リファレンスからMAX5811に電源供給

リード(読み取り)データフォーマット

読み取りモード($R/\bar{W}=1$)では、MAX5811はDACレジスタの内容をバスに書き込みます。データフローの方向は、MAX5811によりアドレスアクノレッジ後、反転します。デバイスはデータの最初のバイトを伝送し、マスタがアクノレッジするのを待ってから次のバイトを送信します。図7に読み取りデータシーケンスの例を示します。

I²C互換性

MAX5811は既存のI²Cシステムと互換性があります。SCL及びSDAはハイインピーダンス入力です。SDAは9番目のクロックパルス期間にデータラインをローにプルダウンするオープンドレインを備えています。「標準動作回路」に標準的なI²Cのアプリケーションを示します。通信プロトコルが標準的なI²Cの8ビット通信をサポートします。一般呼び出しアドレスは無視されます。MAX5811のアドレスは7ビットI²Cアドレスプロトコルのみコンパチブルです。10ビットアドレス形式はサポートされていません。

デジタルフィードスルーサプレッション

MAX5811がアドレスのミスマッチを検出すると、シリアルインタフェースはSCL信号をコア回路から切断します。これは静出力に、SCL信号によって起きるデジタルフィードスルーを最小限に抑えます。シリアルインタフェースが有効なSTART条件を検出するとSCL信号を再接続します。

アプリケーション情報

外部リファレンスからデバイスに電源供給

MAX5811はV_{DD}をDAC電圧リファレンスとして使います。いかなる電源ノイズもデバイス出力に直接結合します。図8の回路は、デバイスをいかなる電源ノイズからも分離するように高精度の電圧リファレンスを使ってMAX5811に電源を供給します。このようにMAX5811に電源を供給すると、特にノイズの多いシステムでは全体的な性能が改善します。MAX6030(3V、75ppm/°C)またはMAX6050(5V、75ppm/°C)の高精度電圧リファレンスはMAX5811の低電力条件に合った理想的な選択肢です。

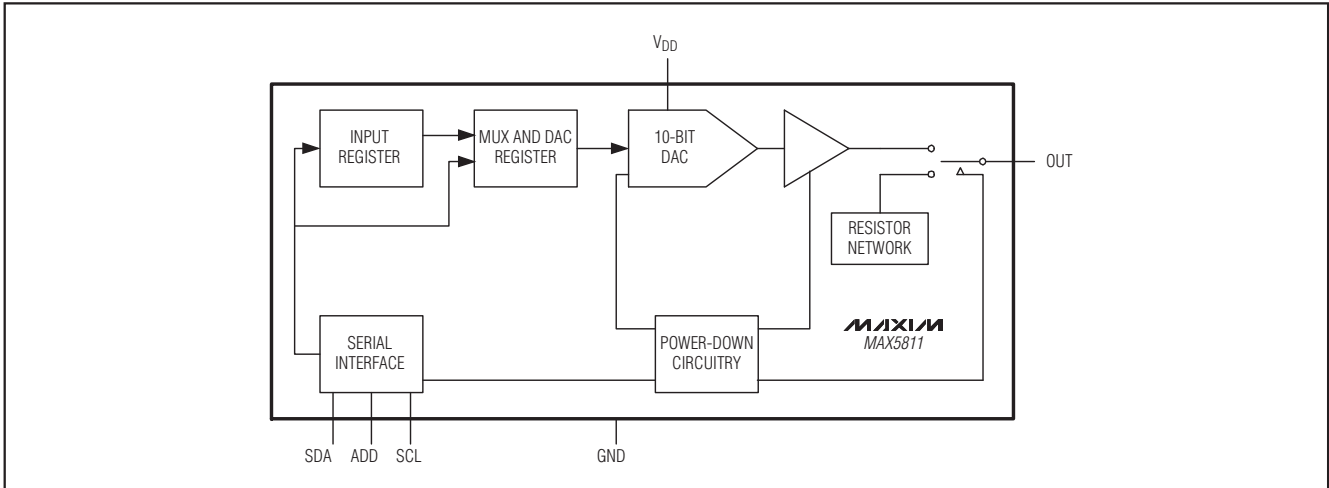
デジタル入力及びインタフェースロジック

MAX5811の2線デジタルインタフェースは、I²CとSMBusにコンパチブルです。2つのデジタル入力(SCL及びSDA)はデジタル入力をDACにシリアルにロードします。シュミットトリガでバッファされた入力は、フォトカプラなどの低速遷移インタフェースがデバイスと直接インタフェースすることを可能にします。

10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

ファンクションダイアグラム



デジタル入力はCMOSロジックレベルとコンパチブルです。

電源バイパス及びグランド処理

最適なシステム性能のためには、慎重なPCボードのレイアウトが大切です。アナログとデジタルの信号を分離してノイズの介入とデジタルのフィードスルーを低減するようにします。GNDから電源グランドへのグランドリターンが、短くかつ低インピーダンスになるように、グランドプレーンを使用して下さい。V_{DD}は0.1μFコンデンサで、できる限りデバイスに近いところで、グランドへバイパスして下さい。

選択ガイド

PART	ADDRESS
MAX5811LEUT	0010 00X
MAX5811MEUT	0010 01X
MAX5811NEUT	0110 10X
MAX5811PEUT	1010 10X

チップ情報

TRANSISTOR COUNT: 7172

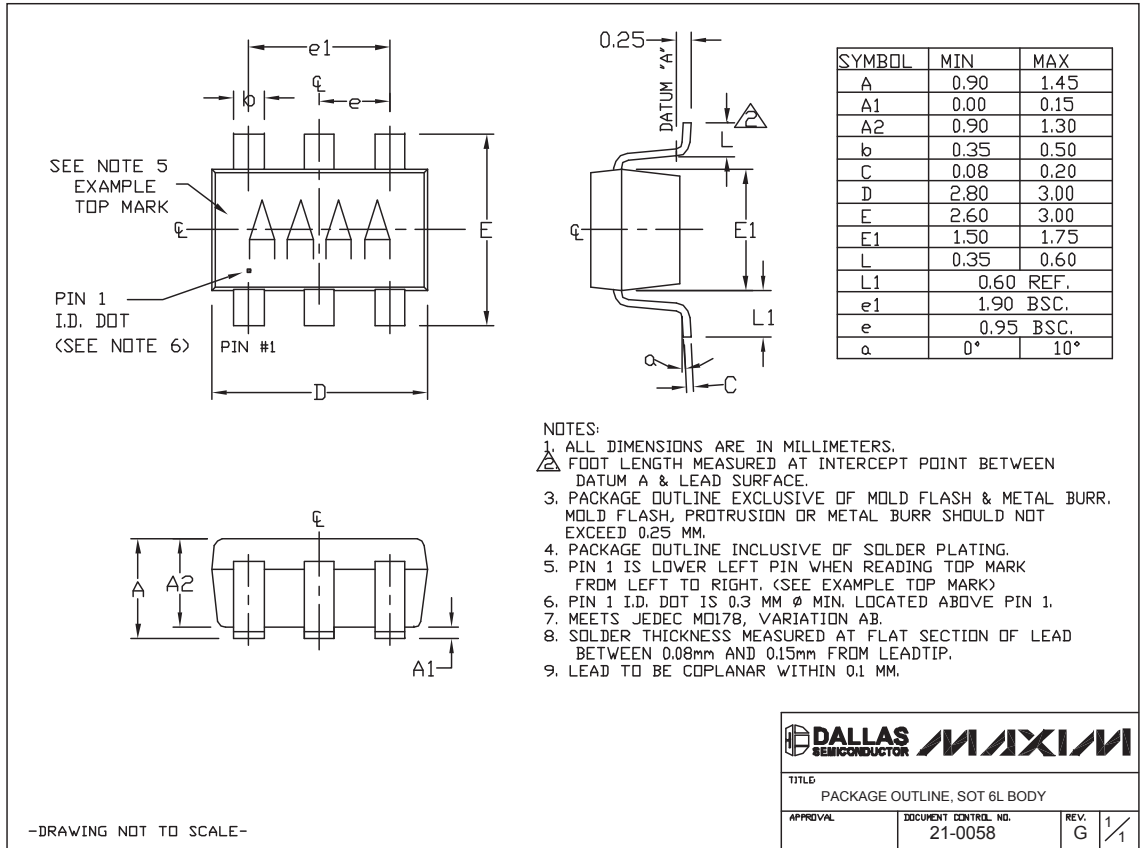
PROCESS: BiCMOS

10ビット、低電力、2線インタフェース、 シリアル電圧出力DAC

MAX5811

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 13