

低価格、+5V、シリアル入力、 電圧出力14ビットDAC

概要

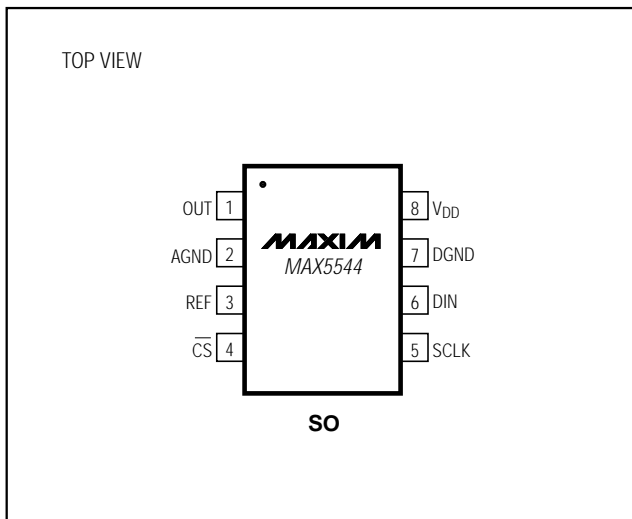
MAX5544は、+5V単一電源で動作するシリアル入力、電圧出力の14ビット単調デジタルアナログコンバータ(DAC)です。DAC出力はバッファされていないため、消費電流が0.3mAと低く、オフセットエラーが1LSBと低くなっています。DACの出力範囲は0V~V_{REF}です。DACラッチは16ビットシリアルワードを受け付けます。電源が最初に投入された時、パワーオンリセット回路がDAC出力を0V(ユニポーラモード)にクリアします。

10MHz 3線シリアルインタフェースはSPI™/QSPI™/MICROWIRE™コンパチブルで、絶縁を必要とするアプリケーション用に、フォトカプラと直接インタフェースします。MAX5544は8ピンSOPパッケージで提供されています。

アプリケーション

- 高分解能オフセット及び利得調整
- 工業用プロセス制御
- 自動試験機器
- データ収集機器

ピン配置



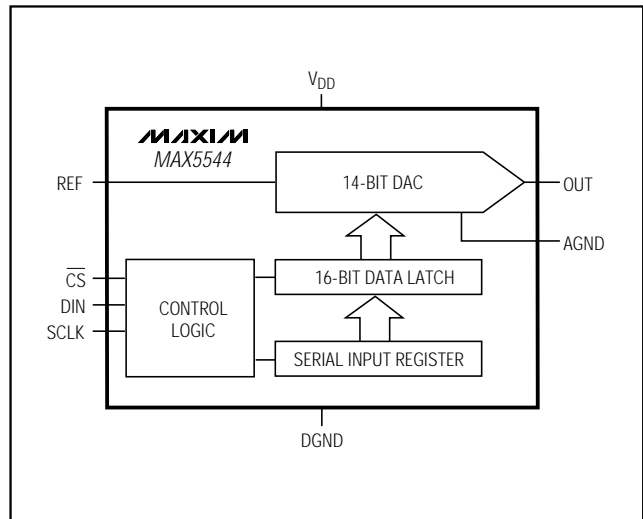
特長

- ◆ 調整なしで完全14ビット性能
- ◆ 単一電源動作：+5V
- ◆ 低電力：1.5mW
- ◆ セトリング時間：1μs
- ◆ 無バッファ電圧出力が直接60k 負荷を駆動
- ◆ シリアルインタフェース：
SPI/QSPI/MICROWIREとコンパチブル
- ◆ パワーオンリセット回路がDAC出力を0Vにクリア
(ユニポーラモード)
- ◆ フォトカプラとの直接インタフェース用の
シュミットトリガ入力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX5544CSA	0°C to +70°C	8 SO
MAX5544ESA	-40°C to +85°C	8 SO

ファンクションダイアグラム



SPI及びQSPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

低価格、+5V、シリアル入力、 電圧出力14ビットDAC

MAX5544

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND.....	-0.3V to +6V
CS, SCLK, DIN to DGND.....	-0.3V to +6V
REF to AGND.....	-0.3V to (V _{DD} +0.3V)
AGND to DGND.....	-0.3V to +0.3V
OUT to AGND, DGND.....	-0.3V to V _{DD}
Maximum Current into Any Pin.....	50mA
Continuous Power Dissipation (T _A = +70°C)	
8-Pin SO (derate 5.88mW/°C above +70°C).....	471mW

Operating Temperature Ranges

MAX5544CSA	0°C to +70°C
MAX5544ESA	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±5%, V_{REF} = +2.5V, V_{AGND} = V_{DGND} = 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION (R_L = ∞)						
Resolution	N		14			Bits
Differential Nonlinearity	DNL	Guaranteed monotonic		±0.5	±1.0	LSB
Integral Nonlinearity	INL	V _{DD} = 5V		±4	±8	LSB
Zero-Code Offset Error	ZSE	T _A = +25°C			±1	LSB
		T _A = T _{MIN} to T _{MAX}			±2	
Zero-Code Tempco	ZSTC	T _A = T _{MIN} to T _{MAX}		±0.05		ppm/°C
Gain Error (Note 1)		T _A = +25°C			±5	LSB
		T _A = T _{MIN} to T _{MAX}			±10	
Gain-Error Tempco				±0.1		ppm/°C
DAC Output Resistance	R _{OUT}	(Note 2)		6.25		kΩ
Power-Supply Rejection	PSR	4.75V ≤ V _{DD} ≤ 5.25V			±1.0	LSB
REFERENCE INPUT						
Reference Input Range	V _{REF}	(Note 3)	2.0		3.0	V
Reference Input Resistance (Note 4)	R _{REF}		11.5			kΩ
DYNAMIC PERFORMANCE—ANALOG SECTION (R_L = ∞)						
Voltage-Output Slew Rate	SR	C _L = 10pF (Note 5)		25		V/μs
Output Settling Time		To ±1/2LSB of FS, C _L = 10pF		1		μs

低価格、+5V、シリアル入力、 電圧出力14ビットDAC

MAX5544

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_{REF} = +2.5V$, $V_{AGND} = V_{DGND} = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DAC Glitch Impulse		Major-carry transition		10		nVs
Digital Feedthrough		Code = 0000 hex, $\overline{CS} = V_{DD}$, SCLK = $V_{DIN} = 0$ to V_{DD} levels		10		nVs
DYNAMIC PERFORMANCE—REFERENCE SECTION						
Reference -3dB Bandwidth	BW	Code = FFFC hex		1		MHz
Reference Feedthrough		Code = 0000 hex, $V_{REF} = 1V_{p-p}$ at 100kHz		1		mVp-p
Signal-to-Noise Ratio	SNR			83		dB
Reference Input Capacitance	C_{IN}	Code = 0000 hex		75		pF
		Code = FFFC hex		120		
STATIC PERFORMANCE—DIGITAL INPUTS						
Input High Voltage	V_{IH}		2.4			V
Input Low Voltage	V_{IL}				0.8	V
Input Current	I_{IN}	$V_{IN} = 0$			± 1	μA
Input Capacitance	C_{IN}	(Note 6)			10	pF
Hysteresis Voltage	V_H			0.40		V
POWER SUPPLY						
Positive Supply Range	V_{DD}		4.75		5.25	V
Positive Supply Current	I_{DD}			0.3	1.1	mA
Power Dissipation	PD			1.5		mW

TIMING CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_{REF} = +2.5V$, $V_{AGND} = V_{DGND} = 0$, CMOS inputs, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	f_{CLK}				10	MHz
SCLK Pulse Width High	t_{CH}		45			ns
SCLK Pulse Width Low	t_{CL}		45			ns
\overline{CS} Low to SCLK High Setup	t_{CSS0}		45			ns
\overline{CS} High to SCLK High Setup	t_{CSS1}		45			ns
SCLK High to \overline{CS} Low Hold	t_{CSH0}	(Note 6)	30			ns
SCLK High to \overline{CS} High Hold	t_{CSH1}		45			ns
DIN to SCLK High Setup	t_{DS}		40			ns
DIN to SCLK High Hold	t_{DH}		0			ns
V_{DD} High to \overline{CS} Low (power-up delay)				20		μs

Note 1: Gain error tested at $V_{REF} = +2.0V$, $+2.5V$, and $+3.0V$.

Note 2: R_{OUT} tolerance is typically $\pm 20\%$.

Note 3: Min/max ranges guaranteed by gain-error test. Operation outside min/max limits will result in degraded performance.

Note 4: Reference input resistance is code dependent, minimum at 8554 hex.

Note 5: Slew-rate value is measured from 0% to 63%.

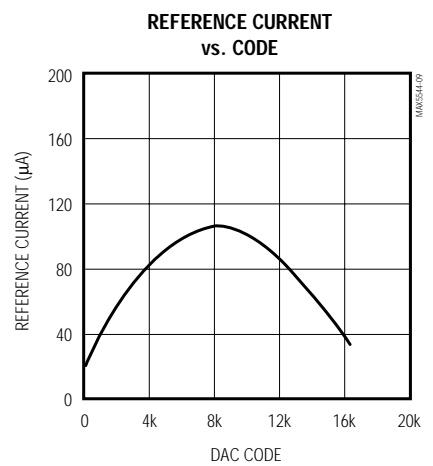
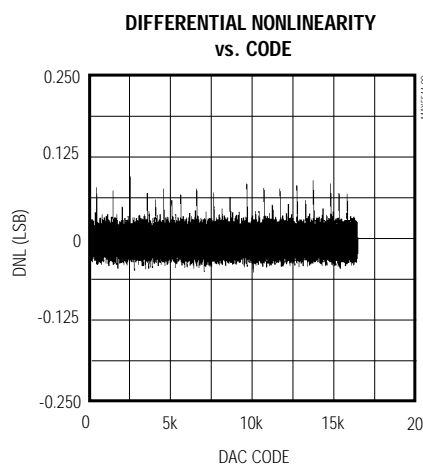
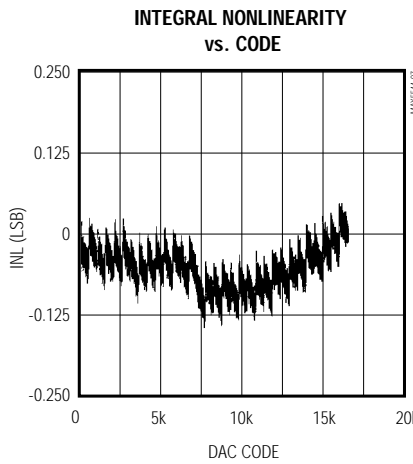
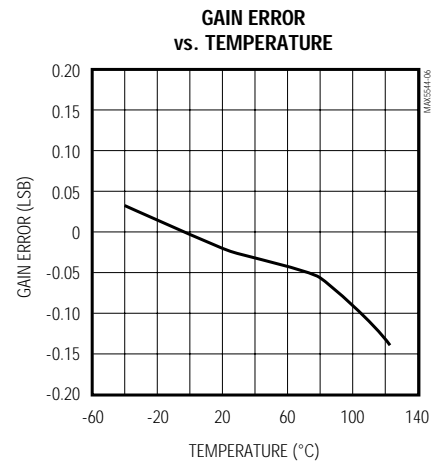
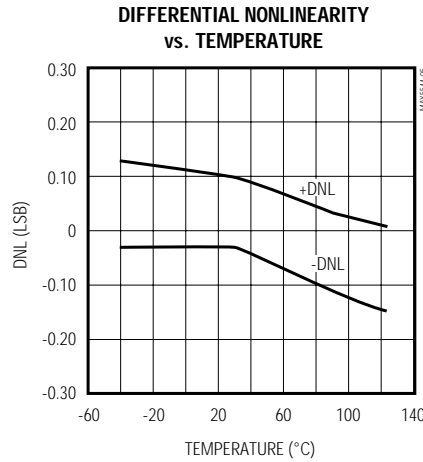
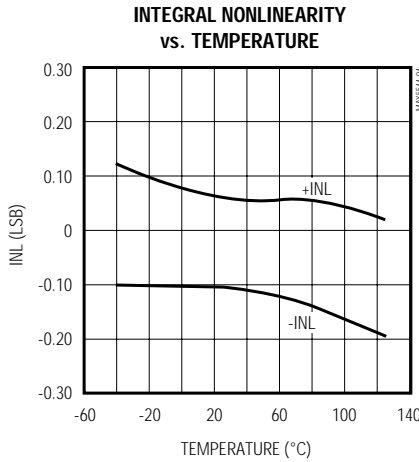
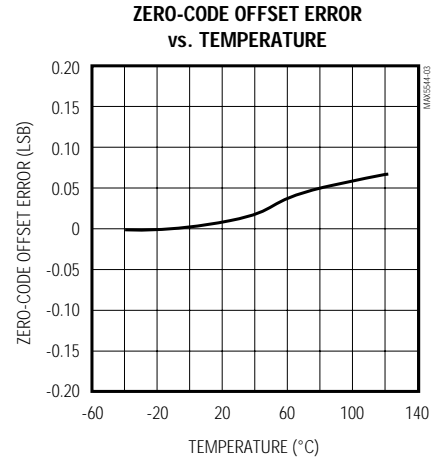
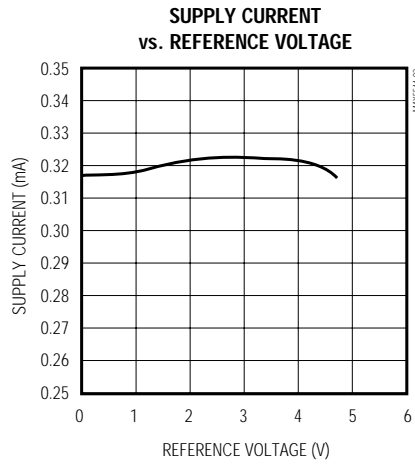
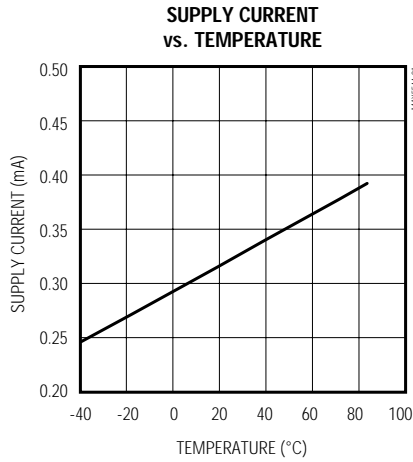
Note 6: Guaranteed by design. Not production tested.

低価格、+5V、シリアル入力、 電圧出力14ビットDAC

MAX5544

標準動作特性

($V_{DD} = +5V$, $V_{REF} = +2.5V$, $T_A = +25^\circ C$, unless otherwise noted.)



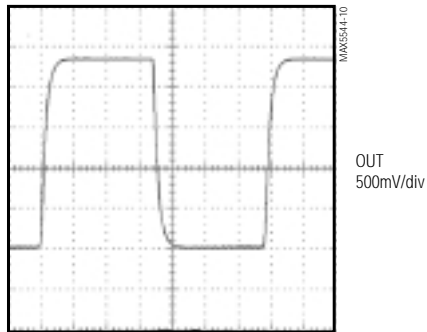
低価格、+5V、シリアル入力、 電圧出力14ビットDAC

MAX5544

標準動作特性(続き)

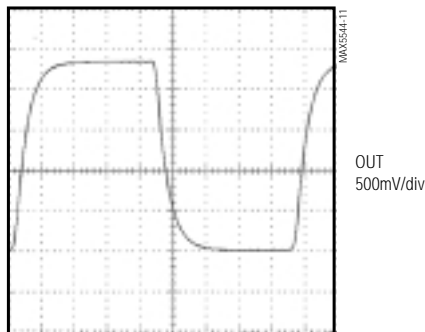
($V_{DD} = +5V$, $V_{REF} = +2.5V$, $T_A = +25^\circ C$, unless otherwise noted.)

FULL-SCALE STEP RESPONSE
($f_{SCLK} = 10MHz$)



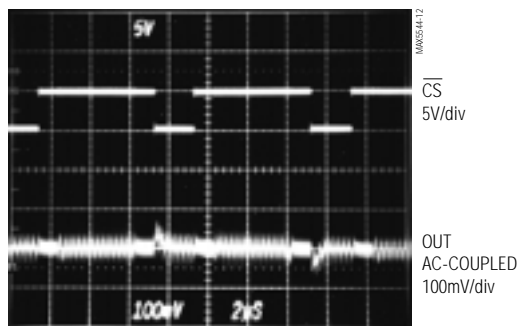
$C_L = 13pF$
 $R_L = \infty$

FULL-SCALE STEP RESPONSE
($f_{SCLK} = 20MHz$)



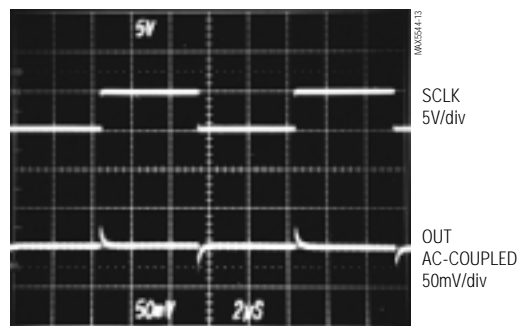
$C_L = 13pF$
 $R_L = \infty$

MAJOR-CARRY OUTPUT GLITCH



2µs/div

DIGITAL FEEDTHROUGH



CODE = 0000 hex

2µs/div

端子説明

端子	名称	機能
1	OUT	DAC出力電圧
2	AGND	アナロググランド
3	REF	電圧リファレンス入力。外部+2.5リファレンスに接続して下さい。
4	\overline{CS}	チップセレクト入力
5	SCLK	シリアルクロック入力。デューティサイクルは40%~60%の間である必要があります。
6	DIN	シリアルデータ入力
7	DGND	デジタルグランド
8	V_{DD}	+5V電源電圧

低価格、+5V、シリアル入力、 電圧出力14ビットDAC

MAX5544

詳細

MAX5544電圧出力14ビットデジタルアナログコンバータ(DAC)は、微分直線性誤差1LSB未満の14ビット単調性を提供します。シリアルデータ転送により、必要なパッケージピンの数が最小限になっています。

MAX5544は、2つのマッチングされたDAC部(12ビット反転R-2R DACが12LSBを形成し、15個の同一にマッチングされた抵抗が4MSBを提供)からなっています。この構造により、大きな桁遷移の時にDAC出力に移行するグリッチエネルギーを最小限に抑えることができます。また、これによって標準R-2Rラダーに比べてDAC出力インピーダンスを8分の1に減らすことができるため、中負荷アプリケーションにおいてバッファなしの動作が可能です。図1にタイミングダイアグラムを示します。

デジタルインタフェース

MAX5544のデジタルインタフェースは、SPI/QSPI/MICROWIREインタフェースとコンパチブルな標準3線接続です。チップセレクト入力(\overline{CS})がデータ入力ピン(DIN)におけるシリアルデータのローディングのフレームを決めます。 \overline{CS} がハイからローに遷移した

直後に、データは同期してシフトし、シリアルクロック入力(SCLK)の立上がりエッジで入力レジスタにラッチされます。16データビット(14データビットとゼロに設定された2つのサブビット)がシリアル入力レジスタにロードされた後、 \overline{CS} のローからハイへの遷移でその内容がDACラッチに転送されます(図2)。 \overline{CS} が16 SCLK サイクル全部を通じてローに維持されないと、データが破壊されます。その場合は、新しい16ビットワードをDACラッチに再ロードして下さい。

外部リファレンス

MAX5544は、2V~3Vの外部電圧リファレンスで動作します。リファレンス電圧がDACのフルスケール出力電圧を決定します。

パワーオンリセット

MAX5544は、 V_{DD} が最初に印加されたときにDACの出力を0V(ユニポーラモード)に設定するパワーオンリセット回路を備えています。これにより、電源喪失の後などにシステムがパワーアップしたときに望ましくないDAC出力電圧が発生しないことが保証されます。バイポーラモードにおいては、DAC出力が $-V_{REF}$ に設定されます。

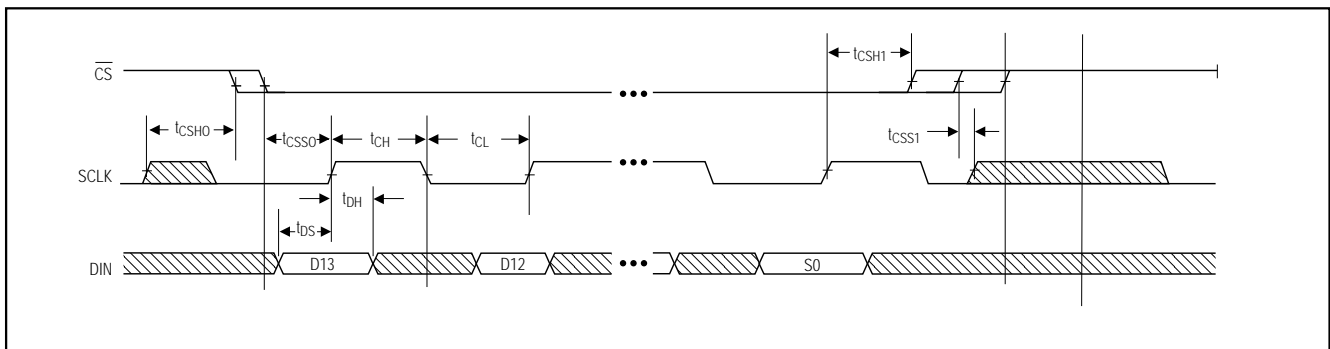


図1. タイミング図

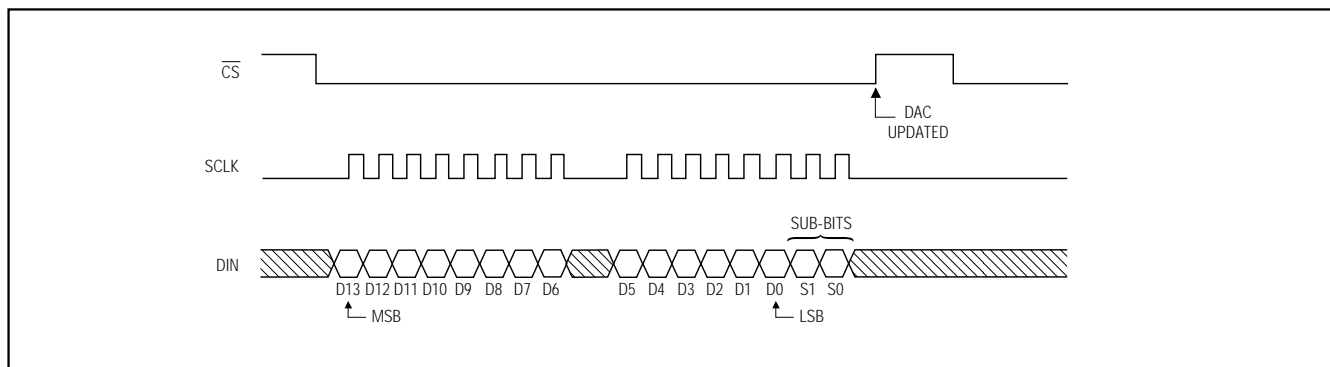


図2. 3線インタフェースタイミング図

低価格、+5V、シリアル入力、 電圧出力14ビットDAC

MAX5544

アプリケーション情報

リファレンス及びアナロググランド入力

MAX5544は2V~3Vの外部電圧リファレンスで動作し、リファレンスの選択及びアプリケーションが適切であれば14ビットの性能を発揮します。民生用(0 ~ +70)の温度範囲にわたって1LSB以内の14ビット精度を保つには、リファレンスの温度係数が1.5ppm/ 未満であることが理想的です。このコンバータは反転R-2R電圧モードDACとして設計されているため、電圧リファレンスから見た入力抵抗はコードに依存します。最悪ケースの入力抵抗変動は、11.5k (コード8555 hex)から200k (コード0000 hex)までです。2.5Vリファレンスの負荷電流の最大変化量は $2.5V/11.5k = 217\mu A$ であるため、最大誤差0.1LSBを実現するために必要な負荷レギュレーションは28ppm/mAです。これは、リファレンス出力インピーダンスが71m より小さいことを意味します。さらに、電圧リファレンスからリファレンス入力までの信号経路のインピーダンスは負荷レギュレーション誤差に直接寄与するため、小さく抑える必要があります。

低インピーダンス電圧リファレンスの条件は、リファレンス入力及びグランドにおけるコンデンサバイパスによって達成されます。REFとAGNDの間に短いリードで取り付けられた0.1 μF セラミックコンデンサが高周波バイパスを提供します。表面実装セラミックチップコンデンサはインダクタンスが最小であるため、この用途に適しています。REFとAGNDの間にさらに低周波数バイパスとして10 μF を追加します。これには低ESRタンタル、フィルム又は有機半導体コンデンサが好適に使用できます。低周波数ではインピーダンスがそれほど重要でないため、リード付のコンデンサでも大丈夫です。外部リファレンスの容量性負荷に対する安定性によっては、バイパスコンデンサをさらに大きくすることによって回路が改善される場合もあります。独立したフォース及びセンスラインが使用されていないときは、該当するフォース及びセンスピンをパッケージの近くで一緒にまとめて接続して下さい。

AGNDは低インピーダンスであることが必要です。これは、AGNDの抵抗が過剰であると負荷レギュレーション誤差の原因になるためです。全ての高分解能、高精度アプリケーションについていえることですが、アナロググランドプレーンとデジタルグランドプレーンを別々にすると最良の結果を得ることができます。AGNDピンのところでDGNDをAGNDに接続することにより、DACシステムの「スター」グランドを形成して下さい。最高の性能を得るために、リモートDAC負荷の基準は常にこのシステムグランドにして下さい。

無バッファ動作

無バッファ動作にすると、外部出力バッファによるオフセット誤差がなくなると共に、消費電力が少なく

なります。R-2R DAC出力がOUTで直接得られるため、ゼロスケールの劣化なしに+VREFからAGNDまでの14ビット性能が可能になっています。DACの出力インピーダンスは、INL又はDNLの劣化を起こさずに中程度の負荷($R_L > 60k$)を駆動するのに十分だけ小さくなっています。DAC出力に負荷があるときに増加するのは利得誤差だけです。

外部出力バッファアンプ

ユニポーラモードにおいて、出力アンプが電圧フォロワ接続で使用されています。DACの出力抵抗は一定であり、入力コードに依存しません。しかし、利得誤差を最小限に抑えるため、出力アンプの入力インピーダンスはできるだけ大きくして下さい。DACの出力容量も入力コードに依存しないため、外部アンプの安定条件がシンプルになります。

単一電源アプリケーションにおいては、入力同相電圧範囲がAGNDを含む高精度アンプを使用できます。しかし、これらのアンプの出力スイングが性能劣化を伴わずに負電源電圧(AGND)を含むことは通常ありません。アプリケーションがゼロに近いコードを使用しない場合は、MAX495等の単一電源オペアンプが適しています。

14ビットDACのLSBは非常に小さいため($V_{REF} = 2.5V$ で152.6 μV)、外部アンプの入力仕様に十分に注意して下さい。入力オフセット電圧はゼロスケール誤差を悪化させるため、オフセット電圧が1/2LSBよりも大きい場合には、完全な精度を維持するために出力オフセットトリミングが必要になることもあります。同様に、DAC出力抵抗(標準6.25k)と入力バイアス電流の積がゼロスケール誤差に寄与します。温度の影響も考慮に入れる必要があります。ゼロスケール誤差への寄与を1/2LSB未満に抑えるには、民生温度範囲全域にわたってオフセット電圧温度係数(+25 に対して)が1.7 $\mu V/$ 未満であることが必要です。外部アンプの入力抵抗はDAC出力抵抗と抵抗分圧器を形成するため、利得誤差を生じます。利得誤差への寄与を1/2LSB未満にするには、入力抵抗が標準的に次式より大きいことが必要です。

$$6.25k\Omega / \frac{1}{2} \left[\frac{1}{2^{14}} \right] = 205M\Omega$$

セトリング時間は、バッファ入力容量、DACの出力容量及びプリント基板容量に影響されます。標準DAC出力電圧セトリング時間は、フルスケールステップに対して1 μs です。ステップ変化が小さければセトリング時間は大幅に短くなります。単一の時定数の指数関数セトリング応答を仮定した場合、フルスケールステップが最終的な出力電圧から1/2LSB以内にセトリングするには時定数の10.4倍を要します。この時定数は、DAC出力抵抗と全出力容量の積に等しい値になっています。DAC出力容量は10pF(typ)です。出力容量がこれ以上大きいとセトリング時間が長くなります。

低価格、+5V、シリアル入力、 電圧出力14ビットDAC

MAX5544

外部バッファアンプの利得帯域幅積は重要です。なぜなら、これが出力応答にもう1つの時定数を付加してセトリング時間を増加させるためです。各々が単一の時定数応答をする2つのカスケードシステムの実効時定数は、2つの時定数の2乗和の平方根で近似されます。DAC出力時定数は、追加容量の影響を無視すれば $1\mu\text{s}/10.4 = 96\text{ns}$ です。帯域幅が1MHzの外部アンプの時定数が $1/2$ (1MHz) = 159nsの場合、複合システムの実効時定数は次式となります。

$$\sqrt{(96\text{ns})^2 + (159\text{ns})^2} = 186\text{ns}$$

これは、最終出力電圧から1/2LSB以内までのセトリング時間が、外部バッファアンプも含めて約 $10.4 \cdot 186\text{ns} = 1.93\mu\text{s}$ になることを示しています。

デジタル入力及びインタフェースロジック

14ビットDACのデジタルインタフェースは、SPI/QSPI/MICROWIREとコンパチブルな3線規格に基づいています。3つのデジタル入力(CS、DIN及びSCLK)がデジタル入力データをシリアルでDACにロードします。全てのデジタル入力はシュミットトリガバッファを備えているため、遷移の遅いインタフェースも許容します。これは、外部ロジックを使わなくてもフォトカプラを直接MAX5544にインタフェースできることを意味します。デジタル入力はTTL/CMOSロジックコンパチブルです。

ユニポーラ構成

図3に、MAX5544が外部オペアンプを使用したユニポーラ動作用に構成された例を示します。このオペアンプはユニティゲイン用に設定されています。表1にこの回路のためのコードを示します。

表1. ユニポーラコード表

DAC LATCH CONTENTS		ANALOG OUTPUT, V_{out}
MSB	LSB	
1111	1111 11(00)	$V_{REF} \cdot (16,383 / 16,384)$
1000	0000 00(00)	$V_{REF} \cdot (8192 / 16,384) = 1/2 V_{REF}$
0000	0000 01(00)	$V_{REF} \cdot (1 / 16,834)$
0000	0000 00(00)	0V

電源バイパス及びグランド管理

最高のシステム性能を得るには、アナログとデジタルのグランドプレーンが別々になったプリント基板を使用して下さい。ワイヤラップ基板は推奨できません。2つのグランドプレーンは、低インピーダンス電源ソースのところで一緒にまとめて接続して下さい。DGNDとAGNDピンはICのところで一緒にまとめて接続して下さい。最善のグランドを得るには、DACのDGNDピンとAGNDピンを一緒にまとめて接続し、それを今度はシステムアナロググランドプレーンに接続して下さい。DACのDGNDがシステムデジタルグランドに接続されていると、デジタルノイズがDACのアナログ部分に漏れる可能性があります。

V_{DD} は、 V_{DD} とAGNDの間に0.1 μF セラミックコンデンサを接続することによりバイパスして下さい。コンデンサはリードをできるだけ短くして素子の近くに取り付けて下さい。フェライトビーズを使用してアナログ電源とデジタル電源の分離を改善することもできます。

チップ情報

TRANSISTOR COUNT: 2209

SUBSTRATE CONNECTED TO DGND

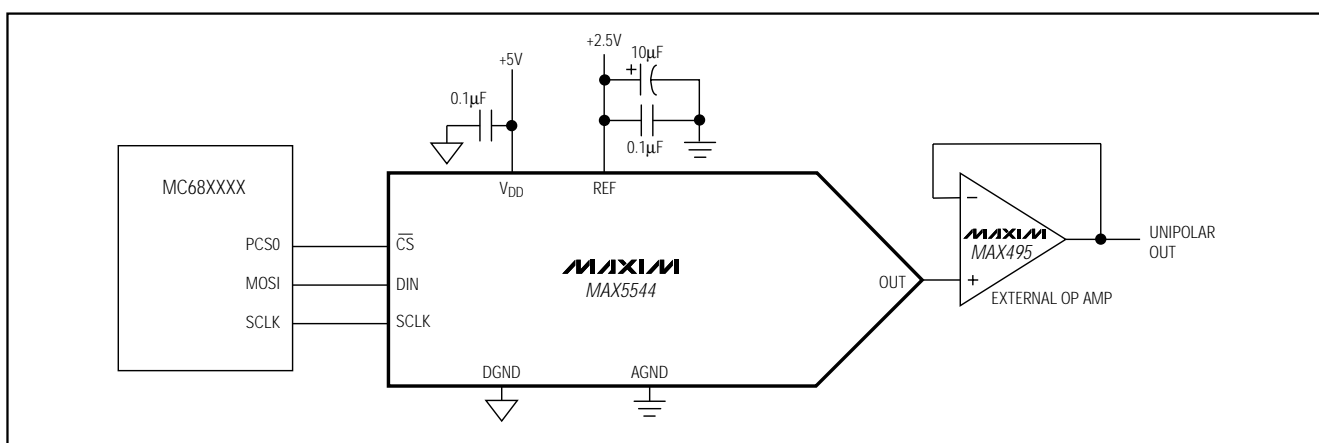


図3. 標準動作回路

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

8 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600