

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

## 概要

MAX5441 ~ MAX5444は、シリアル入力、電圧出力の16ビットデジタルアナログコンバータ(DAC)で、8ピンSOPパッケージによる類似DACの僅か50%の超小型 $\mu$ MAXパッケージに収められています。これらの製品は+3V(MAX5443/MAX5444)又は+5V(MAX5441/MAX5442)の低単一電源で動作し、調整なしで全温度範囲において16ビット性能( $\pm 2$ LSB INL及び $\pm 1$ LSB DNL)を発揮します。DAC出力はバッファされていないため、消費電流は120 $\mu$ Aと低く、オフセット誤差も2LSBと低くなっています。

DACの出力範囲は0 ~  $V_{REF}$ です。MAX5442/MAX5444には、バイポーラ動作の場合外部精密オペアンプ(MAX400等)に使用できるマッチングされたスケールリング抵抗が備わっており、 $\pm V_{REF}$ の出力スイングを生成します。

データをDACラッチにロードするには、16ビットのシリアルワードが使用されます。25MHz3線シリアルインタフェースはSPI™/QSPI™/MICROWIRE™コンパチブルで、絶縁を必要とするアプリケーション用にフォトカプラと直接インタフェースします。電源投入時にはパワーオンリセット回路がDAC出力をコード0(MAX5441/MAX5443)又はコード32768(MAX5442/MAX5444)にクリアします。

$\overline{CLR}$ をロジックローにすると、シリアルインタフェースに関係なく非同期的にDAC出力がコード0(MAX5441/MAX5443)又はコード32768(MAX5442/MAX5444)にクリアされます。

MAX5441/MAX5443は8ピン $\mu$ MAXパッケージで、MAX5442/MAX5444は10ピン $\mu$ MAXパッケージで提供されています。

## アプリケーション

- 高分解能オフセット及び利得調整
- 工業用プロセス制御
- 自動試験機器
- データ収集機器

## 型番

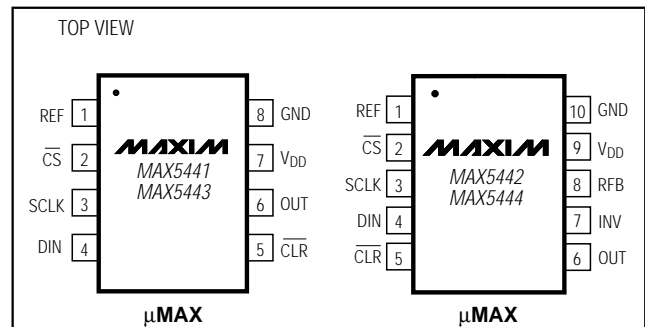
PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)	SUPPLY (V)
MAX5441ACUA	0°C to +70°C	8 $\mu$ MAX	$\pm 2$	5
MAX5441AEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 2$	5
MAX5441BCUA	0°C to +70°C	8 $\mu$ MAX	$\pm 4$	5
MAX5441BEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 4$	5
MAX5442ACUB	0°C to +70°C	10 $\mu$ MAX	$\pm 2$	5
MAX5442AEUB	-40°C to +85°C	10 $\mu$ MAX	$\pm 2$	5
MAX5442BCUB	0°C to +70°C	10 $\mu$ MAX	$\pm 4$	5
MAX5442BEUB	-40°C to +85°C	10 $\mu$ MAX	$\pm 4$	5

SPI及びQSPIはMotorola, Inc.の商標です。  
MICROWIREはNational Semiconductor Corp.の商標です。

## 特長

- ◆ パッケージ：超小型の3mm x 5mm 8ピン $\mu$ MAX
- ◆ 低消費電流：120 $\mu$ A
- ◆ 高速セトリング時間：1 $\mu$ s
- ◆ シリアルインタフェース：25MHz  
SPI/QSPI/MICROWIREコンパチブル
- ◆  $V_{REF}$ 範囲は $V_{DD}$ に拡張
- ◆ 単一電源動作：+5V(MAX5441/MAX5442)又は+3V(MAX5443/MAX5444)
- ◆ 調整なしで完全16ビット性能を発揮
- ◆ 無バッファ電圧出力が直接60k 負荷を駆動
- ◆ パワーオンリセット回路がDAC出力をコード0(MAX5441/MAX5443)又はコード32768(MAX5442/MAX5444)にクリア
- ◆ フォトカプラとの直接インタフェース用にシュミットトリガ入力を装備
- ◆ 非同期 $\overline{CLR}$

## ピン配置



ファンクションダイアグラムはデータシートの最後に記載されています。

型番はデータシートの最後に続きます。

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
CS, SCLK, DIN, CLR to GND	-0.3V to +6V	8-Pin μMAX (derate 4.5mW/°C above +70°C)	362mW
REF to GND	-0.3V to (V <sub>DD</sub> + 0.3V)	10-Pin μMAX (derate 5.6mW/°C above +70°C)	444mW
OUT, INV to GND	-0.3V to V <sub>DD</sub>	Operating Temperature Ranges	
RFB to INV	-6V to +6V	MAX544 _ _CU_	0°C to +70°C
RFB to GND	-6V to +6V	MAX544 _ _EU_	-40°C to +85°C
Maximum Current into Any Pin	50mA	Storage Temperature Range	-65°C to +150°C
		Maximum Die Temperature	+150°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +3V (MAX5443/MAX5444) or +5V (MAX5441/MAX5442), V<sub>REF</sub> = +2.5V, C<sub>L</sub> = 10pF, GND = 0, R<sub>L</sub> = ∞, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE—ANALOG SECTION</b>						
Resolution	N		16			Bits
Differential Nonlinearity	DNL	Guaranteed monotonic		±0.5	±1	LSB
Integral Nonlinearity	INL	MAX544_A		±0.5	±2	LSB
		MAX544_B		±0.5	±4	
Zero-Code Offset Error	ZSE				±2	LSB
Zero-Code Tempco	ZSTC			±0.05		ppm/°C
Gain Error (Note 1)					±10	LSB
Gain-Error Tempco				±0.1		ppm/°C
DAC Output Resistance	R <sub>OUT</sub>	(Note 2)		6.2		kΩ
Bipolar Resistor Matching		R <sub>FBI</sub> /R <sub>INV</sub>		1		%
		Ratio error			±0.015	
Bipolar Zero Offset Error					±20	LSB
Bipolar Zero Tempco	BZSTC			±0.5		ppm/°C
Power-Supply Rejection	PSR	+2.7V ≤ V <sub>DD</sub> ≤ +3.3V (MAX5443/MAX5444)			±1	LSB
		+4.5V ≤ V <sub>DD</sub> ≤ +5.5V (MAX5441/MAX5442)			±1	
<b>REFERENCE INPUT</b>						
Reference Input Range	V <sub>REF</sub>	(Note 3)	2.0		V <sub>DD</sub>	V
Reference Input Resistance (Note 4)	R <sub>REF</sub>	Unipolar mode	10			kΩ
		Bipolar mode	6			
<b>DYNAMIC PERFORMANCE—ANALOG SECTION</b>						
Voltage-Output Slew Rate	SR	(Note 5)		15		V/μs
Output Settling Time		To ±1/2LSB of FS		1		μs
DAC Glitch Impulse		Major-carry transition		7		nV-s
Digital Feedthrough		Code = 0000hex; $\overline{CS} = V_{DD}$ ; SCLK, DIN = 0 to V <sub>DD</sub> levels		0.2		nV-s

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +3V$  (MAX5443/MAX5444) or  $+5V$  (MAX5441/MAX5442),  $V_{REF} = +2.5V$ ,  $C_L = 10pF$ ,  $GND = 0$ ,  $R_L = \infty$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DYNAMIC PERFORMANCE—REFERENCE SECTION</b>						
Reference -3dB Bandwidth	BW	Code = FFFFhex		1		MHz
Reference Feedthrough		Code = 0000hex, $V_{REF} = 1V_{p-p}$ at 100kHz		1		mV <sub>p-p</sub>
Signal-to-Noise Ratio	SNR			92		dB
Reference Input Capacitance	$C_{INREF}$	Code = 0000hex		70		pF
		Code = FFFFhex		170		
<b>STATIC PERFORMANCE—DIGITAL INPUTS</b>						
Input High Voltage	$V_{IH}$		2.4			V
Input Low Voltage	$V_{IL}$				0.8	V
Input Current	$I_{IN}$				$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$	(Note 6)		3	10	pF
Hysteresis Voltage	$V_H$			0.15		V
<b>POWER SUPPLY</b>						
Positive Supply Range (Note 7)	$V_{DD}$	MAX5443/MAX5444	2.7		3.6	V
		MAX5441/MAX5442	4.5		5.5	
Positive Supply Current	$I_{DD}$	All digital inputs at $V_{DD}$ or GND		0.12	0.20	mA
Power Dissipation	PD	All digital inputs at $V_{DD}$ or GND	MAX5443/MAX5444	0.36		mW
			MAX5441/MAX5442	0.60		

## TIMING CHARACTERISTICS

( $V_{DD} = +2.7V$  to  $+3.3V$  (MAX5443/MAX5444),  $V_{DD} = +4.5V$  to  $+5.5V$  (MAX5441/MAX5442),  $V_{REF} = +2.5V$ ,  $GND = 0$ , CMOS inputs,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Figure 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	$f_{CLK}$				25	MHz
SCLK Pulse Width High	$t_{CH}$		20			ns
SCLK Pulse Width Low	$t_{CL}$		20			ns
$\overline{CS}$ Low to SCLK High Setup	$t_{CSS0}$		15			ns
$\overline{CS}$ High to SCLK High Setup	$t_{CSS1}$		15			ns
SCLK High to $\overline{CS}$ Low Hold	$t_{CSH0}$	(Note 6)	35			ns
SCLK High to $\overline{CS}$ High Hold	$t_{CSH1}$		20			ns
DIN to SCLK High Setup	$t_{DS}$		15			ns
DIN to SCLK High Hold	$t_{DH}$		0			ns
$\overline{CLR}$ Pulse Width Low	$t_{CLW}$		20			ns
$V_{DD}$ High to $\overline{CS}$ Low (power-up delay)				20		$\mu s$

**Note 1:** Gain error tested at  $V_{REF} = +2.0V$ ,  $+2.5V$ , and  $+3.0V$  (MAX5443/MAX5444) or  $V_{REF} = +2.0V$ ,  $+2.5V$ ,  $+3.0V$ , and  $+5.5V$  (MAX5441/MAX5442).

**Note 2:**  $R_{OUT}$  tolerance is typically  $\pm 20\%$ .

**Note 3:** Min/max range guaranteed by gain-error test. Operation outside min/max limits will result in degraded performance.

**Note 4:** Reference input resistance is code-dependent, minimum at 8555hex in unipolar mode, 4555hex in bipolar mode.

**Note 5:** Slew-rate value is measured from 10% to 90%.

**Note 6:** Guaranteed by design. Not production tested.

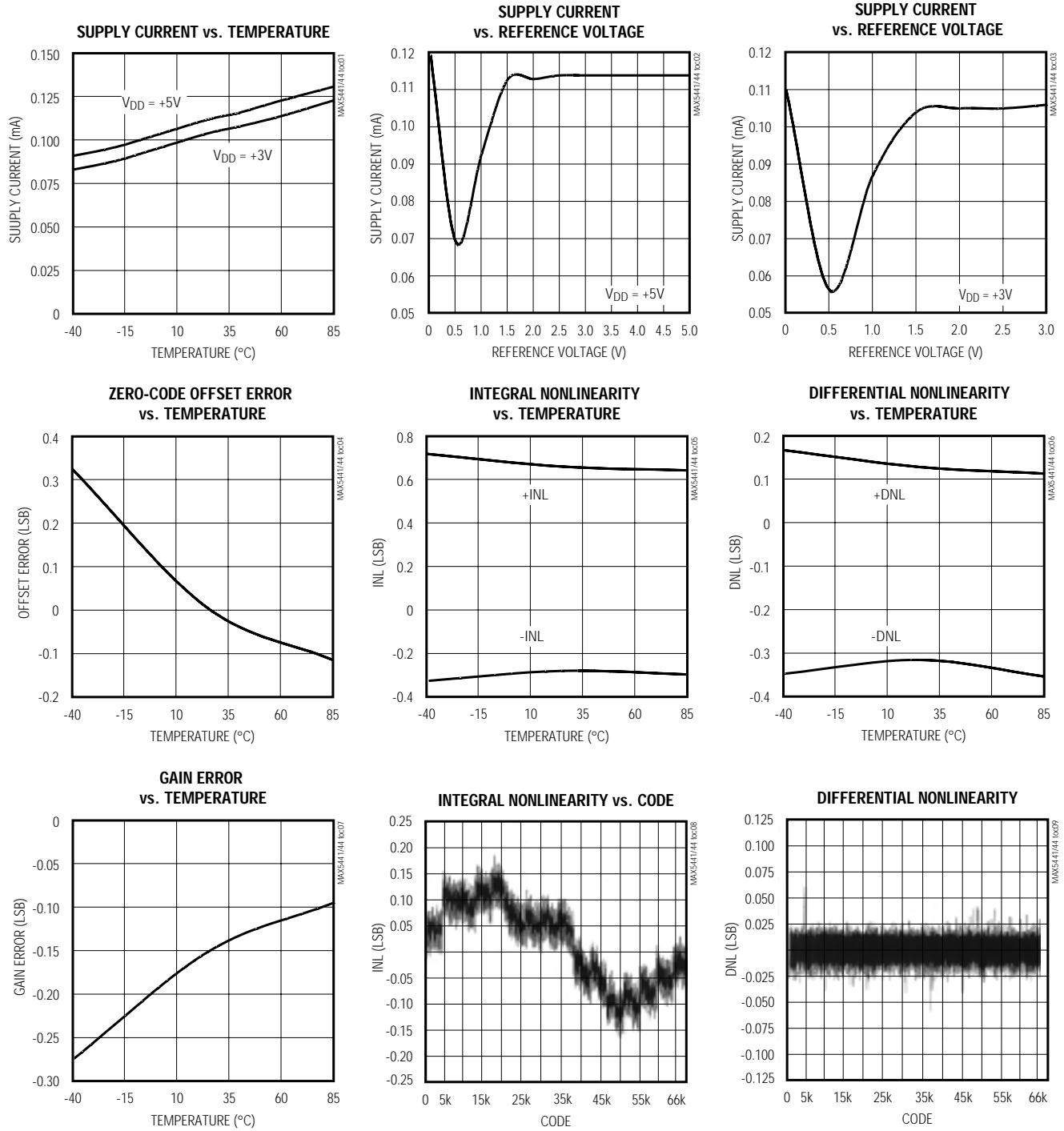
**Note 7:** Guaranteed by power-supply rejection test and *Timing Characteristics*.

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

## 標準動作特性

( $V_{DD} = +3V$  (MAX5443/MAX5444) or  $+5V$  (MAX5441/MAX5442),  $V_{REF} = +2.5V$ ,  $GND = 0$ ,  $R_L = \infty$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

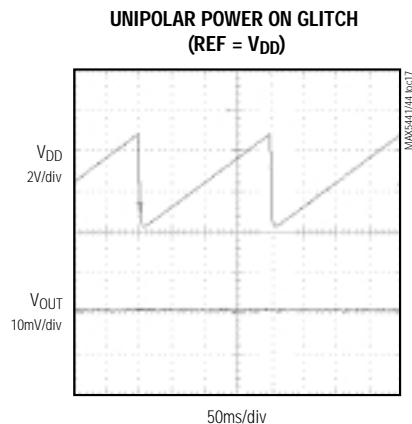
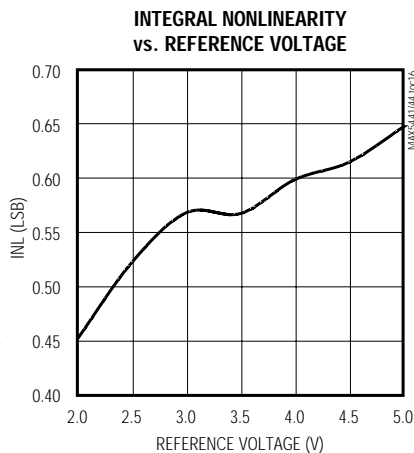
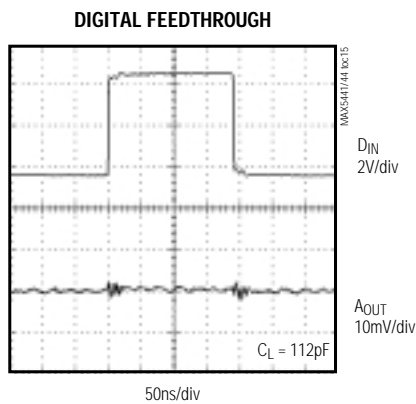
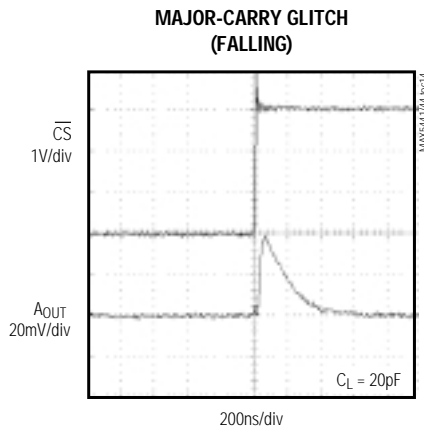
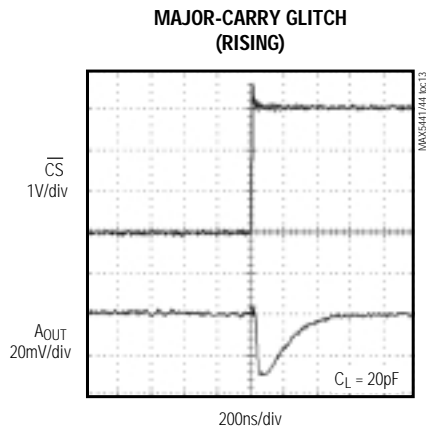
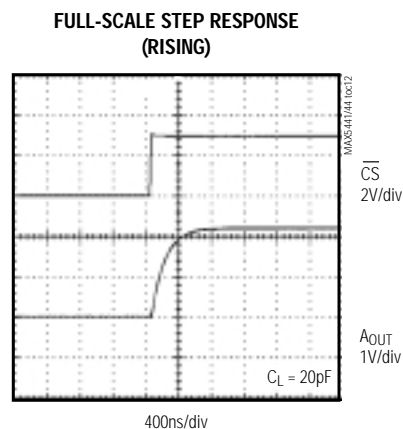
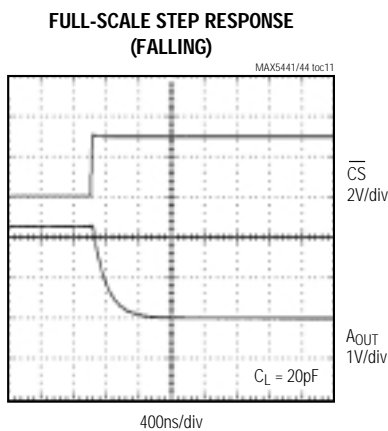
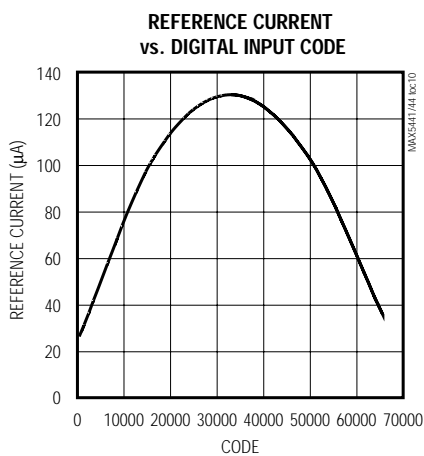


# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

## 標準動作特性(続き)

( $V_{DD} = +3V$  (MAX5443/MAX5444) or  $+5V$  (MAX5441/MAX5442),  $V_{REF} = +2.5V$ ,  $GND = 0$ ,  $R_L = \infty$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)



# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

## 端子説明

端子		名称	機能
MAX5441 MAX5443	MAX5442 MAX5444		
1	1	REF	電圧リファレンス入力
2	2	$\overline{CS}$	チップセレクト入力
3	3	SCLK	シリアルクロック入力。デューティサイクルは40%~60%の間にする必要があります。
4	4	DIN	シリアルデータ入力
5	5	$\overline{CLR}$	クリア入力。ロジックローにすると非同期的にDACがコード0(MAX5441/MAX5443)又はコード32768(MAX5442/MAX5444)にクリアされます。
6	6	OUT	DAC出力電圧
—	7	INV	内部スケーリング抵抗の接合部。バイポーラモードでは外部オペアンプの反転入力に接続します。
—	8	RFB	フィードバック抵抗。バイポーラモードでは外部オペアンプの出力に接続します。
7	9	V <sub>DD</sub>	電源電圧。MAX5443/MAX5444に対しては+3Vを、MAX5441/MAX5442に対しては+5Vを使用します。
8	10	GND	グランド

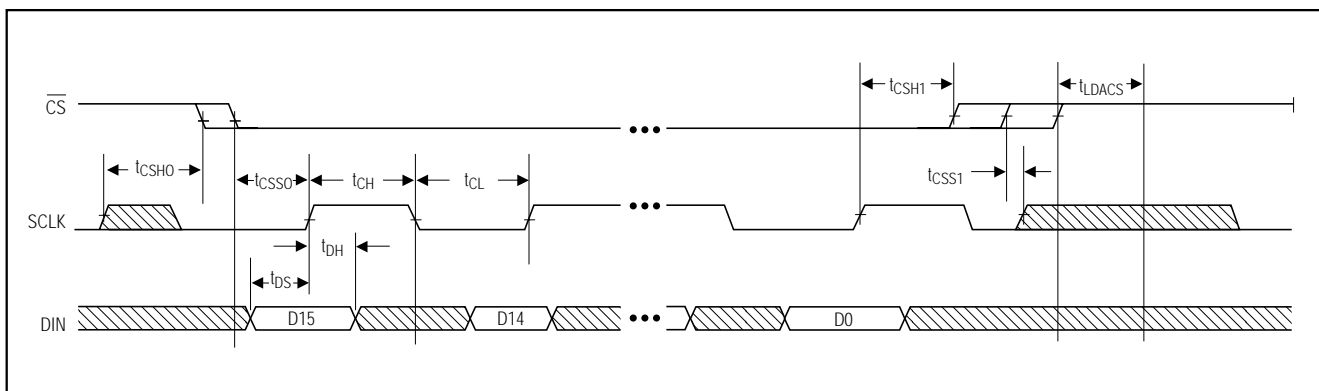


図1. タイミング図

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

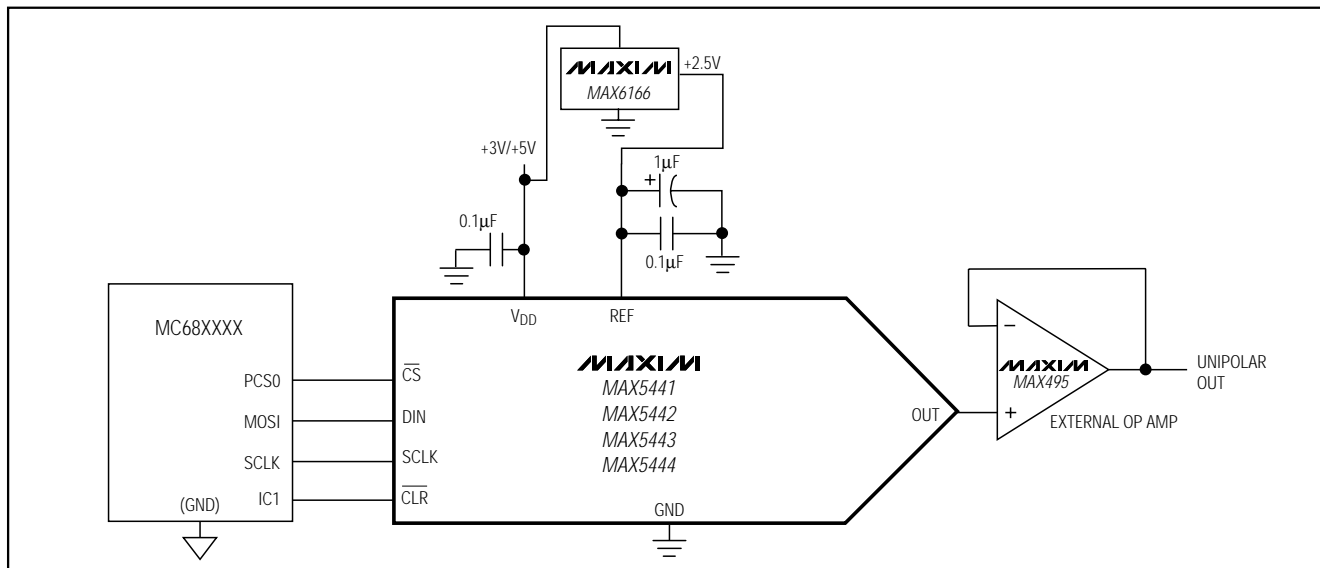


図2a. 標準動作回路(ユニポーラ出力)

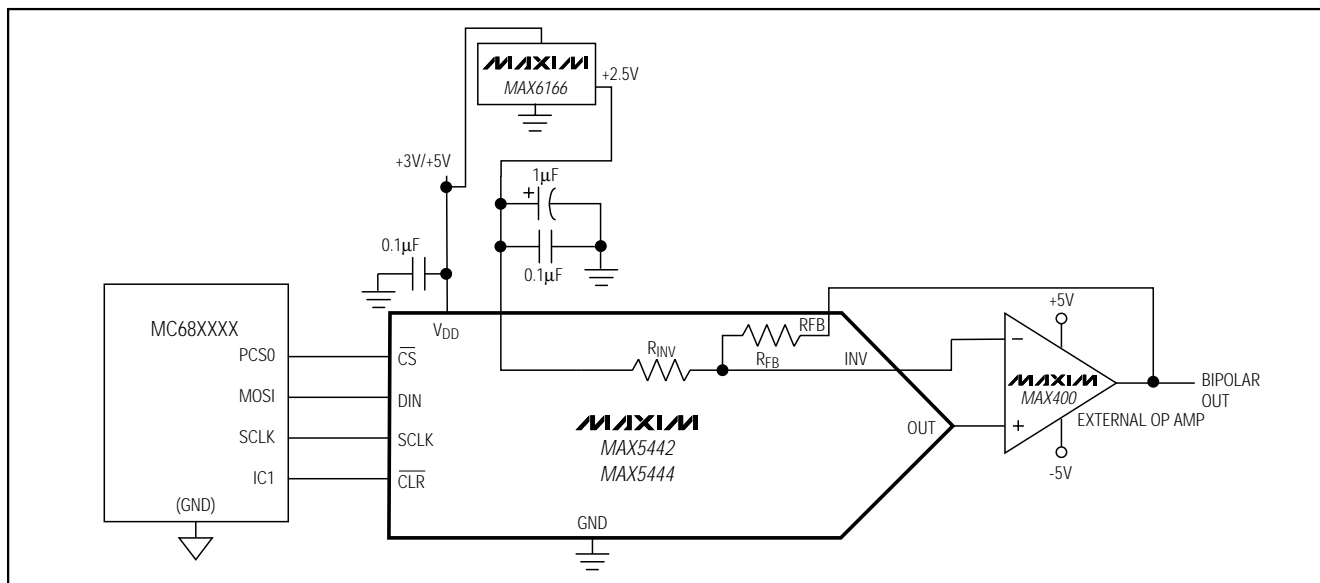


図2b. 標準動作回路(バイポーラ出力)

## 詳細

MAX5441 ~ MAX5444は電圧出力の16ビットデジタルアナログコンバータ(DAC)で、積分直線性誤差2LSB未満及び微分直線性誤差1LSB未満で単調性を保証する完全16ビット性能を提供します。シリアルデータ転送により、必要なパッケージピンの数は最小限に抑えられています。

MAX5441 ~ MAX5444は2つのマッチングされたDAC部で構成されており、12ビット反転R-2R DACが12LSBを形成し、15個の同一にマッチングされた抵抗が

4個のMSBを提供しています。この構造により、大きな桁遷移時にDAC出力に移行するグリッチエネルギーを最小限に抑えることができます。又、標準R-2Rラダーと比較してDAC出力インピーダンスを8分の1に低減できるため、中負荷アプリケーションにおけるバッファなし動作が可能です。

MAX5442/MAX5444はマッチングされたバイポーラオフセット抵抗を備えており、この抵抗はバイポーラ出力スイングを得るために外部オペアンプに接続されます(図2b)。

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

## デジタルインタフェース

MAX5441 ~ MAX5444のデジタルインタフェースは、SPI/QSPI/MICROWIREインタフェースとコンパチブルな標準3線接続です。チップセレクト入力( $\overline{CS}$ )が、データ入力ピン(DIN)におけるシリアルデータローディングのフレームを決定します。 $\overline{CS}$ がハイからローに遷移した直後にデータは同期してシフトし、シリアルクロック入力(SCLK)の立上りエッジで入力レジスタにラッチされます。シリアル入力レジスタに16データビットがロードされると、 $\overline{CS}$ のローからハイへの遷移でその内容がDACラッチに転送されます(図3)。 $\overline{CS}$ が16 SCLK サイクル全期間を通じてローに維持されていないと、データが破壊されます。その場合は、新しい16ビットワードをDACラッチに再ロードして下さい。

## DACのクリア

$\overline{CLR}$ で20ns(min)のロジックローパルスが発生すると、非同期的にDACバッファがMAX5441/MAX5443ではコード0に、MAX5442/MAX5444ではコード32768にクリアされます。

## 外部リファレンス

MAX5441 ~ MAX5444は2V ~  $V_{DD}$ の外部電圧リファレンスで動作します。リファレンス電圧がDACのフルスケール出力電圧を決定します。

## パワーオンリセット

パワーオンリセット回路は、 $V_{DD}$ が最初に印可された時にMAX5441/MAX5443の出力をコード0に、MAX5442/MAX5444の出力をコード32768に設定します。これにより、電源喪失の後等システムパワーアップの直後に望ましくないDAC出力電圧が発生しないことが保証されます。

## アプリケーション情報

### リファレンス及びグランド入力

MAX5441 ~ MAX5444は2V ~  $V_{DD}$ の外部電圧リファレンスで動作し、リファレンスの選択及びアプリケーションが適切であれば16ビット性能を発揮します。リファレンスの温度係数を0.1ppm/ 未満にして、-40 ~ +85 の拡張温度範囲に渡って1LSB以内の16ビット精度を維持するのが理想的です。このコンバータは反転R-2R電圧モードDACとして設計されているため、電圧リファレンスから見た入力抵抗はコードに依存します。ユニポーラモードにおける最悪条件での入力抵抗変動は、11.5k (コード8555 hex)から200k (コード0000 hex)までです。2.5Vリファレンスの負荷電流の最大変化量は $2.5V/11.5k = 217\mu A$ です。従って、最大誤差0.1LSBを実現するために必要な負荷レギュレーションは7ppm/mAとなります。これはリファレンス出力インピーダンスが18mΩ以下であることを意味します。更に、電圧リファレンスからリファレンス入力までの信号経路のインピーダンスは負荷レギュレーション誤差に直接寄与するため、低く抑える必要があります。

低インピーダンス電圧リファレンスの条件は、リファレンス入力及びグランドにおけるコンデンサバイパスによって満たされます。REFとGNDの間に短いリードで取り付けられた0.1 $\mu F$ セラミックコンデンサが高周波バイパスを提供します。表面実装セラミックチップコンデンサは、インダクタンスが最小であるためこの用途に好適です。REFとGNDの間に更に低周波バイパスとして1 $\mu F$ を追加します。これには、低ESRタンタル、フィルム、又は有機半導体コンデンサが適しています。低周波数でのインピーダンスはそれほど重要ではないため、リード付のコンデンサでも構いません。外部リファレンス

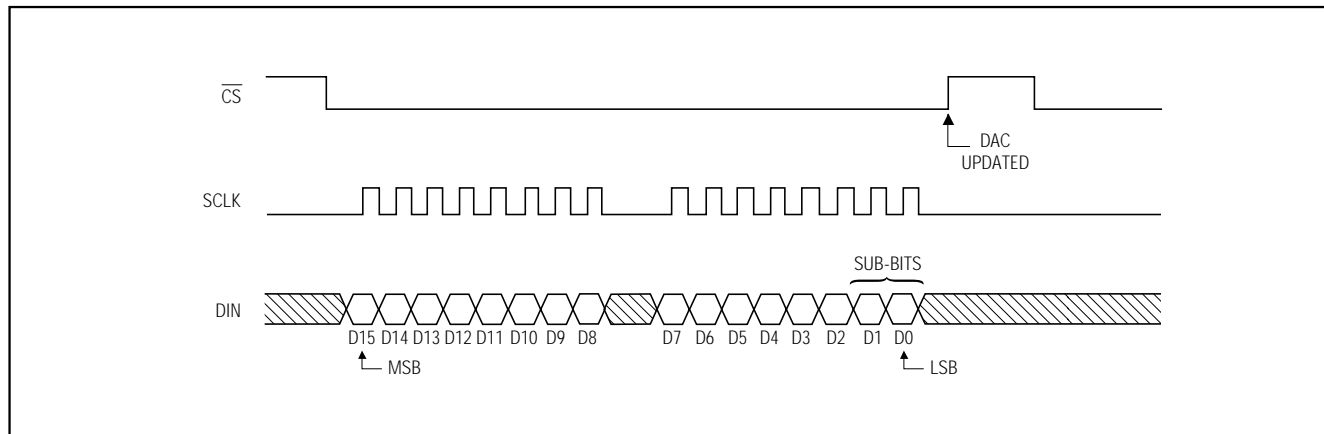


図3. MAX5441 ~ MAX5443 3線インタフェースのタイミング図



# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

の容量性負荷に対する安定性にも依りますが、バイパスコンデンサを更に大きくすることによって回路が改善される場合もあります。

## 無バッファ動作

無バッファ動作を行うと、消費電力及び外部出力バッファによるオフセット誤差が減少します。R-2R DAC出力はOUTで直接得られるため、ゼロスケールの劣化無しに $+V_{REF} \sim GND$ の範囲で16ビット性能を提供します。DACの出力インピーダンスが低いため、INL又はDNLを劣化させることなく中程度の負荷( $R_L > 60k$ )を駆動できます。DAC出力に外部負荷をかけた場合に増加するのは利得誤差だけです。

## 外部出力バッファアンプ

外部出力バッファアンプの必要条件は、DACの動作がユニポーラモードかバイポーラモードかによって異なります。ユニポーラモードでは、出力アンプは電圧フォロワ接続で使用されます。バイポーラモード(MAX5442/MAX5444のみ)では、アンプは内部のスケール抵抗で動作します(図2b)。どちらのモードでもDACの出力抵抗は一定で、入力コードには依存しません。しかし、利得誤差を最小限に抑えるために出力アンプの入力インピーダンスはできるだけ高くして下さい。DACの出力容量も入力コードには依存しないため、外部アンプの安定条件がシンプルになります。

バイポーラモードでは、デュアル電源(MAX400等)で動作している精密アンプが $\pm V_{REF}$ の出力範囲を提供します。単一電源アプリケーションにおいては、GNDを含む入力同相範囲の精密アンプを使用することができます。しかし、これらのアンプの出力スイングが性能劣化を伴わずに負の電源電圧(GND)を含むことは通常ありません。アプリケーションがゼロに近いコードを使用しない場合は、MAX495等の単一電源オペアンプが適しています。

16ビットDACのLSBは極めて小さい( $V_{REF} = 2.5V$ で $38.15\mu V$ )ため、外部アンプの入力仕様に十分に注意して下さい。入力オフセット電圧はゼロスケール誤差を悪化させるため、オフセット電圧が1/2 LSBよりも大きい場合は完全な精度を維持するために出力オフセットトリミングが必要となることもあります。同様に、入力バイアス電流とDAC出力抵抗(標準 $6.25k$ )の積もゼロスケール誤差に寄与します。温度の影響も考慮に入れる必要があります。ゼロスケール誤差の増加を1/2 LSB未満に抑えるには、 $-40 \sim +85$ の拡張温度範囲でオフセット電圧温度係数(+25 に対して)が $0.24\mu V/$ 未満でなくてはなりません。外部アンプの入力抵抗はDAC出力抵抗と抵抗分圧器を形成するため、利得誤差

を生じます。利得誤差への寄与を1/2 LSB未満にするには、入力抵抗を標準的に次式よりも大きくする必要があります。

$$6.25k\Omega \times 2^{17} = 819M\Omega$$

セトリング時間はバッファ入力容量、DAC出力容量、及びPCボード容量に影響されます。標準DAC出力電圧のセトリング時間はフルスケールステップに対して $1\mu s$ です。ステップの変化が小さければセトリング時間は大幅に減少します。単一の時間定数の指数関数セトリング応答を仮定した場合、フルスケールステップが最終的な出力電圧から1/2 LSB以内にセトリングするには時間定数の12倍の時間を要します。この時間定数はDAC出力抵抗と全出力容量の積に等しくなります。DAC出力容量は標準 $10pF$ です。出力容量がこれ以上増えると、セトリング時間が長くなります。

外部バッファアンプの利得帯域幅積は重要です。これは、出力応答にもう1つの時間定数を付加してセトリング時間を増加させるためです。各々が単一の時間定数応答をする2つのカスケードシステムの実効時間定数は、近似的に2つの時間定数の2乗和の平方根になります。DAC出力時間定数は、追加の容量の影響を無視すれば $1\mu s/12 = 83ns$ です。帯域幅 $1MHz$ の外部アンプの時間定数が $1/2\pi(1MHz) = 159ns$ の場合、複合システムの実効時間定数は次式で表されます。

$$\sqrt{[(83ns)^2 + (159ns)^2]} = 180ns$$

この式は、最終出力電圧から1/2 LSB以内までのセトリング時間が、外部バッファアンプも含めて約 $12 \times 180ns = 2.15\mu s$ になることを示しています。

## デジタル入力及びインタフェースロジック

16ビットDACのデジタルインタフェースは、SPI、QSPI及びMICROWIREインタフェースとコンパチブルな3線規格に基づいています。3つのデジタル入力( $\overline{CS}$ 、DIN及びSCLK)がデジタル入力データをシリアルでDACにロードします。

$\overline{CLR}$ で $20ns$ (min)のロジックローパルスが発生すると、DACバッファのデータがクリアされます。

全てのデジタル入力は、シュミットトリガバッファを備えているため遷移の遅いインタフェースも許容します。これは、外部ロジックを追加することなくフォトカプラを直接MAX5441~MAX5444にインタフェースできることを意味します。デジタル入力はTTL/CMOSロジックレベルコンパチブルです。

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

## ユニポーラ構成

図2aに外部オペアンプを用いたMAX5441～MAX5444のユニポーラ動作の構成を示します。このオペアンプはユニティゲイン用に設定されています。表1にこの回路のためのコードを示します。バイポーラのMAX5442/MAX5444は、RFBとINVをREFに接続してユニポーラ構成で使用することもできます。これによりDACを中程度のスケールにパワーアップできます。

## バイポーラ構成

図2bに外部オペアンプを用いたMAX5442/MAX5444のバイポーラ動作の構成を示します。このオペアンプは $-1/2V_{REF}$ のオフセットを持つユニティゲイン用に設定されています。表2にこの回路のためのオフセットバイナリコードを示します。

## 電源バイパス及びグランド管理

$V_{DD}$ は、 $V_{DD}$ とGNDの間に $0.1\mu\text{F}$ のセラミックコンデンサを接続してバイパスして下さい。コンデンサはリードをできるだけ短くしてデバイスの近く(0.635cm以下)に取付けて下さい。

表1. ユニポーラコード表

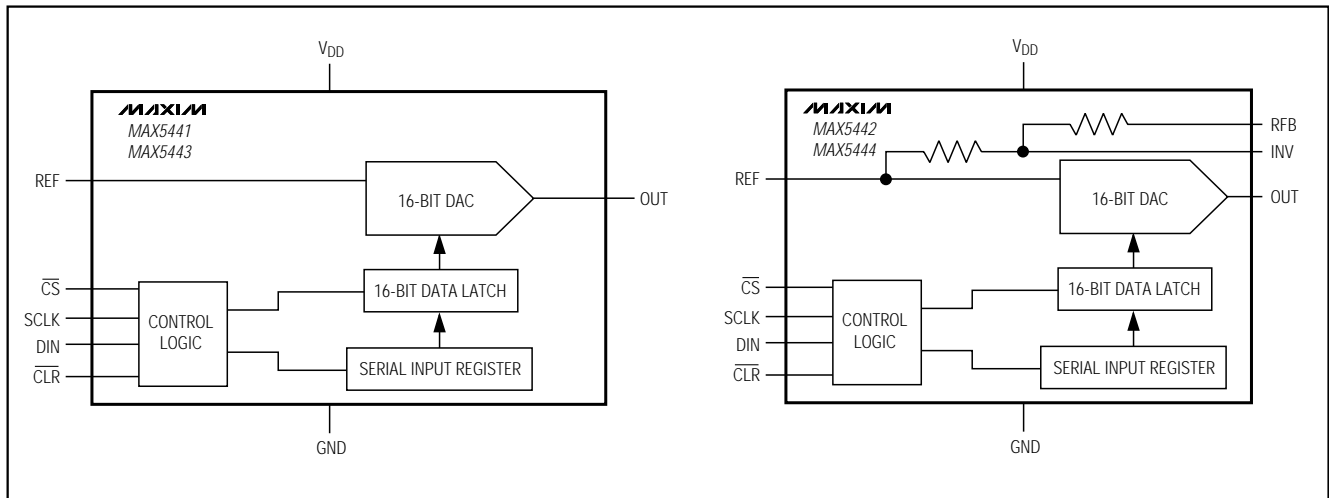
DAC LATCH CONTENTS		ANALOG OUTPUT, $V_{out}$
MSB	LSB	
1111 1111 1111 1111		$V_{REF} \times (65,535 / 65,536)$
1000 0000 0000 0000		$V_{REF} \times (32,768 / 65,536) = 1/2V_{REF}$
0000 0000 0000 0001		$V_{REF} \times (1 / 65,536)$
0000 0000 0000 0000		0

表2. バイポーラコード表

DAC LATCH CONTENTS		ANALOG OUTPUT, $V_{out}$
MSB	LSB	
1111 1111 1111 1111		$+V_{REF} \times (32,767 / 32,768)$
1000 0000 0000 0001		$+V_{REF} \times (1 / 32,768)$
1000 0000 0000 0000		0
0111 1111 1111 1111		$-V_{REF} \times (1 / 32,768)$
0000 0000 0000 0000		$-V_{REF} \times (32,768 / 32,768) = -V_{REF}$

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

## ファンクションダイアグラム



MAX5441-MAX5444

## 型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)	SUPPLY (V)
<b>MAX5443</b> ACUA	0°C to +70°C	8 $\mu$ MAX	$\pm 2$	3
MAX5443AEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 2$	3
MAX5443BCUA	0°C to +70°C	8 $\mu$ MAX	$\pm 4$	3
MAX5443BEUA	-40°C to +85°C	8 $\mu$ MAX	$\pm 4$	3
<b>MAX5444</b> ACUB	0°C to +70°C	10 $\mu$ MAX	$\pm 2$	3
MAX5444AEUB	-40°C to +85°C	10 $\mu$ MAX	$\pm 2$	3
MAX5444BCUB	0°C to +70°C	10 $\mu$ MAX	$\pm 4$	3
MAX5444BEUB	-40°C to +85°C	10 $\mu$ MAX	$\pm 4$	3

## チップ情報

TRANSISTOR COUNT: 2800

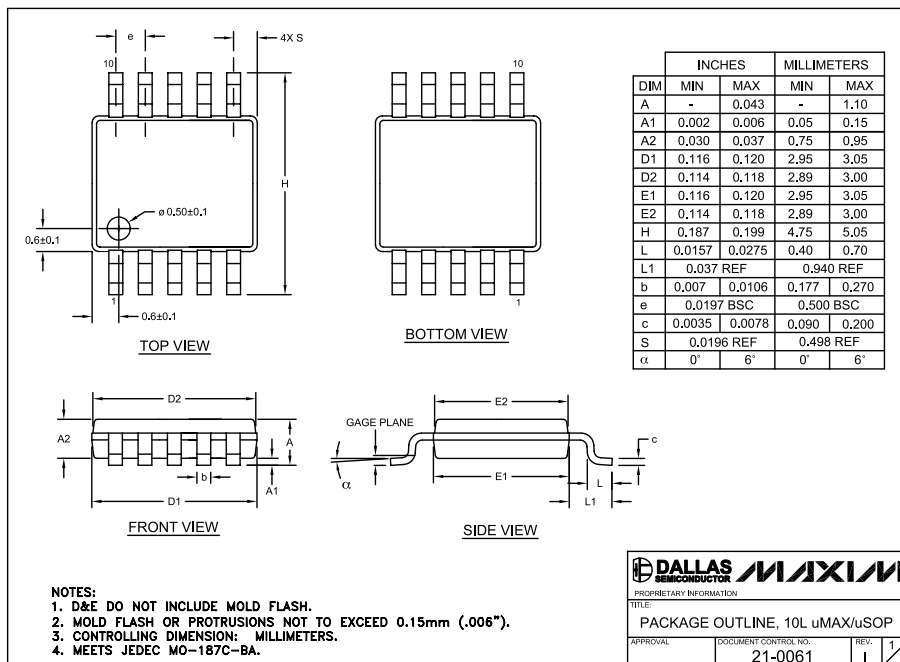
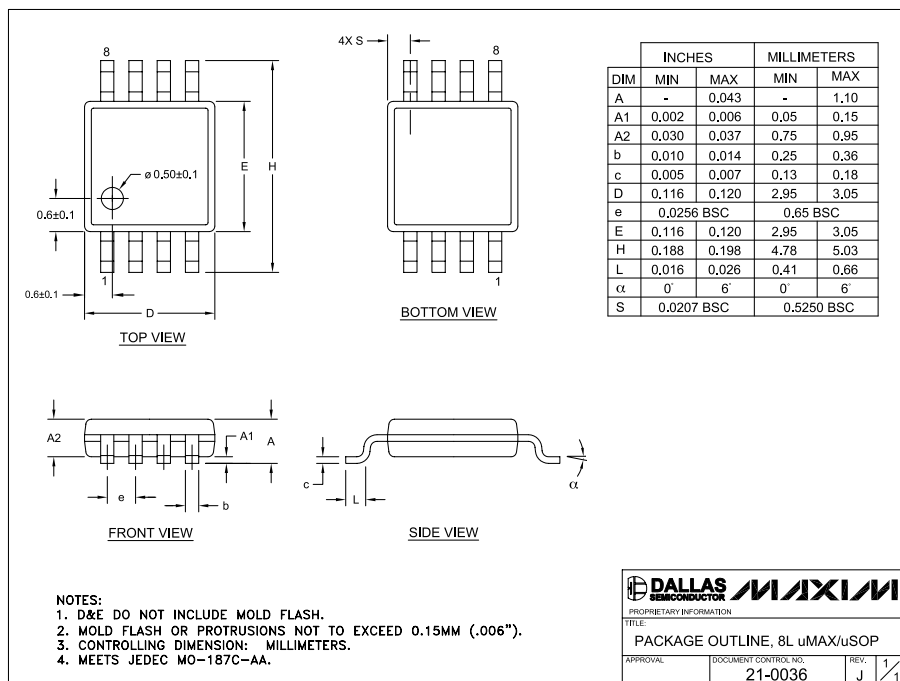
PROCESS: BICMOS

# +3V/+5V、シリアル入力、 電圧出力、16ビットDAC

MAX5441-MAX5444

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[www.maxim-ic.com/ja/packages](http://www.maxim-ic.com/ja/packages)をご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600