

# MAXIM

## CMOS 12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

### 概要

MAX543は、電流出力乗算型D/Aコンバータ(DAC)で、実装面積の小さい8ピンDIPパッケージ、及び8ピンまたは16ピン表面実装用SOPに納められています。シリアルインタフェースが3線のため、基板スペースが減りまた消費電力も低く抑えられます。マイクロプロセッサ( $\mu$ P)と組合せてシリアルポートで使用する場合、MAX543は入力ピンから出力へのデジタルノイズのフィードスルーを減らします。シリアルポートは、専用のアナログバスとして使用でき、またMAX543が動作中にはインアクティブになります。シリアルインタフェースは、光またはトランスを用いた絶縁タイプのアプリケーションを容易にします。

MAX543は、12ビットR-2RタイプのDAC、シリアル入力パラレル出力のシフトレジスタ、DACレジスタ及びロジック制御回路を内蔵しています。クロック(CLK)パルスの立上がりエッジでシリアル(SRI)入力データがMAX543へ転送されます。全てのデータがシリアル入力されると、このデータはLOAD入力をローにすることによりDACレジスタに送られます。

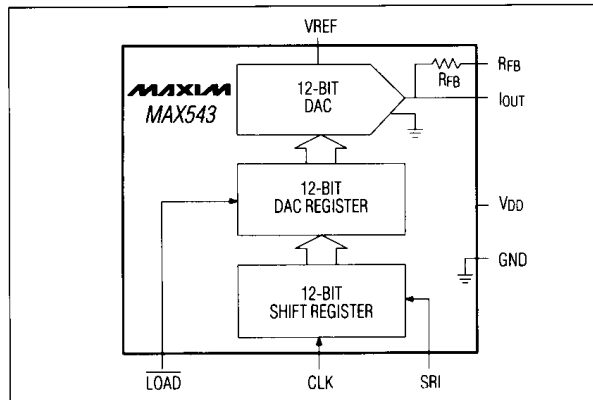
MAX543は、+5V又は+15Vの単一電源で動作します。+5V動作時は、デジタル入力はTTLまたはCMOSコンパチブルです。+15V動作時は、高い電圧のCMOSレベルになります。

マキシム社のMAX543は、温度特性の優れたレーザトリミングされた薄膜抵抗を使用しているため、 $\pm 1/4$ LSBの直線性および $\pm 1$ LSB以内の利得精度が得られます。デジタル入力端子は静電破壊(ESD)に対して保護されており、標準的に5,000V以上のESD電圧に耐えられます。

### アプリケーション

自動調整器  
移動制御システム  
 $\mu$ P制御システム  
プログラマブル アンプ/アッテネータ  
デジタル制御フィルタ

### ブロックダイアグラム



### 特長

- ◆ 12ビット精度、8ピンDIP/SOP
- ◆ 高速3線シリアルインタフェース
- ◆ 低INLおよびDNL(最大 $\pm 1/2$ LSB)
- ◆ 利得精度: 最大 $\pm 1$ LSB
- ◆ 低利得温度特性: 最大5ppm/ $^{\circ}$ C
- ◆ +5Vまたは+15V動作
- ◆ TTL/CMOSコンパチ
- ◆ ESD保護

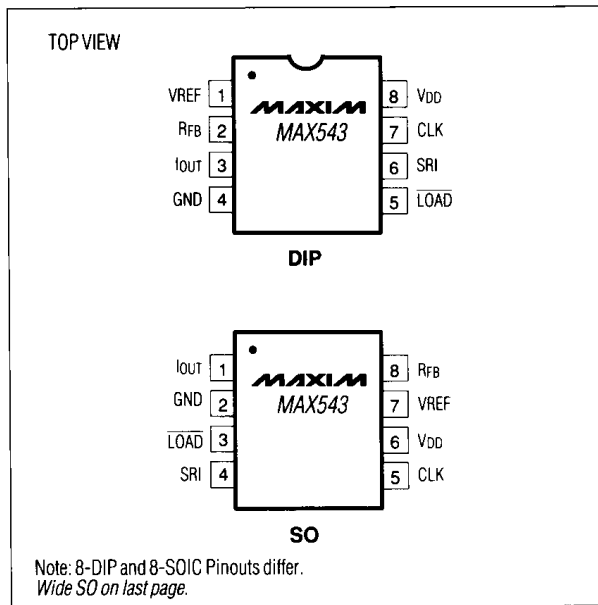
### 型番

PART	TEMP. RANGE	PIN-PACKAGE	LINEARITY (LSBs)
MAX543ACPA	0 $^{\circ}$ C to +70 $^{\circ}$ C	8 Plastic DIP	$\pm 1/2$
MAX543BCPA	0 $^{\circ}$ C to +70 $^{\circ}$ C	8 Plastic DIP	$\pm 1$
MAX543ACSA	0 $^{\circ}$ C to +70 $^{\circ}$ C	8 SO	$\pm 1/2$
MAX543BCSA	0 $^{\circ}$ C to +70 $^{\circ}$ C	8 SO	$\pm 1$
MAX543ACWE	0 $^{\circ}$ C to +70 $^{\circ}$ C	16 Wide SO	$\pm 1/2$
MAX543BCWE	0 $^{\circ}$ C to +70 $^{\circ}$ C	16 Wide SO	$\pm 1$
MAX543BC/D	0 $^{\circ}$ C to +70 $^{\circ}$ C	Dice*	$\pm 1$
MAX543AEPA	-40 $^{\circ}$ C to +85 $^{\circ}$ C	8 Plastic DIP	$\pm 1/2$
MAX543BEPA	-40 $^{\circ}$ C to +85 $^{\circ}$ C	8 Plastic DIP	$\pm 1$

Ordering information continued on last page.

\* Contact factory for dice specifications.

### ピン配置



# CMOS 12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	+17V
V <sub>REF</sub> to GND	±25V
V <sub>REFB</sub> to GND	±25V
Digital Input Voltage to GND	-0.3V, V <sub>DD</sub> + 0.3V
V <sub>IOUT</sub> to GND	-0.3V, V <sub>DD</sub> + 0.3V
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
8-Pin Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
8-Pin SO (derate 5.88mW/°C above +70°C)	471mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C)	762mW
8-Pin CERDIP (derate 8.00mW/°C above +70°C)	640mW

## Operating Temperature Ranges:

MAX543AC/BC	0°C to +70°C
MAX543AE/BE	-40°C to +85°C
MAX543AM/BMJA	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10 sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +5V, +12V or +15V; V<sub>REF</sub> = +10V; V<sub>IOUT</sub> = GND = 0V; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>							
Resolution	N			12			Bits
Integral Nonlinearity	INL			MAX543A		±1/2	LSB
				MAX543B		±1	
Differential Nonlinearity	DNL	Guaranteed monotonic to 12 bits over temperature		MAX543A		±1/2	LSB
				MAX543B		±1	
Gain Error	FSE	Using internal R <sub>FB</sub>	T <sub>A</sub> = +25°C	MAX543A		±1	LSB
				MAX543B		±2	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>	All grades		±2	
Gain Tempco ΔGain/ΔTemp (Note 2)	TCFS	Using internal R <sub>FB</sub>			±1	±5	ppm/°C
DC Supply Rejection	PSR	ΔV <sub>DD</sub> = ±5%				±0.001	%/%
<b>DYNAMIC PERFORMANCE (Note 2)</b>							
Current Settling Time	t <sub>s</sub>	T <sub>A</sub> = +25°C, to 1/2LSB, I <sub>OUT</sub> load is 100Ω    3pF, DAC register alternately loaded with all 1s and all 0s			0.25	1	μs
Digital-to-Analog Glitch	Q	V <sub>REF</sub> = 0V, I <sub>OUT</sub> load is 100Ω    13pF, DAC register alternately loaded with all 1s and all 0s			2	20	nV-s
AC Feedthrough at I <sub>OUT</sub>	FTE	V <sub>REF</sub> = ±10V <sub>p-p</sub> at 10kHz, DAC register loaded with all 0s			0.4	1	mV <sub>p-p</sub>
Total Harmonic Distortion	THD	V <sub>REF</sub> = 6V <sub>rms</sub> at 1kHz, DAC register loaded with all 1s			-85		dB
Output Noise-Voltage Density	e <sub>n</sub>	10Hz to 100kHz, measured between R <sub>FB</sub> and I <sub>OUT</sub>			13	15	nV/√Hz
<b>REFERENCE INPUT</b>							
Input Resistance	R <sub>REF</sub>			7	11	15	kΩ
Input Resistance Tempco	TCR				-200		ppm/°C

# CMOS 12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +5V, +12V$  or  $+15V$ ;  $V_{REF} = +10V$ ;  $V_{IOUT} = GND = 0V$ ;  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>ANALOG OUTPUT</b>							
I <sub>OOUT</sub> Leakage Current	I <sub>LKG</sub>	DAC register loaded with all 0s	$T_A = +25^\circ\text{C}$	All grades	$\pm 0.5$	$\pm 5$	nA
			$T_A = T_{MIN}$ to $T_{MAX}$	MAX543AC/BC/AE/BE		$\pm 25$	
				MAX543AM/BM		$\pm 100$	
I <sub>OOUT</sub> Capacitance (Note 2)	C <sub>OOUT</sub>	DAC register loaded with all 0s		55	80	pF	
		DAC register loaded with all 1s		85	110		
<b>DIGITAL INPUTS</b>							
Input High Voltage	V <sub>IH</sub>	$V_{DD} = 5V$		2.4		V	
		$V_{DD} = 15V$		13.5			
Input Low Voltage	V <sub>IL</sub>	$V_{DD} = 5V$			0.8	V	
		$V_{DD} = 15V$			1.5		
Input Leakage Current	I <sub>IN</sub>	Digital inputs at 0V or $V_{DD}$			$\pm 1$	$\mu\text{A}$	
Input Capacitance (Note 2)	C <sub>IN</sub>	Digital inputs at 0V or $V_{DD}$			8	pF	
<b>SWITCHING CHARACTERISTICS (Note 3)</b>							
CLK Pulse Width High	t <sub>CH</sub>			90		ns	
CLK Pulse Width Low	t <sub>CL</sub>			120		ns	
SRI Data to CLK Setup	t <sub>DS</sub>			40		ns	
SRI Data to CLK Hold	t <sub>DH</sub>			80		ns	
LOAD Pulse Width	t <sub>LD</sub>			120		ns	
LSB CLK to LOAD	t <sub>SL</sub>			0		ns	
LOAD High to CLK	t <sub>LC</sub>			0		ns	
<b>POWER SUPPLY</b>							
V <sub>DD</sub> Range	V <sub>DD</sub>	$V_{DD} = 12V$ or $15V$		+11.40		+15.75	V
		$V_{DD} = 5V$		+4.75		+5.25	
I <sub>DD</sub> Range	I <sub>DD</sub>	All digital inputs at V <sub>IL</sub> or V <sub>IH</sub>				500	$\mu\text{A}$
		All digital inputs at 0V or $V_{DD}$			5	100	

**Note 1:** Tests are performed at  $V_{DD} = +5V$  and  $V_{DD} = +15V$ . Operation at  $+12V$  is guaranteed by power-supply rejection (PSR) tests.

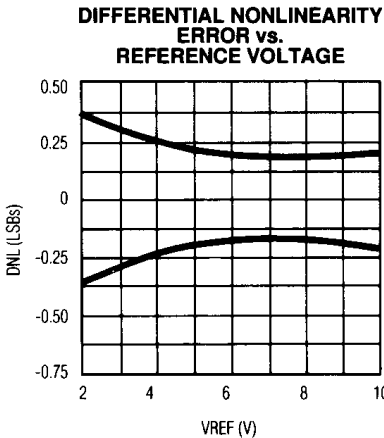
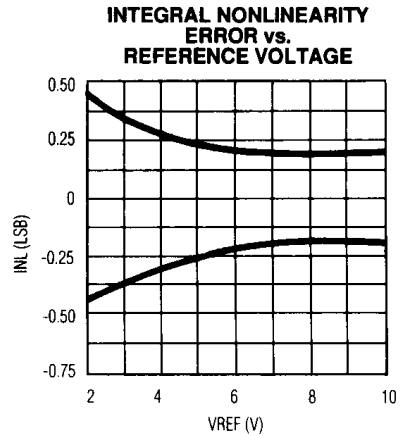
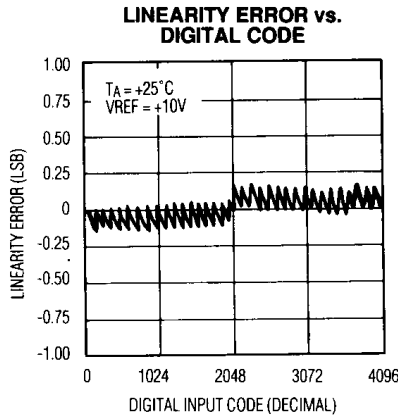
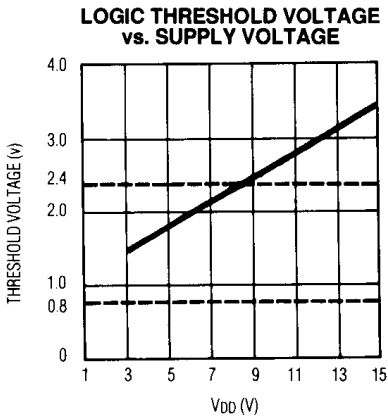
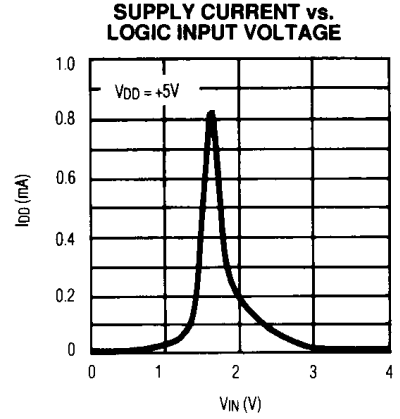
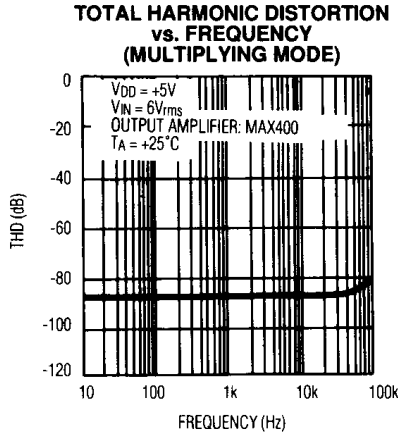
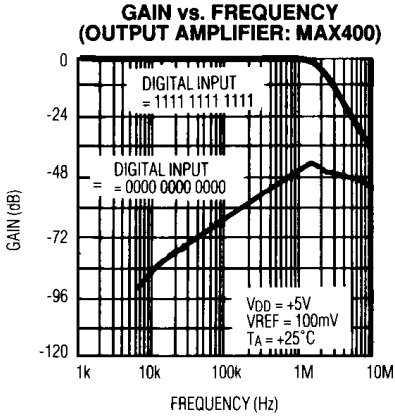
**Note 2:** Guaranteed by design, not subject to test.

**Note 3:** Sample tested to 0.1% AQL.

# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

## 標準動作特性

MAX543



# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

## 詳細

### D/Aコンバータ

MAX543のDAC回路は、図1のようにレーザトリミングされた薄膜フィルムR-2R抵抗アレイと、NMOS電流スイッチで構成されています。バイナリで重み付けされた電流は、それぞれの入力コードに従って $I_{OUT}$ かGNDのいずれかに切り替えられます。 $I_{OUT}$ とGNDは、デジタルコードに依存しますが、2つの出力電流の和は常に $V_{REF}$ における入力電流に等しくなります。

電流出力 $I_{OUT}$ は、出力アンプを外付けすることによって電圧出力に変換することができます(図3)。 $V_{REF}$ 入力には、固定および時間的に変動する電圧または電流のような広範囲の信号を印加することができます。リファレンス入力に電流ソースが使われる場合には、温度変化に対する利得変動を最小にするように、 $R_{FB}$ ピンに温度係数の低い外部抵抗を使用しなければなりません。

内蔵されたフィードバック抵抗 $R_{FB}$ は、R-2R抵抗アレイのNMOSスイッチと同じ特性のNMOSスイッチによって補償されています。この結果、優れた電源除去特性と利得温度係数特性が得られています。

$I_{OUT}$ ピンの出力容量 $C_{OUT}$ は、入力コードに依存し、全スイッチがGNDの時に標準55pFで、全スイッチが $I_{OUT}$ の時85pFです。

### デジタル回路

図2にMAX543のタイミングダイアグラムを示します。MSBのデータは、常に最初のクロックの立下がりエッジでロードされます。全てのデータがMAX543に入力されると、DACレジスタはLOAD信号の“ロー”でロードされます。DACレジスタは、LOADが“ロー”でトランSPARENTに、ハイでラッチされま

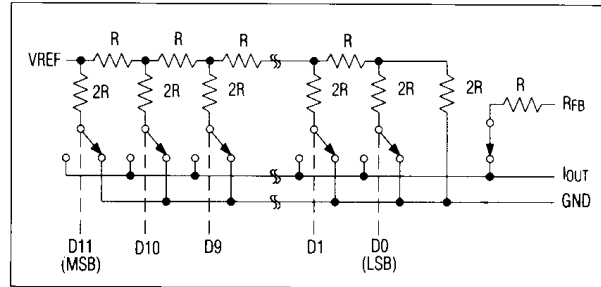


図1. MAX543のD/A回路の概略

す。LSBビットが完全にシフトレジスタにシフトされる前にLOAD信号が“ロー”になると、DAC出力に“グリッチ”が発生します。これを避けるために、LOAD信号は、LSBのクロックの立下がりエッジより30ns遅らせる必要があります。

MAX543の入力バッファインバータは、TTLレベルをCMOSロジックレベルに変換するレベルシフタの役目をします。これらの入力バッファは、 $V_{DD}$ が+5VでTTLと+5V CMOSロジックレベルとコンパチブル(0.8Vと2.4V)です。 $V_{DD}$ が+15Vでは、入力バッファはCMOSロジックとコンパチブル(1.5Vと13.5V)になります。この電源電圧では、入力バッファは、入力レベルが1V~6Vの間でニアな範囲にあります。電源電流を最小にするために、デジタル入力電圧はできるだけ電源電圧( $V_{DD}$ )とグラウンド(GND)レベルに近い電圧に保つべきです。

## 回路説明

### ユニポーラ動作

MAX543の基本的なアプリケーションを図3に示します。この回路は、ユニポーラ動作または2象限乗算器として使用されます。このモードのコードは表1で与えられます。電圧出

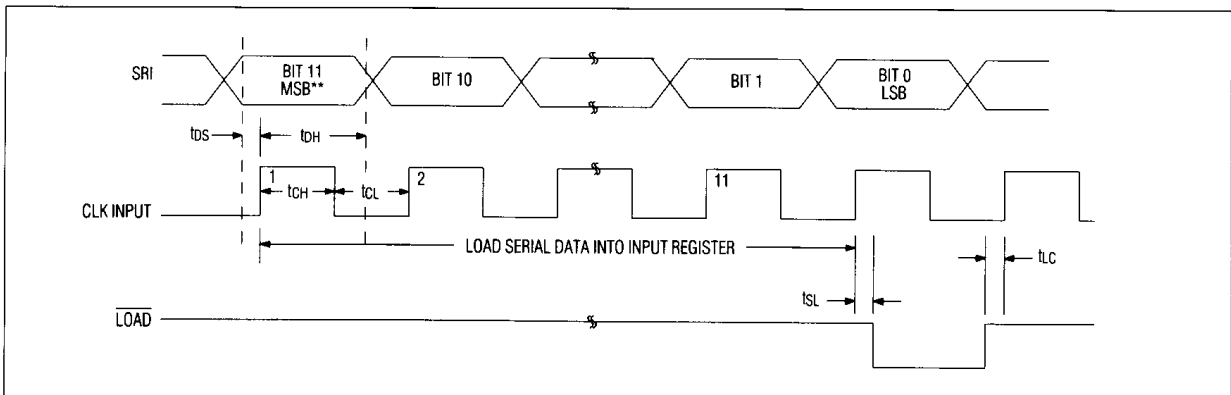


図2. ライトサイクル・タイミングダイアグラム

# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

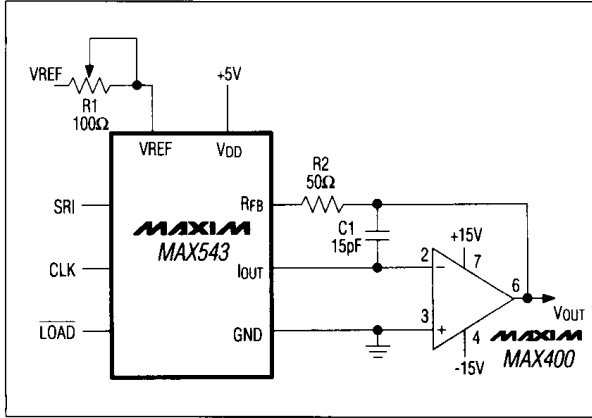


図3. ユニポーラ動作

表1. 図3のユニポーラ・バイナリコード表

DIGITAL INPUT			ANALOG OUTPUT
MSB	LSB		
1111	1111	1111	$-VREF \left( \frac{4095}{4096} \right)$
1000	0000	0000	$-VREF \left( \frac{2048}{4096} \right) = -\frac{VREF}{2}$
0000	0000	0001	$-VREF \left( \frac{1}{4096} \right)$
0000	0000	0000	0

力の極性は、VREFとは逆極性になることに注意してください。

多くのアプリケーションでは、製品の精度が十分であるか、またはリファレンス入力電圧で調整されているため、利得の調整は必要ありません。これらの場合、図3の抵抗R1とR2は省略することができます。ゲイン調整が必要で、DACを広い温度範囲で動作させる場合には、低い温度係数(300ppm/°C以下)の抵抗をR1、R2に使う必要があります。

コンデンサC1は、位相補償およびDAC出力に高速アンプが使用されているときのオーバーシュートやリングングを改善するために使われます。

### バイポーラ動作

図4にMAX543のバイポーラまたは4象限乗算器モードで使用する場合を示します。2番目のアンプと3本のマッチングの取れた抵抗(R3、R4、R5)が必要です。これらの抵抗は、温度トラッキング特性を良くするために(15ppm/°C以下)同一材質(なるべくならメタルフィルム抵抗または巻線抵

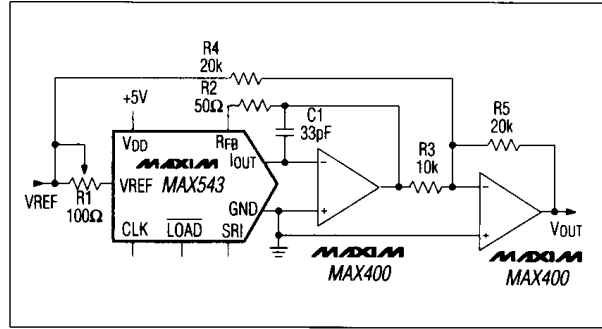


図4. バイポーラ動作

表2. 図4のオフセット・バイナリコード表

DIGITAL INPUT			ANALOG OUTPUT
MSB	LSB		
1111	1111	1111	$+VREF \left( \frac{2047}{2048} \right)$
1000	0000	0001	$+VREF \left( \frac{1}{2048} \right)$
1000	0000	0000	0
0111	1111	1111	$-VREF \left( \frac{1}{2048} \right)$
0000	0000	0000	$-VREF \left( \frac{2048}{2048} \right)$

表3. 2のコンプリメント・コード表

DIGITAL INPUT			ANALOG OUTPUT
MSB	LSB		
0111	1111	1111	$+VREF \left( \frac{2047}{2048} \right)$
0000	0000	0001	$+VREF \left( \frac{1}{2048} \right)$
0000	0000	0000	0
1111	1111	1111	$-VREF \left( \frac{1}{2048} \right)$
1000	0000	0000	$-VREF \left( \frac{2048}{2048} \right)$

# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

抗)で、さらに12ビット特性のために0.01%以下にマッチングされたものを使用します。出力コードはオフセットバイナリーで表2に示します。乗算器としてのアプリケーションでは、MSBは出力電圧の極性を決め、他の11ビットで出力振幅を決めます。MSBは、MAX543が2のコンプリメンタリで動くようにエクスクルーシブOR命令を使い、ソフトウェアで反転させることができます。図3に、2のコンプリメンタリ動作のためのコードと出力電圧の関係を示します。

回路調整のために、DACに1000 0000 0000のコードを入力し、出力が0VになるようにR1を調整します。R1とR2を削除した時には、0V調整の代わりに、R3とR4の比で0V出力になるよう調整します。フルスケール調整は、オール“0”またはオール“1”の入力コードをDACに印加し、VREFの振幅またはR5の調整によって、希望する正および負の出力電圧が得られるまで調整します。多くのアプリケーションでは、特に素子が最大±1LSBの利得誤差内に保証されているものを使用する場合には、利得調整は必要ではないでしょう。この場合、利得はVREF入力で調整でき、図4のR1、R2を削除することができます。調整が必要で、DACを広い温度範囲で動作させる場合には、温度係数の低い(300ppm/°C以下)の抵抗をR1とR2に使う必要があります。

## 単一電源動作(電圧モード)

MAX543は、GNDとVDD間の任意の電圧をIOUTに印加することで、単一電源(電圧モード)で便利に使うことができます。IOUTをGNDより0.3V以下、またはVDDより0.3V以上にしてはいけません。すなわち、内部ダイオードがターンオンして大電流が流れ、素子を破壊してしまいます。

図5に、MAX543を電圧出力型DACとして使う場合の結線を示します。IOUTはリファレンス電圧源に接続し、GNDピンはグラウンドに接続します。DAC出力、ここではVREFピンは、リファレンス入力抵抗(11kΩ typ)に等しい一定のインピーダンスを持っています。低いインピーダンスが必要な場合、この出力をオペアンプでバッファします。このモードではRFBピンは使いません。

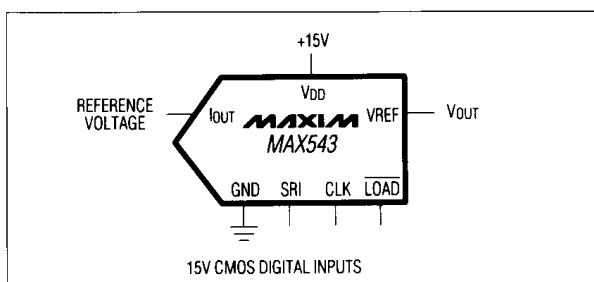


図5. 電圧モードでの単一電源動作

このモードでのリファレンス入力(IOUT)の入力インピーダンスは、入力コードに依存し、回路の応答時間は、負荷条件の変化に対するリファレンス源の応答に依存します。

電圧モードで動作させる場合には、単一電源で動作できること、およびプラスの出力に対してマイナスのリファレンスが不必要であるという二つの利点があります。リファレンス電圧入力(IOUT)を常にプラスにすること、およびVDDが15Vの時VREFを2.5V以下に制限してください。もしリファレンス電圧が2.5V以上になるか、あるいはVDDが低下すると、DAC内部のNMOSスイッチの抵抗のマッチングが取れなくなり、積分直線性(INL)と微分直線性(DNL)が悪くなります。

図3、4に示すユニポーラおよびバイポーラ回路も、電圧出力モードに変換できます。

## 光絶縁のアプリケーション

図6AにMAX543を他のシステムから絶縁するためにホットカプラを使ったインタフェース回路を示します。3個のホットカプラ(OC1、OC2、OC3)は、シリアルデータとクロック信号を絶縁バリアを介して伝送します。絶縁された電源V+とV-をMAX543、出力アンプおよびホットカプラに供給します。もし、データワードの更新が減多に起こらず、シリアルデータが入力されている時に大きなアナログ出力の変動が容認されるなら、ホットカプラOC3を省略し、MAX543のLOADピン(5番ピン)を“ロー”にすることによって、部品点数を減らすことができます。

6N136のホットカプラを使った場合、この回路では最大100kHzまたは1データワードを130μsのクロックレートで、シリアルデータを入力できます。シリアルデータとLOAD信号は、図6Bのタイミングダイアグラムに示すように、クロックの立下がりエッジに合わせて変化させます。ポジティブなクロックはLOADが“ロー”の間無視されます。

MAX543は、図6aのホットカプラ回路を使った場合にも、+5Vの絶縁された電源で動作します。低いV+電源電圧では、R1~R3の抵抗値は、スイッチングスピードを維持するために3kΩに変更します。

V+電源からMAX543とホットカプラへ流れる電流は、データビットがオール0でクロックレートが100kHzの時3.5mAです。CLOCK、シリアルデータ、およびLOAD信号が“ハイ”で、新しいデータがロードされない時、(VREFとオペアンプの電流を除く)V+の電流はゼロになります。

# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

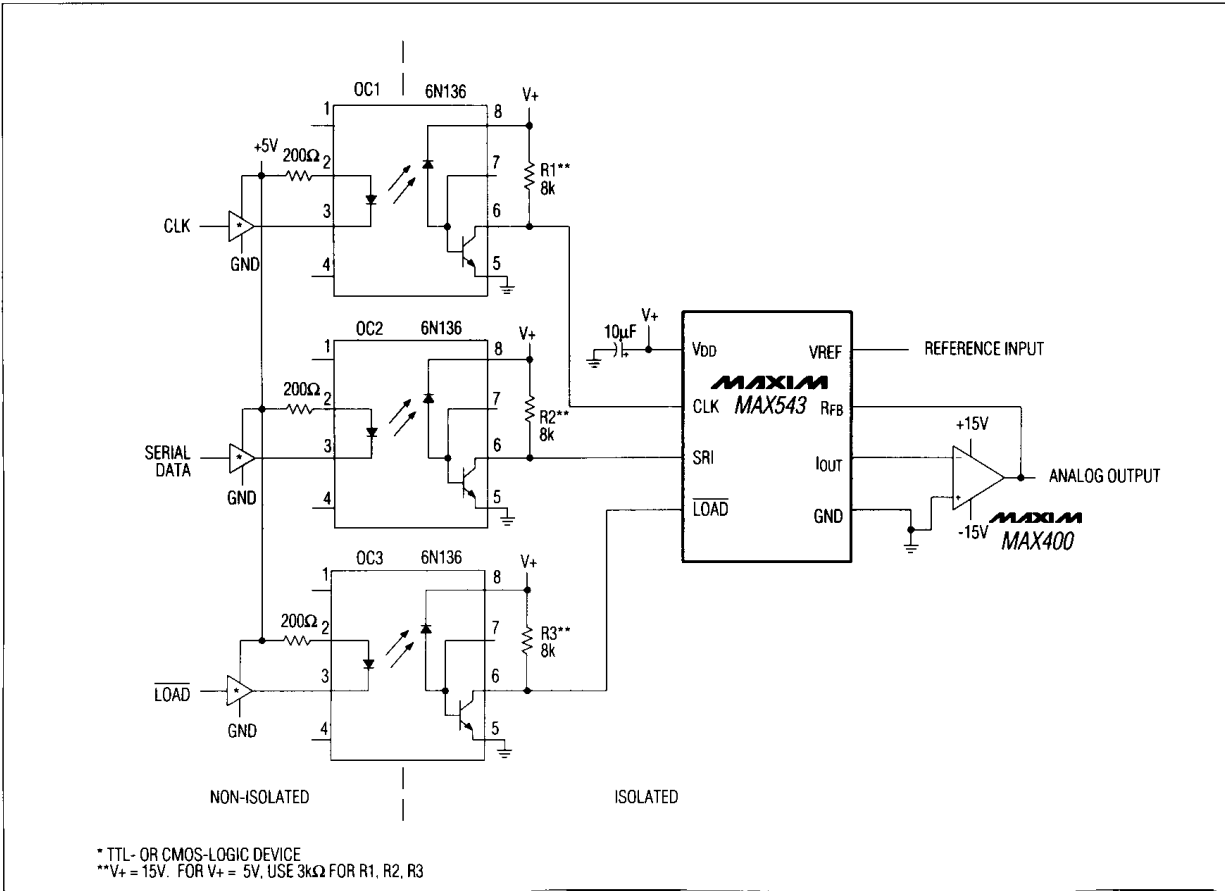


図6 a. MAX543光絶縁アプリケーション

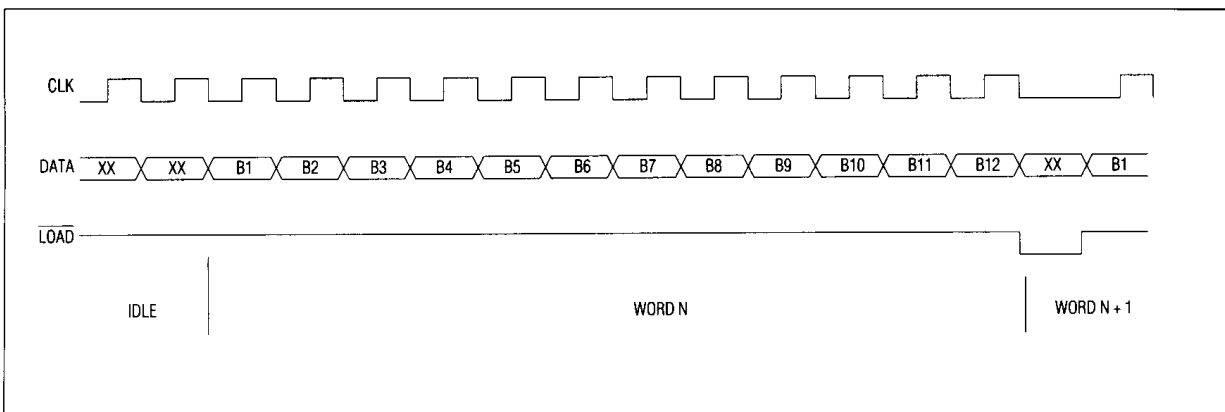


図6 b. MAX543光絶縁タイミング



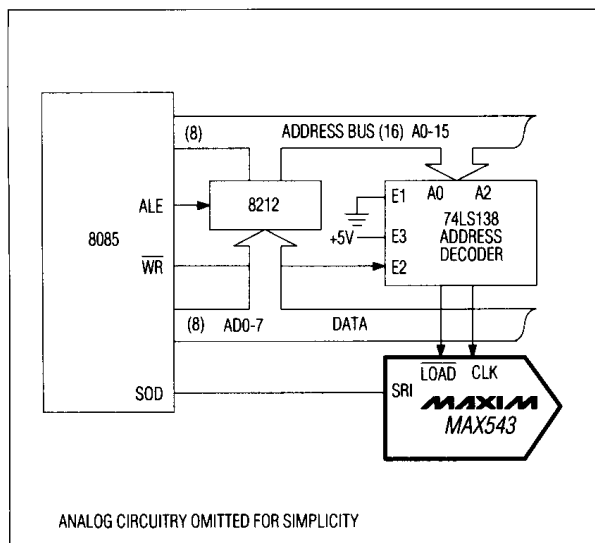


図7. MAX543と8085のインタフェース

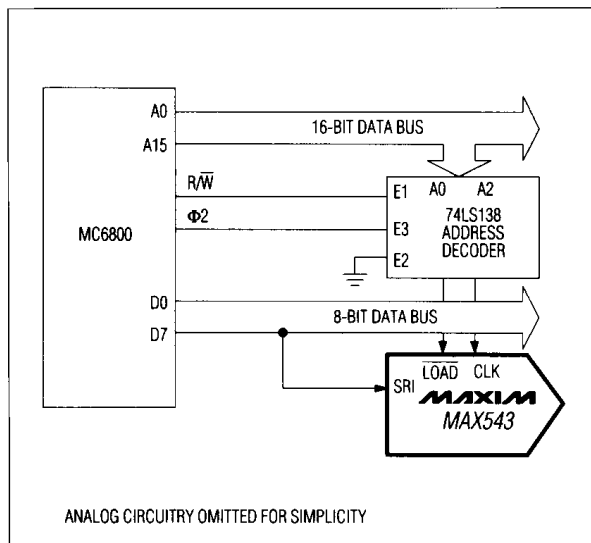


図8. MAX543とMC6800のインタフェース

## マイクロプロセッサとのインタフェース

### 8085とのインタフェース

図7にMAX543と8085マイクロプロセッサとのインタフェースを示します。8085のSODラインがDACへのシリアルデータの伝送に使われます。このデータは、メモリーライト命令を実行することで、MAX543に転送されます。DACへのCLK入力は、アドレス8000番地のデコード信号とWR信号で作ることができます。データは、LOADを“ロー”にするA000番地へのメモリーライト命令を使ってDACレジスタへ移されます。MAX543へのデータは、8085のHおよびLレジスタに右詰めフォーマットでストアされます。

### MC6800とのインタフェース

図8にMAX543のMC6800マイクロプロセッサとのインタフェースを示します。DACへのシリアルデータを作るために、ライトサイクル中にデータを変換しながら、連続してメモリーライト命令を実行することで、MAX543へデータを転送します。

D7データラインは、SRI信号として使われています。メモリー0000番地の下位半分は4つのMSBデータビットを持ち、0001番地では8つのLSBデータビットを持っています。メモリー2000番地のアドレスデータとR/WおよびΦ2信号は、各メモリーライト毎にデコードされDACに対するCLK信号を作っています。同様に、アドレス4000へのライトは、MAX543のLOAD入力を“ロー”にすることで、DACレジスタへデータを転送します。

## アプリケーション情報

### 出力アンプのオフセット

最良のリニアリティのために、 $I_{OUT}$ とGNDは正確に0Vにしなければなりません。多くのアプリケーションでは、 $I_{OUT}$ は反転オペアンプの加算点に接続されます。アンプのオフセット入力電圧は、 $I_{OUT}$ が0Vでないところに接続されるために、DACのリニアリティを悪化させます。誤差は次式で示されます。

$$\text{誤差電圧} = V_{OS}(1 + R_{FB}/R_O)$$

ここで $V_{OS}$ はオペアンプのオフセット電圧、 $R_O$ はDACの出力抵抗です。 $R_O$ はデジタル入力コードの関数で、約11kΩ～13kΩの間で変わります。誤差電圧は、標準的に $4/3V_{OS}$ ～ $2V_{OS}$ の範囲で $2/3V_{OS}$ だけ変化します。3mVのオフセットを持ったアンプでは、10Vのリファレンス入力電圧の場合には、ほぼ1LSBの値2mVだけリニアリティを悪くします。最良のリニアリティを得るために、MAX400のような低オフセットのアンプを使うか、アンプのオフセットを0Vに調整しなければなりません。総合的には、 $V_{OS}$ の値を $1/10LSB$ 以上にしないことです。

出力アンプの入力バイアス電流( $I_B$ )は、 $I_B \times R_{FB}$ によるオフセット誤差によって性能を制限します。 $I_B$ は少なくともDACの出力電流の1LSB以下、 $V_{REF}=10V$ の場合で250nA以下にすべきです。この1/10の25nAを推奨します。もし、出力アンプの非反転入力に“バイアス電流補正抵抗”を通してグラウンドされていると、オフセットとリニアリティも悪化して

# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

しまいます。このような抵抗は、このピンでオフセットを加算しますので使用しないでください。非反転入力を直接グラウンドすることによって、最良の性能が得られます。

## ダイナミック特性について

スタティックまたはDCアプリケーションでは、出力アンプのAC特性はそれほど問題ではありません。リファレンス入力AC信号またはDAC出力が新しく設定された値に高速でセットするような、高速のアプリケーションでは、出力オペアンプのACパラメータを考慮しなければなりません。

ダイナミックなアプリケーションで誤差になる他の原因は、VREFピンからI<sub>OUT</sub>ピンへの信号の寄生カップリングです。これは、通常プリント基板のレイアウトとパッケージのピン間容量によって決まります。デジタル入力が切替わるとDAC出力へ雑音が入ります。このデジタルのフィードスルーは、通常プリント基板のレイアウトと内部の容量結合に依存します。デジタル入力とVREF、およびI<sub>OUT</sub>ピン間にガードラインを設けることによって、レイアウトがもたらすフィードスルーを最小にします。

LOADピンが“ロー”の時、DAC出力はデジタル入力に追従します。このモードでは、DACの出力に無効な出力と電圧グリッチが生じます。全てのデータがMAX543にシフトされるまで、LOAD入力を“ロー”に保つことでこの問題を解決します。

## 補償

高速のアンプと一緒にDACを使うとき、補償コンデンサC<sub>I</sub>が必要です。このコンデンサの目的は、DACの出力コンデンサC<sub>OUT</sub>と内部のフィードバック抵抗R<sub>FB</sub>によって作られるピーク特性をキャンセルするためです。その値は、オペアンプの形式にもよりますが、標準的には10pF～33pFです。大きすぎるコンデンサは出力を過剰に低下させ、またコンデンサが小さすぎるとリングングの原因になります。プリント基板の線の引き回しとI<sub>OUT</sub>での浮遊容量をできるだけ低く保つことによって、C<sub>I</sub>のサイズを最小にし、出力電圧のセットリングタイムを改善する事ができます。

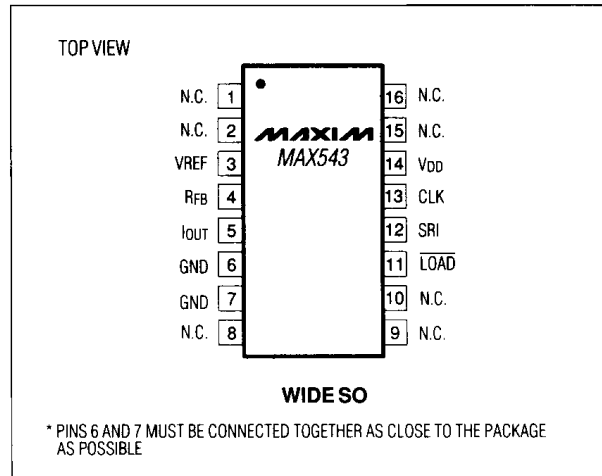
## グラウンドとバイパス

I<sub>OUT</sub>と出力アンプの非反転入力にはオフセット電圧に敏感なため、グラウンドに接続すべきピンは、独立した低抵抗(0.2Ω以下)の配線で直接“1点”に接地します。I<sub>OUT</sub>とGNDの電流は入力コードによって変わり、これらのピンがグラウンド(または仮想グラウンド)に抵抗を持つ経路によって結線されていると、入力コードによるエラーが発生します。

DACのV<sub>DD</sub>とGND間にできるだけ近づけて、0.01μFのセラミックコンデンサと1μFのバイパスコンデンサを並列に接続してください。

MAX543のデジタル入力はハイインピーダンスです。雑音の誘導を最小にするため、使用しないときはV<sub>DD</sub>またはGNDのどちらかに接続します。プリント基板が無接続状態のように、ピンがフローティングの時は、アクティブ入力ピンを静電気的環境から守るために、高抵抗(1MΩ)を通してV<sub>DD</sub>またはGNDに接続しておきます。

## ピン配置(続き)



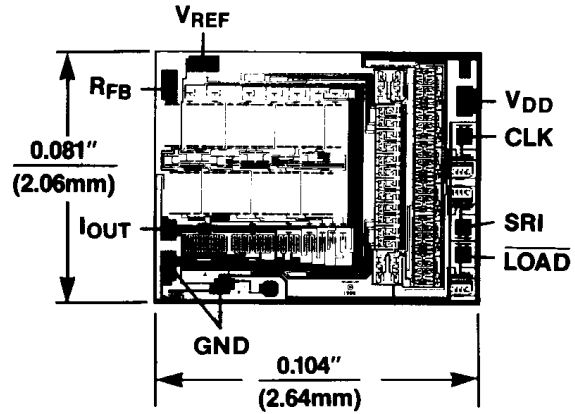
# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

MAX543

型番(続き)

チップ構造図

PART	TEMP. RANGE	PIN-PACKAGE	LINEARITY (LSBs)
MAX543AESA	-40°C to +85°C	8 SO	±1/2
MAX543BESA	-40°C to +85°C	8 SO	±1
MAX543AEWE	-40°C to +85°C	16 Wide SO	±1/2
MAX543BEWE	-40°C to +85°C	16 Wide SO	±1
MAX543AEJA	-40°C to +85°C	8 CERDIP	±1/2
MAX543BEJA	-40°C to +85°C	8 CERDIP	±1
MAX543AMJA	-55°C to +125°C	8 CERDIP	±1/2
MAX543BMJA	-55°C to +125°C	8 CERDIP	±1



パッケージ

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	-	0.200	-	5.08
A1	0.015	-	0.38	-
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.050	0.065	1.27	1.65
C	0.008	0.012	0.20	0.30
D	0.348	0.390	8.84	9.91
D1	0.005	0.035	0.13	0.89
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e <sub>A</sub>	0.300 BSC		7.62 BSC	
e <sub>R</sub>	-	0.400	-	10.16
L	0.115	0.150	2.92	3.81
α	0°	15°	0°	15°

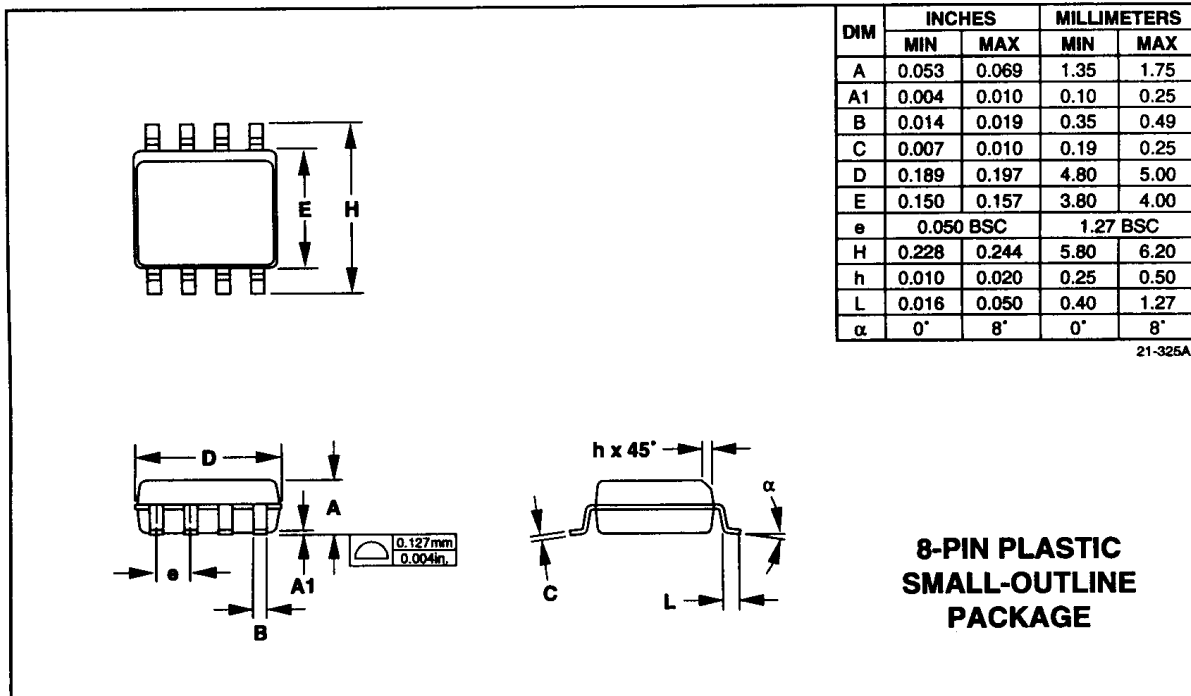
21-324A

**8-PIN PLASTIC  
DUAL-IN-LINE  
PACKAGE**

# CMOS12ビットシリアル入力 乗算型D/Aコンバータ

パッケージ

MAX543



販売代理店

**マキシム・ジャパン株式会社**

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL.(03)3232-6141 FAX.(03)3232-6149

*Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.*

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600