

+5V、シリアル入力、電圧出力16ビットDAC

概要

MAX541/MAX542は、+5V単一電源で動作する16ビットシリアル入力、電圧出力のデジタルアナログコンバータ(DAC)です。調整を必要とすることなく全温度範囲で16ビット性能(INL及びDNLが ± 1 LSB)を提供します。DAC出力はバッファされていないため、消費電流が0.3mA、オフセットエラーが1LSBと低くなっています。

DACの出力範囲は0V \sim V_{REF}です。MAX542はバイポーラ動作用に、外部高精度オペアンプ(MAX400等)と併用できるマッチングされたスケール抵抗を内蔵し、 $\pm V_{REF}$ の出力スイングを発生できます。またMAX542は、リファレンス及びアナロググランドピンにケルビン検出接続を採用しているため、レイアウトによる影響を低減できます。

16ビットのシリアルワードがデータをDACラッチにロードします。10MHzの3線シリアルインタフェースはSPI™/QSPI™及びMICROWIRE™とコンパチブルになっており、絶縁を必要とするアプリケーションではオプトカプラと直接インタフェースすることができます。電源投入時には、パワーオンリセット回路がDACの出力を0V(ユニポーラモード)にクリアします。

MAX541は、8ピンプラスチックDIP及びSOPパッケージで供給されています。MAX542は、14ピンDIP及びSOPパッケージで供給されています。

アプリケーション

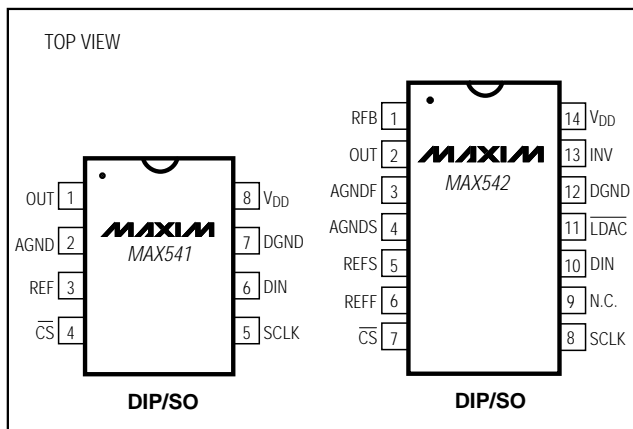
高分解能オフセット及び利得調整

工業用プロセス制御

自動試験機器

データ収集機器

ピン配置



SPI及びQSPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

特長

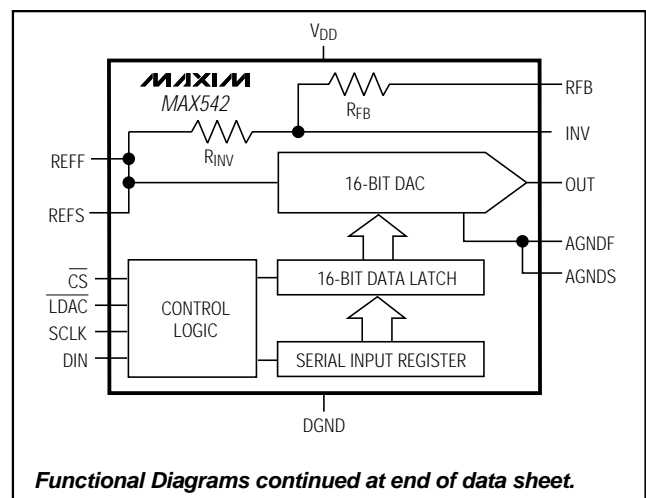
- ◆ 調整なしでフル16ビット性能を発揮
- ◆ 電源：+5V単一
- ◆ 低電力：1.5mW
- ◆ セトリング時間：1 μ s
- ◆ バッファなしの電圧出力が60k Ω の負荷を直接駆動
- ◆ シリアルインタフェース：
SPI/QSPI/MICROWIREコンパチブル
- ◆ パワーオンリセット回路がDAC出力を0Vにクリア
(ユニポーラモード)
- ◆ オプトカプラへの直接インタフェース用に
シュミットトリガ入力を装備

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX541ACPA	0°C to +70°C	8 Plastic DIP	± 1
MAX541BCPA	0°C to +70°C	8 Plastic DIP	± 2
MAX541CCPA	0°C to +70°C	8 Plastic DIP	± 4
MAX541ACSA	0°C to +70°C	8 SO	± 1
MAX541BCSA	0°C to +70°C	8 SO	± 2
MAX541CCSA	0°C to +70°C	8 SO	± 4

Ordering Information continued at end of data sheet.

ファンクションダイアグラム



Functional Diagrams continued at end of data sheet.

+5V、シリアル入力、電圧出力16ビットDAC

MAX541/MAX542

ABSOLUTE MAXIMUM RATINGS

V_{DD} to DGND	-0.3V to +6V	14-Pin Plastic DIP (derate 10.00mW/°C above +70°C) ...	800mW
CS, SCLK, DIN, LDAC to DGND	-0.3V to +6V	14-Pin SO (derate 8.33mW/°C above +70°C)	667mW
REF, REFF, REFS to AGND	-0.3V to (V_{DD} + 0.3V)	14-Pin Ceramic SB (derate 10.00mW/°C above +70°C) ..	800mW
AGND, AGNDF, AGNDS to DGND.....	-0.3V to +0.3V	Operating Temperature Ranges	
OUT, INV to AGND, DGND	-0.3V to V_{DD}	MAX541_C_A/MAX542_C_D	0°C to +70°C
RFB to AGND, DGND.....	-6V to +6V	MAX541_E_A/MAX542_E_D.....	-40°C to +85°C
Maximum Current into Any Pin.....	50mA	MAX542CMJD	-55°C to +125°C
Continuous Power Dissipation (T_A = +70°C)		Storage Temperature Range	-65°C to +150°C
8-Pin Plastic DIP (derate 9.09mW/°C above +70°C)	727mW	Lead Temperature (soldering, 10s)	+300°C
8-Pin SO (derate 5.88mW/°C above +70°C)	471mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±5%, V_{REF} = +2.5V, AGND = DGND = 0, T_A = T_{MIN} to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION ($R_L = \infty$)						
Resolution	N		16			Bits
Integral Nonlinearity	INL	$V_{DD} = 5V$	MAX54_A	±0.5	±1.0	LSB
			MAX54_B	±0.5	±2.0	
			MAX54_C	±0.5	±4.0	
Differential Nonlinearity	DNL	Guaranteed monotonic		±0.5	±1.0	LSB
Zero-Code Offset Error	ZSE	$T_A = +25^\circ C$			±1	LSB
		$T_A = T_{MIN}$ to T_{MAX}			±2	
Zero-Code Tempco	ZSTC	$T_A = T_{MIN}$ to T_{MAX}		±0.05		ppm/°C
Gain Error (Note 1)		$T_A = +25^\circ C$			±5	LSB
		$T_A = T_{MIN}$ to T_{MAX}			±10	
Gain-Error Tempco				±0.1		ppm/°C
DAC Output Resistance	R_{OUT}	(Note 2)		6.25		k Ω
Bipolar Resistor Matching		MAX542	RFB/RINV	1.0		
			Ratio error		±0.015	%
Bipolar Zero Offset Error		MAX542	$T_A = +25^\circ C$		±10	LSB
			$T_A = T_{MIN}$ to T_{MAX}		±20	
Bipolar Zero Tempco	BZSTC	MAX542		±0.5		ppm/°C
Power-Supply Rejection	PSR	$4.75V \leq V_{DD} \leq 5.25V$			±1.0	LSB
REFERENCE INPUT						
Reference Input Range	V_{REF}	(Note 3)	2.0		3.0	V
Reference Input Resistance (Note 4)	R_{REF}	Unipolar mode	11.5			k Ω
		MAX542, bipolar mode	9.0			
DYNAMIC PERFORMANCE—ANALOG SECTION ($R_L = \infty$, unipolar mode)						
Voltage-Output Slew Rate	SR	$C_L = 10pF$ (Note 5)		25		V/ μs
Output Settling Time		to $\pm 1/2$ LSB of FS, $C_L = 10pF$		1		μs

+5V、シリアル入力、電圧出力16ビットDAC

MAX541/MAX542

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +5V ±5%, V_{REF} = +2.5V, AGND = DGND = 0, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DAC Glitch Impulse		Major-carry transition		10		nVs
Digital Feedthrough		Code = 0000 hex; $\overline{CS} = V_{DD}$; $\overline{LDAC} = 0$; SCLK, DIN = 0 to V _{DD} levels		10		nVs
DYNAMIC PERFORMANCE—REFERENCE SECTION						
Reference -3dB Bandwidth	BW	Code = FFFF hex		1		MHz
Reference Feedthrough		Code = 0000 hex, V _{REF} = 1Vp-p at 100kHz		1		mVp-p
Signal-to-Noise Ratio	SNR			92		dB
Reference Input Capacitance	C _{IN}	Code = 0000 hex		75		pF
		Code = FFFF hex		120		
STATIC PERFORMANCE—DIGITAL INPUTS						
Input High Voltage	V _{IH}		2.4			V
Input Low Voltage	V _{IL}				0.8	V
Input Current	I _{IN}	V _{IN} = 0			±1	μA
Input Capacitance	C _{IN}	(Note 6)			10	pF
Hysteresis Voltage	V _H			0.40		V
POWER SUPPLY						
Positive Supply Range	V _{DD}		4.75		5.25	V
Positive Supply Current	I _{DD}			0.3	1.1	mA
Power Dissipation	PD			1.5		mW

TIMING CHARACTERISTICS

(V_{DD} = +5V ±5%, V_{REF} = +2.5V, AGND = DGND = 0, CMOS inputs, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	f _{CLK}				10	MHz
SCLK Pulse Width High	t _{CH}		45			ns
SCLK Pulse Width Low	t _{CL}		45			ns
\overline{CS} Low to SCLK High Setup	t _{CSS0}		45			ns
\overline{CS} High to SCLK High Setup	t _{CSS1}		45			ns
SCLK High to \overline{CS} Low Hold	t _{CSH0}	(Note 6)	30			ns
SCLK High to \overline{CS} High Hold	t _{CSH1}		45			ns
DIN to SCLK High Setup	t _{DS}		40			ns
DIN to SCLK High Hold	t _{DH}		0			ns
\overline{LDAC} Pulse Width	t _{\overline{LDAC}}	MAX542	50			ns
\overline{CS} High to \overline{LDAC} Low Setup	t _{\overline{LDACS}}	MAX542 (Note 6)	50			ns
V _{DD} High to \overline{CS} Low (power-up delay)				20		μs

Note 1: Gain Error tested at V_{REF} = 2.0V, 2.5V, and 3.0V.

Note 2: R_{OUT} tolerance is typically ±20%.

Note 3: Min/max range guaranteed by gain-error test. Operation outside min/max limits will result in degraded performance.

Note 4: Reference input resistance is code dependent, minimum at 8555 hex.

Note 5: Slew-rate value is measured from 0% to 63%.

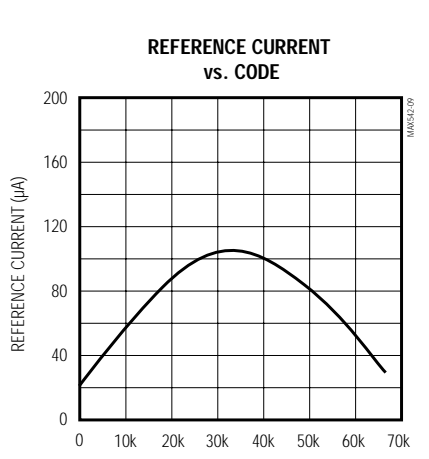
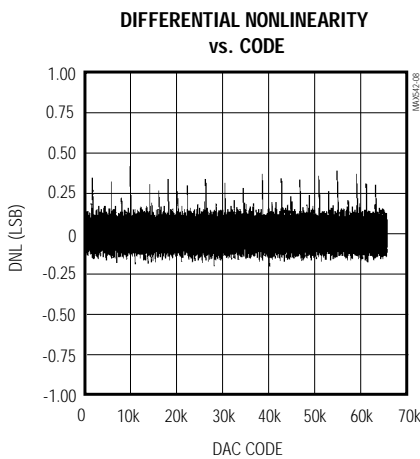
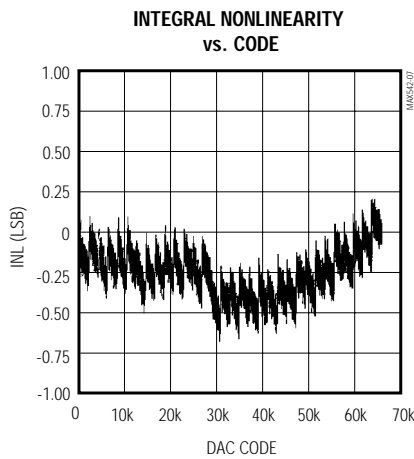
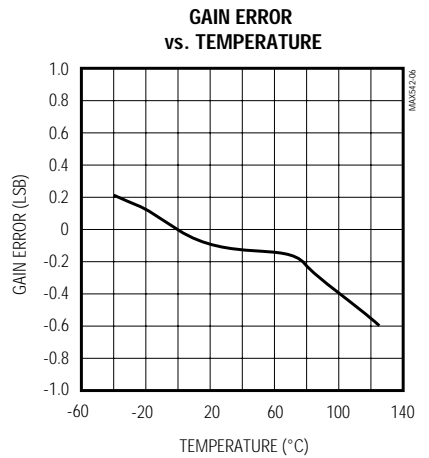
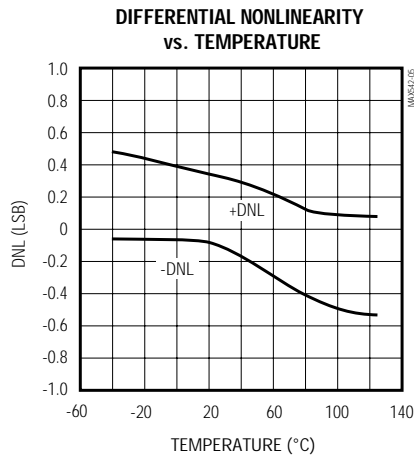
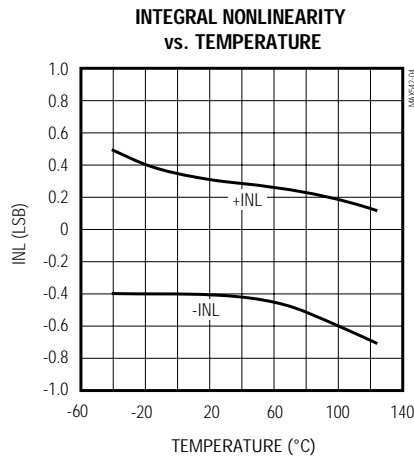
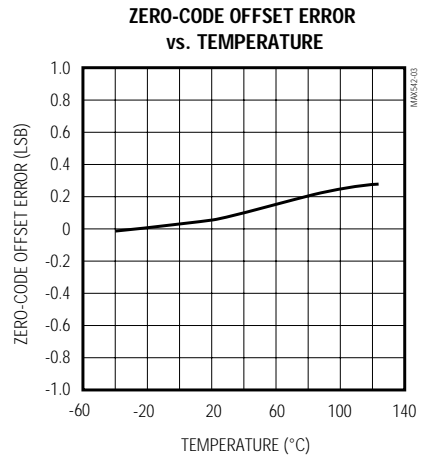
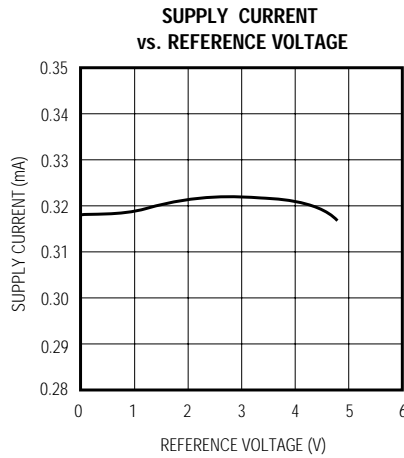
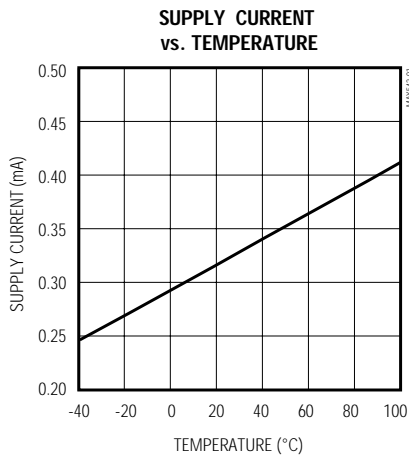
Note 6: Guaranteed by design. Not production tested.

+5V、シリアル入力、電圧出力16ビットDAC

MAX541/MAX542

標準動作特性

($V_{DD} = 5V$, $V_{REF} = 2.5V$, $T_A = +25^\circ C$, unless otherwise noted.)

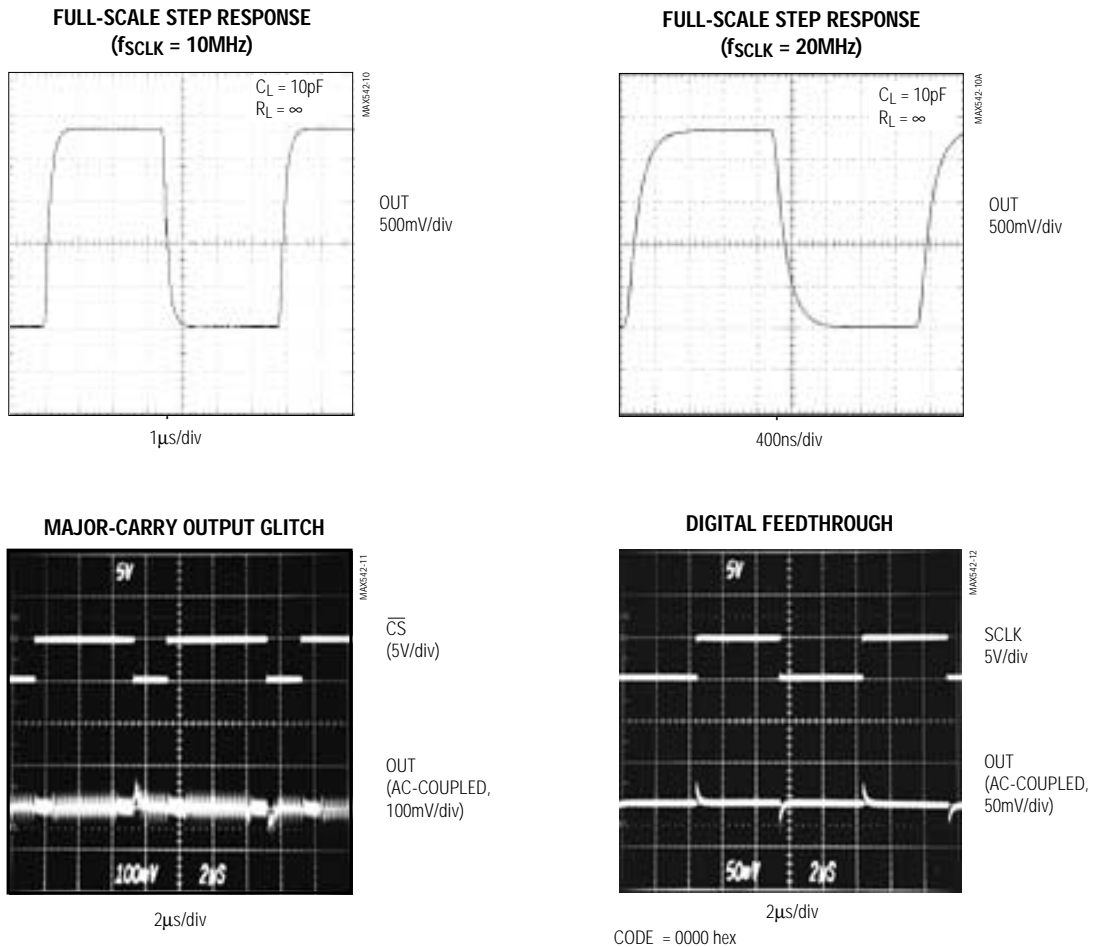


+5V、シリアル入力、電圧出力16ビットDAC

MAX541/MAX542

標準動作特性 (続き)

($V_{DD} = 5V$, $V_{REF} = 2.5V$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

MAX541

端子	名称	機能
1	OUT	DAC出力電圧
2	AGND	アナロググランド
3	REF	電圧リファレンス入力。外部+2.5Vリファレンスに接続してください。
4	\overline{CS}	チップセレクト入力
5	SCLK	シリアルクロック入力。デューティサイクルは40%~60%にしてください。
6	DIN	シリアルデータ入力
7	DGND	デジタルグランド
8	V_{DD}	+5V電源電圧

+5V、シリアル入力、電圧出力16ビットDAC

MAX541/MAX542

端子説明 (続き)

MAX542

端子	名称	機能
1	RFB	フィードバック抵抗。バイポーラモードで外部オペアンプの出力に接続してください。
2	OUT	DAC出力電圧
3	AGNDF	アナロググランド(駆動)
4	AGNDS	アナロググランド(検出)
5	REFS	電圧リファレンス入力(検出)。外部2.5Vリファレンスに接続してください。
6	REFF	電圧リファレンス入力(駆動)。外部2.5Vリファレンスに接続してください。
7	$\overline{\text{CS}}$	チップセレクト入力
8	SCLK	シリアルクロック入力。デューティサイクルは40%~60%にしてください。
9	N.C.	無接続。内部で接続されていません。
10	DIN	シリアルデータ入力
11	$\overline{\text{LDAC}}$	$\overline{\text{LDAC}}$ 入力。立下がりエッジで内部DACラッチを更新します。
12	DGND	デジタルグランド
13	INV	内部スケーリング抵抗の接続点。バイポーラモードで外付オペアンプの反転入力に接続してください。
14	VDD	+5V電源電圧

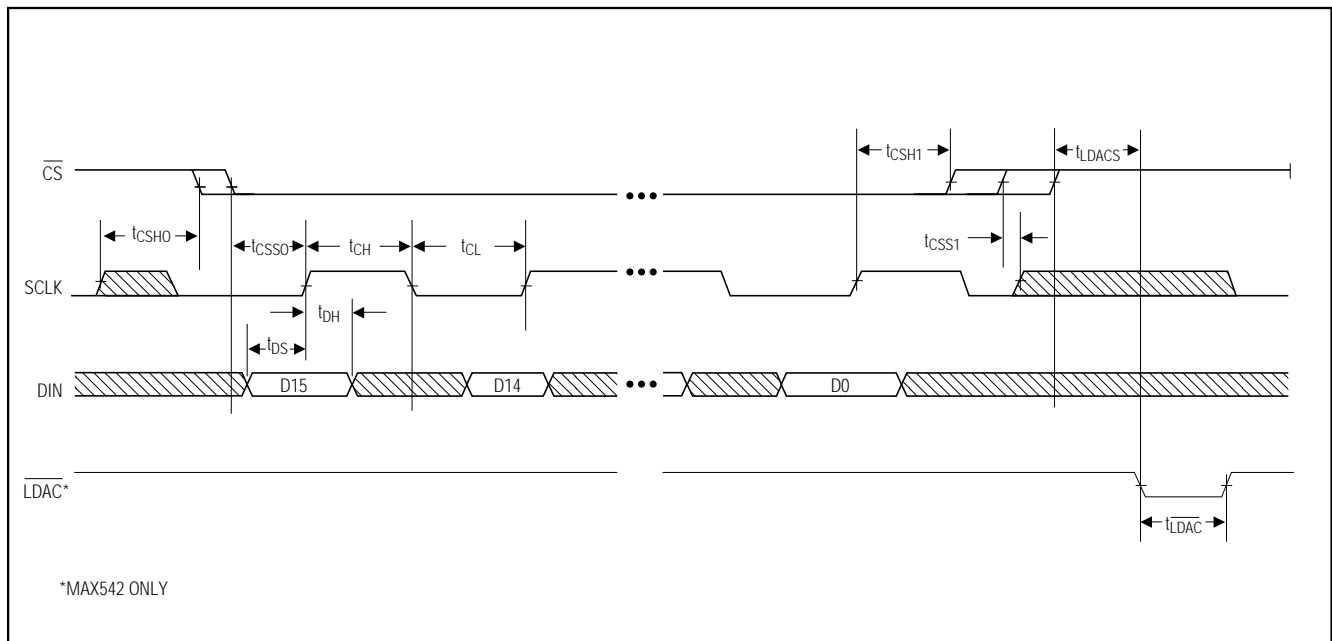


図1. タイミング図

+5V、シリアル入力、電圧出力16ビットDAC

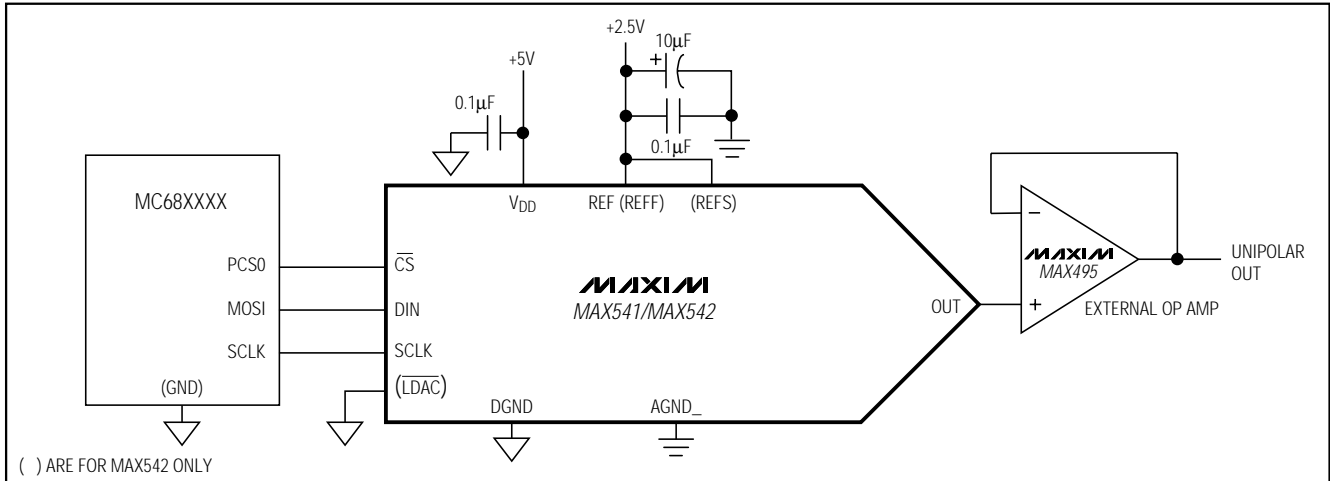


図2a. 標準動作回路---ユニポーラ出力

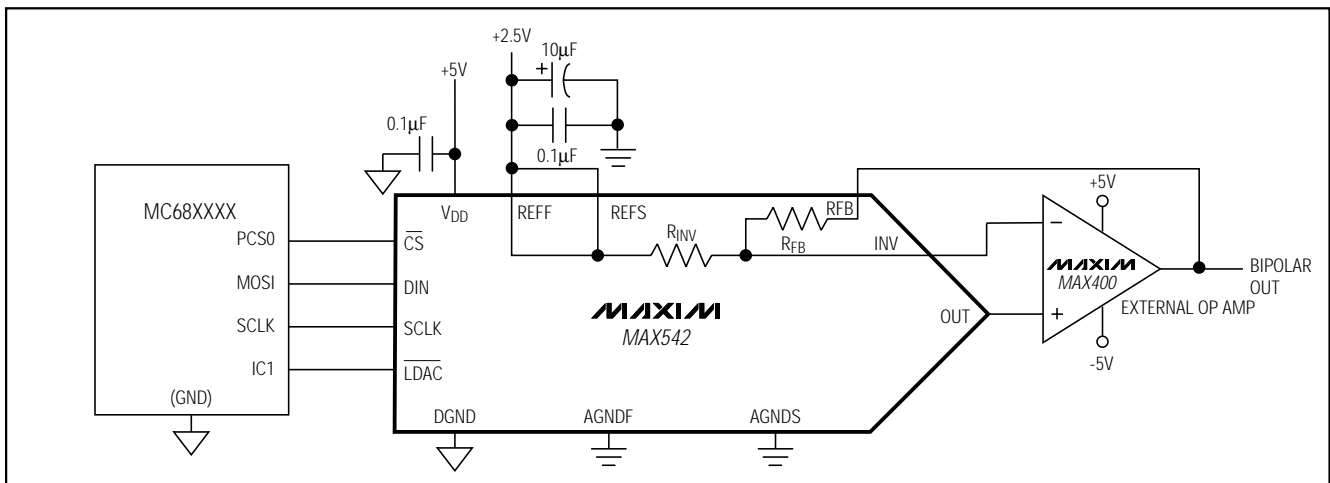


図2b. 標準動作回路---バイポーラ出力

詳細

MAX541/MAX542 16ビット電圧出力デジタルアナログコンバータ(DAC)は、積分直線性誤差が1LSB以下及び微分直線性誤差が1LSB以下で、単調性を保証するフル16ビット性能を提供しています。シリアルデータ転送により、パッケージピンの数を最低限に抑えています。

MAX541/MAX542は、2つのマッチングされたDAC部から構成されています。12ビット反転R-2R DACが12個のLSBを形成し、15個の同等にマッチングされた抵抗から4個のMSBを得ています。この構造により、

メジャーキャリー遷移でDAC出力に出てくるグリッチエネルギーを最低に抑えることができます。また、標準R-2Rラダーと比較してDAC出力インピーダンスを8分の1に低減することができるため、負荷が中程度のアプリケーションではバッファなしの動作が可能です。

MAX542は、マッチングされたバイポーラオフセット抵抗を備えています。これらの抵抗を外部オペアンプに接続すれば正確なバイポーラ出力スイングを保證することができます(図2b)。また、MAX542は電圧リファレンスとアナロググランド入力の両方にケルビン接続を採用し、性能を向上させています。

+5V、シリアル入力、電圧出力16ビットDAC

デジタルインタフェース

MAX541/MAX542のデジタルインタフェースは標準3線接続であり、SPI/QSPI/MICROWIREインタフェースとコンパチブルです。チップセレクト入力 (\overline{CS}) がデータ入力ピン (DIN) におけるデータローディングのフレーミングをします。データは \overline{CS} のハイからローへの遷移の直後に同期的にシフトされ、シリアルクロック入力 (SCLK) の立上りエッジで入力レジスタにラッチされます。シリアル入力レジスタに16データビットがロードされると、 \overline{LDAC} がローであれば \overline{CS} のローからハイへの遷移でその内容がDACラッチに転送されます (図3a)。16 SCLKサイクルの全期間を通じて \overline{CS} がローに維持されていないとデータが破壊されることに注意してください。その場合は、新しい16ビットワードをDACに再ロードしてください。

MAX542では別の方法として、 \overline{LDAC} をローにすると \overline{CS} とは独立して非同期的にDACラッチを更新できます (図3b)。データローディングシーケンス中は \overline{LDAC} をハイに維持してください。

外部リファレンス

MAX541/MAX542は、2V~3Vの外部電圧リファレンスを使用して動作します。リファレンス電圧によってDACのフルスケール出力電圧が決定します。MAX542では性能向上のため、ケルビン接続を採用しています。

パワーオンリセット

MAX541/MAX542は、ユニポーラモードで V_{DD} が最初に印加されたときにDACの出力を0Vに設定するためのパワーオンリセット回路を備えています。これにより、システムパワーアップの直後(例えば電源喪失の後)に望ましくないDAC出力電圧が出ないことが保証されます。バイポーラモードのDAC出力は、 $-V_{REF}$ に設定されます。

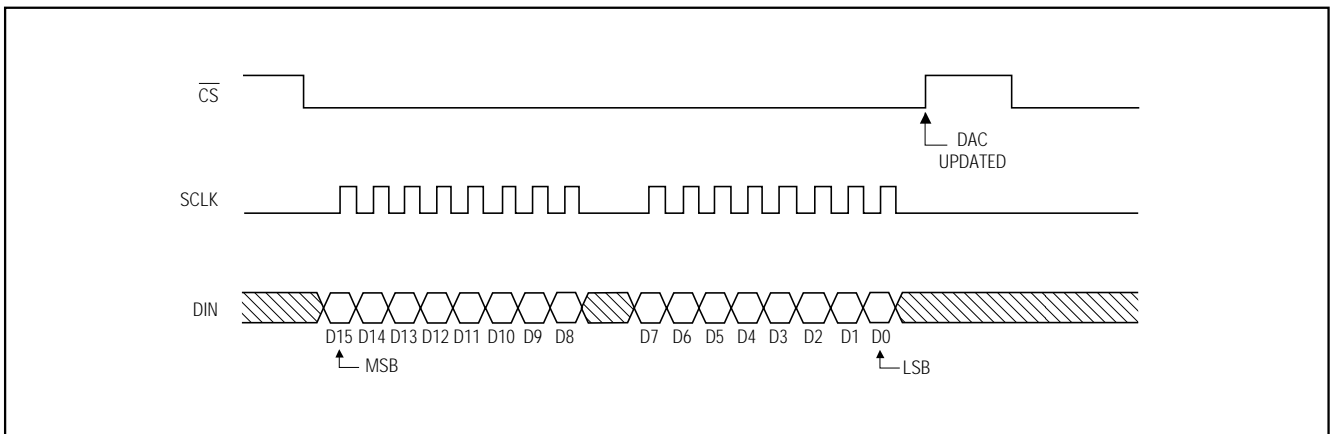


図3a. MAX541/MAX542 3線インタフェースのタイミング図 (MAX542では $\overline{LDAC} = DGND$)

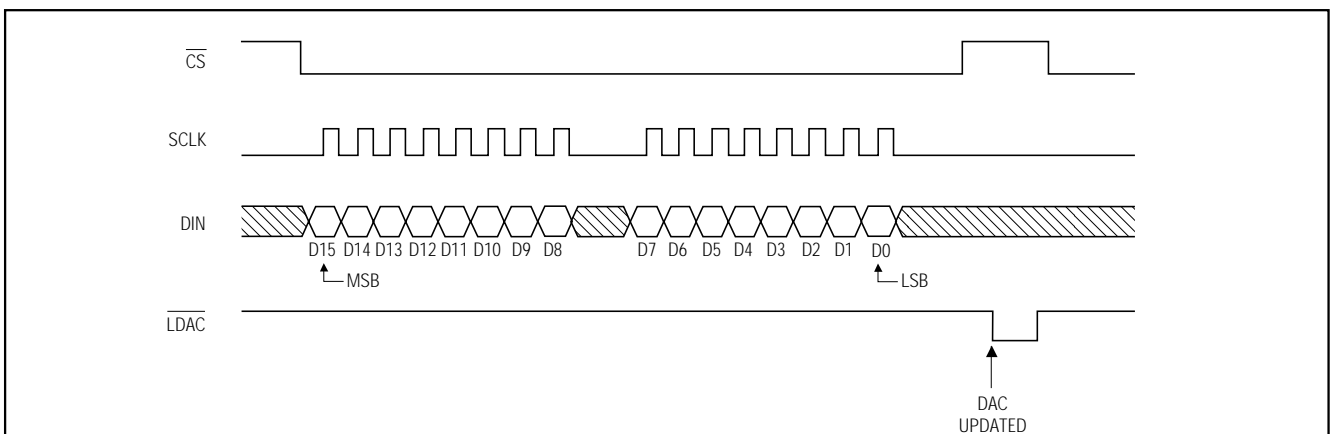


図3b. MAX542 4線インタフェースのタイミング図

アプリケーション情報

リファレンス及びアナロググランド入力

MAX541/MAX542は2V~3Vの外部電圧リファレンスを使用して動作し、リファレンスの選択と使用に関する指針が守られていれば16ビット性能を発揮します。理想的には、0 ~ +70 の民生用温度範囲で1LSB以内の16ビット精度を維持するためにはリファレンスの温度係数を0.4ppm/以下にしておきます。このコンバータは反転R-2R電圧DACとして設計されているため、電圧リファレンス側から見た入力抵抗は、コードに依存します。ワーストケースの入力抵抗変動は、11.5k (コードが8555 HEX)から200k (コードが0000 HEX)です。2.5Vリファレンスでの最大負荷電流変化は、 $2.5V/11.5k = 217\mu A$ となります。従って、最大誤差を0.1LSBとすると必要な負荷レギュレーションは7ppm/mAとなります。これは、リファレンス出力インピーダンスが18m以下であることを意味します。さらに、電圧リファレンスからリファレンス入力までの信号経路のインピーダンスは負荷レギュレーション誤差に直接影響するため、これも低く抑える必要があります。

電圧リファレンスに要求される低インピーダンス性は、リファレンス入力とグランド間でコンデンサを使用してバイパスすることにより実現されます。REFとAGND間(MAX542)、又はREFとAGND間(MAX541)にリード線の短い0.1 μF セラミックコンデンサを接続して高周波バイパスとします。表面実装のセラミックチップコンデンサはインダクタンスが最小であるため好適です。REFとAGND間(MAX542)、又はREFとAGND間(MAX541)にさらに10 μF を追加すると低周波バイパスになります。低ESRタンタル、フィルム、又は有機半導体コンデンサが適しています。低周波数ではインピーダンスはそれほど重要ではないため、リード線付のコンデンサでも構いません。外部リファレンスの容量性負荷に対する安定性にもよりますが、バイパスコンデンサを大きくすれば回路にとって好適です。駆動ライン及び検出ラインを別々に使用しない場合は、パッケージの近くで該当する駆動ピン及び検出ピンをまとめて接続してください。

AGNDの抵抗が過剰の場合、負荷レギュレーション誤差が生じるため、AGNDも低インピーダンスにする必要があります。全ての高分解能、高精度アプリケーションに該当することですが、アナログ及びデジタルのグランドプレーンを別々にした方がよい結果が得られます。DGNDをAGNDピンのところでAGNDとまとめて接続し、DACシステムの“スター”グランドとしてくだ

さい。遠くからのDAC負荷は常にこのシステムグランドを基準にすると良い結果が得られます。

バッファなしの動作

バッファなしの動作の場合は、消費電力及び外部出力バッファによるオフセット誤差が減少します。R-2R DAC出力はOUTで直接得られ、 $+V_{REF} \sim AGND$ の範囲で16ビット性能を提供します(ゼロスケールでの劣化なし)。DACの出力インピーダンスが低いため、INL又はDNLを劣化させることなく中程度の負荷($R_L > 60k$)を駆動することができます。利得誤差だけがDAC出力に外部負荷をかけた場合に増加します。

外部出力バッファアンプ

外部出力バッファアンプの必要条件は、DACの動作がユニポーラかバイポーラかによって異なります。ユニポーラモードの出力アンプは、電圧フォロワ接続で使用されます。バイポーラモード(MAX542)のアンプは、内部のスケール抵抗を使用して動作します(図2b)。どちらのモードでもDACの出力インピーダンスは一定で、入力コードには依存しません。但し、利得誤差を最小限にするために出力アンプの入力インピーダンスはできるだけ高くしてください。DACの出力容量も入力コードには依存しないため、外部アンプの安定性を維持するための条件が簡単になります。

バイポーラモードでは、高精度アンプとデュアル電源(MAX400等)により $\pm V_{REF}$ の出力範囲が得られます。単一電源アプリケーションでは、入力コモンモード範囲がAGNDを含む高精度アンプを使用できます。但し、これらのアンプの出力スイングに負の電源電圧(AGND)を含めると通常はかなり性能が劣化します。アプリケーションがゼロに近いコードを使用しない場合は、MAX495等の単一電源オペアンプが適切です。

16ビットDACのLSBは非常に小さいので($V_{REF} = 2.5V$ で38.15 μV)、外部アンプの入力仕様に注意してください。入力オフセット電圧はゼロスケール誤差を悪化させる場合もあり、オフセット電圧が1/2LSBよりも大きい場合は、フル精度を保持するために出力オフセットトリミングが必要になることもあります。同様に、入力バイアス電流とDACの出力抵抗(6.25k typ)の積がゼロスケール誤差に影響します。温度の影響も考慮に入れなければならないので、0 ~ +70 の民生用温度範囲においては、ゼロスケール誤差の増加を1/2LSB以下に抑えるために、オフセット電圧の(+25を基準とした)温度係数は0.42 $\mu V/$ 以下であることが必要です。外付アンプの入力抵抗及びDACの出力抵抗が抵抗性分圧器を形成して利得誤差を生じます。利得誤差へ

+5V、シリアル入力、電圧出力16ビットDAC

の寄与を1/2LSB以下にするためには、入力抵抗を次式よりも大きくする必要があります。

$$6.25k\Omega + \frac{1}{2} \left[\frac{1}{2^{16}} \right] = 819M\Omega$$

セトリング時間はバッファの入力容量、DACの出力容量、及びPCボードの容量に影響されます。標準的なDAC出力電圧のセトリング時間は、フルスケールステップに対して1 μ sです。小さなステップの変化に対してはセトリング時間はかなり減少します。単一の時定数を持つ指数関数のセトリング応答を仮定した場合、フルスケールのステップが最終出力電圧から1/2LSB以内までにセトリングするには、時定数の12倍かかります。この時定数は、DAC出力抵抗と全出力容量の積に等しくなります。DACの出力容量は通常10pFです。これ以上出力容量が増えると、セトリング時間も増加します。

外付バッファアンプの利得帯域幅の積は、出力応答にもう1つの時定数を付加してセトリング時間を増加させるために重要なパラメータです。各々が単一の時定数応答を持つ2つのカスケード接続されたシステムの実効時定数は、近似的に2つの時定数の和の平方根になります。DAC出力の時定数は、その他の容量の影響を無視すると1 μ s/12 = 83nsとなります。帯域幅が1MHzの外部アンプの時定数は1/2 (1MHz) = 159nsであるため、これらを合わせたシステムの時定数は次式で表すことができます。

$$\sqrt{(83ns)^2 + (159ns)^2} = 180ns$$

この式は、外付バッファアンプも含めた場合の最終出力電圧から1/2LSB以内へのセトリング時間は、約12 \cdot 180ns = 2.15 μ sとなることを示しています。

デジタル入力及びインタフェースロジック

16ビットDACのデジタルインタフェースはSPI、QSPI、及びMICROWIREインタフェースとコンパチブルな3線規格に基づいています。3つのデジタル入力(CS、DIN、及びSCLK)がデジタル入力データをDACにシリアルでロードします。LDAC (MAX542)は非同期的にDACを更新します。

全てのデジタル入力は、遷移の遅いインタフェースを許容するためのシュミットトリガバッファを備えています。これは、外部ロジックを追加することなくオプトカップラをMAX541/MAX542に直接インタフェースできることを意味します。デジタル入力は、TTL/CMOSロジックレベルとコンパチブルです。

ユニポーラ構成

図2aに、外付オペアンプ1個を使用したMAX541/MAX542のユニポーラ動作の構成を示します。オペアンプは、ユニティゲインに設定されています。表1に、この回路のためのコードを示します。

バイポーラ構成

図2bに、外付オペアンプ1個を使用したMAX542のバイポーラ動作の構成を示します。オペアンプは、ユニティゲインでオフセットが-1/2V_{REF}に設定されています。表2にこの回路のためのコードを示します。

電源バイパス及び接地の仕方

最適な性能を実現するためには、アナログとデジタルの接地面が別々になったプリント基板を使用します。ワイヤラップボードは推奨されていません。2枚の接地面は、低インピーダンス電源のところで互いに接続して下さい。DGND及びAGNDをICのところでもまとめて接続して下さい。DACのDGND及びAGNDピンをまとめて接続し、それをシステムのアナロググランドプレーンに接続することにより最適な接地接続を実現できます。DACのDGNDがシステムのデジタルグランドに接続されていると、デジタルノイズがDACのアナログ部分に入り込む可能性があります。

V_{DD}はV_{DD}及びAGNDの間に0.1 μ Fのセラミックコンデンサを接続してバイパスして下さい。コンデンサは、デバイスの近くに、リード線を短くして取り付けして下さい。アナログとデジタルの電源を更に分離するためにフェライトビーズを使用することもできます。

表1. ユニポーラコード表

DAC LATCH CONTENTS		ANALOG OUTPUT, V _{out}
MSB	LSB	
1111	1111 1111 1111	V _{REF} \cdot (65,535 / 65,536)
1000	0000 0000 0000	V _{REF} \cdot (32,768 / 65,536) = 1/2V _{REF}
0000	0000 0000 0001	V _{REF} \cdot (1 / 65,536)
0000	0000 0000 0000	0V

表2. バイポーラコード表

DAC LATCH CONTENTS		ANALOG OUTPUT, V _{out}
MSB	LSB	
1111	1111 1111 1111	+V _{REF} \cdot (32,767 / 32,768)
1000	0000 0000 0001	+V _{REF} \cdot (1 / 32,768)
1000	0000 0000 0000	0V
0111	1111 1111 1111	-V _{REF} \cdot (1 / 32,768)
0000	0000 0000 0000	-V _{REF} \cdot (32,768 / 32,768) = -V _{REF}

+5V、シリアル入力、電圧出力16ビットDAC

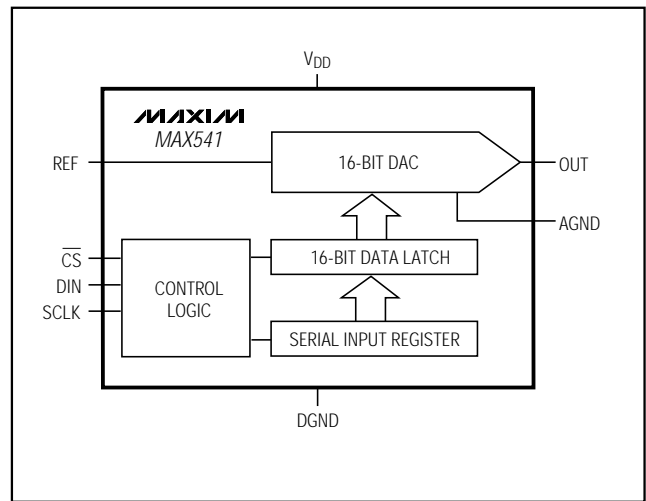
型番(続き) _____

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX541AEP	-40°C to +85°C	8 Plastic DIP	±1
MAX541BEP	-40°C to +85°C	8 Plastic DIP	±2
MAX541CEP	-40°C to +85°C	8 Plastic DIP	±4
MAX541AES	-40°C to +85°C	8 SO	±1
MAX541BES	-40°C to +85°C	8 SO	±2
MAX541CES	-40°C to +85°C	8 SO	±4
MAX542ACP	0°C to +70°C	14 Plastic DIP	±1
MAX542BCP	0°C to +70°C	14 Plastic DIP	±2
MAX542CCP	0°C to +70°C	14 Plastic DIP	±4
MAX542ACS	0°C to +70°C	14 SO	±1
MAX542BCS	0°C to +70°C	14 SO	±2
MAX542CCS	0°C to +70°C	14 SO	±4
MAX542BC/D	0°C to +70°C	Dice*	±2
MAX542AEP	-40°C to +85°C	14 Plastic DIP	±1
MAX542BEP	-40°C to +85°C	14 Plastic DIP	±2
MAX542CEP	-40°C to +85°C	14 Plastic DIP	±4
MAX542AES	-40°C to +85°C	14 SO	±1
MAX542BES	-40°C to +85°C	14 SO	±2
MAX542CES	-40°C to +85°C	14 SO	±4
MAX542CMJ	-55°C to +125°C	14 Ceramic SB**	±4

*Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.

ファンクションダイアグラム(続き) _____



MAX541/MAX542

チップ情報 _____

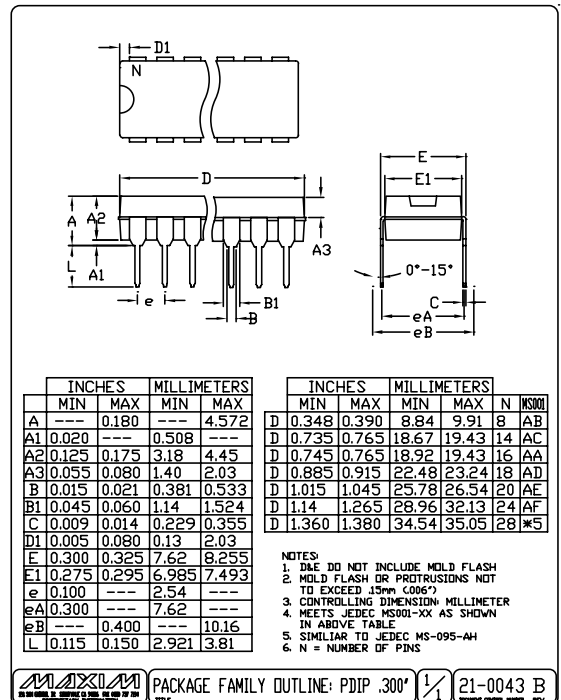
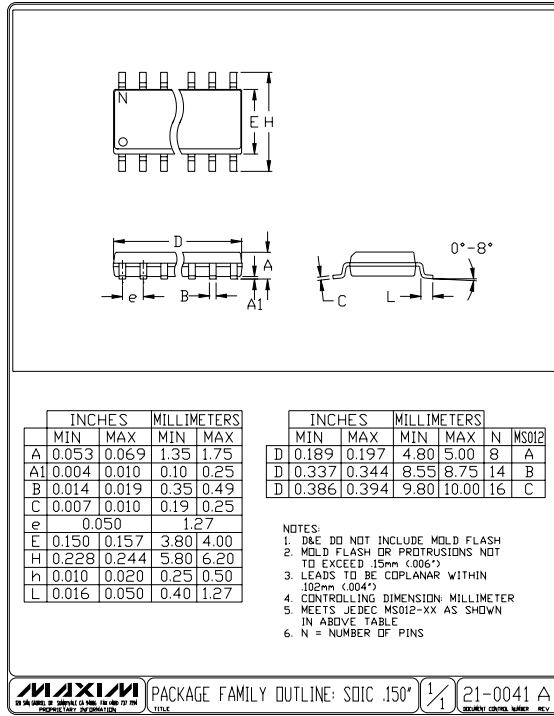
TRANSISTOR COUNT: 2209

SUBSTRATE CONNECTED TO DGND

+5V、シリアル入力、電圧出力16ビットDAC

MAX541/MAX542

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

© 1999 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.