

# オクタール13ビット電圧出力DAC パラレルインタフェース付

## 概要

MAX5270は、8つの13ビット電圧出力デジタルアナログコンバータ(DAC)です。電圧出力は内蔵高精度出力アンプにより提供されています。本デバイスは+12V/-12V電源で動作します。出力電圧は0V~8.192Vの範囲でスイングし、外付部品なしで出力可能です。MAX5270は3対の差動リファレンス入力を備えています。そのうちの2対は各々2つのDACに接続されていて、残りの1対は4つのDACに接続されています。これらのリファレンスは独立に制御されているため、対応するDACに異なるフルスケール出力電圧を提供します。MAX5270は次の電圧範囲で動作します： $V_{DD} = +11.4V \sim +12.6V$ 、 $V_{SS} = -11.4V \sim -12.6V$ 、 $V_{CC} = +4.75V \sim +5.25V$ 。

MAX5270は、13ビットパラレルデータバス付のダブルバッファ付インタフェースロジックを備えています。各DACは入力ラッチとDACラッチを持っています。DACラッチのデータが出力電圧を設定します。8つの入力ラッチは3つのアドレスラインでアドレス指定されます。データは単一の書込み命令で入力ラッチにロードされます。非同期ロード入力( $\overline{LD}$ )により、データが入力ラッチからDACラッチに転送されます。 $\overline{LD}$ 入力は全てのDACを制御するため、 $\overline{LD}$ ピンによって全てのDACを同時に更新できます。

非同期の $\overline{CLR}$ 入力により、8つのDAC全ての出力がオペアンプの対応するDUTGND入力に設定されます。 $\overline{CLR}$ はCMOS入力であり、 $V_{DD}$ によって駆動されることに注意して下さい。その他全てのロジック入力はTTL/CMOSコンパチブルです。

MAX5270のAグレードは最大INLが $\pm 2$ LSB、Bグレードは最大INLが $\pm 4$ LSBです。いずれのグレードも、44ピンMQFPパッケージで提供されています。

## アプリケーション

- 工業用プロセス制御
- 任意ファンクションジェネレータ
- 航空電子機器
- 最小部品点数のアナログ機器
- デジタルオフセット/利得調整
- SONETアプリケーション
- 自動試験機器(ATE)

ファンクションダイアグラムはデータシートの最後に記載されています。

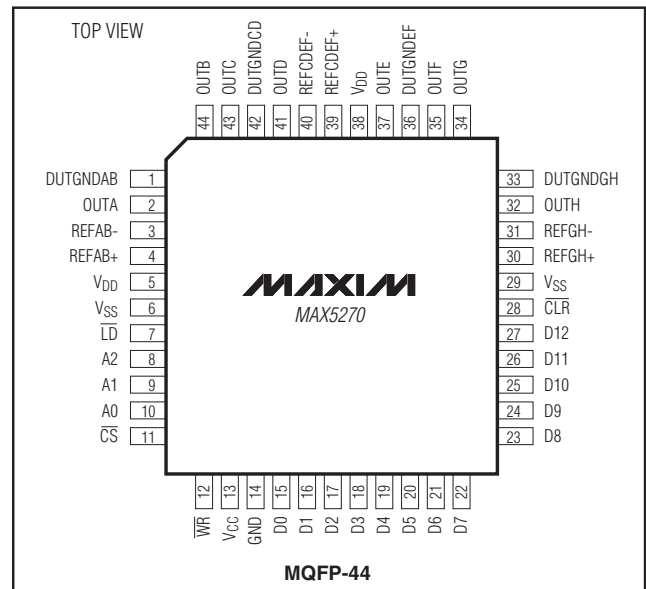
## 特長

- ◆ 調整なしでフル13ビット性能
- ◆ 単一パッケージに8つのDACを内蔵
- ◆ バッファ付電圧出力
- ◆ 電圧スイング：0V~8.192V
- ◆ 出力セトリング時間：22 $\mu$ s
- ◆ 最大10,000pFの容量性負荷を駆動
- ◆ 低出力グリッチ：30mV
- ◆ 低消費電流：10mA(typ)
- ◆ 小型パッケージ：44ピンMQFP
- ◆ ダブルバッファ付のデジタル入力
- ◆ 非同期負荷により全てのDACを同時に更新
- ◆ 非同期 $\overline{CLR}$ により、全てのDACを強制的にDUTGND電位に変更

## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5270ACMH	0°C to +70°C	44 MQFP	$\pm 2$
MAX5270BCMh	0°C to +70°C	44 MQFP	$\pm 4$
MAX5270AEMH	-40°C to +85°C	44 MQFP	$\pm 2$
MAX5270BEMH	-40°C to +85°C	44 MQFP	$\pm 4$

## ピン配置



# オクタル13ビット電圧出力DAC パラレルインタフェース付

MAX5270

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	-0.3V to +13.2V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
V <sub>SS</sub> to GND	-13.2V to +0.3V	44-Pin MQFP (derate 11.1mW/°C above +70°C)	870mW
V <sub>CC</sub> to GND	-0.3V to +6V	Operating Temperature Ranges	
A <sub>-</sub> , D <sub>-</sub> , WR, CS, LD, CLR to GND	+0.3V to (V <sub>CC</sub> + 0.3V)	MAX5270_CMH	0°C to +70°C
REF <sub>----</sub> +, DUTGND <sub>-</sub>	(V <sub>SS</sub> - 0.3V) to (V <sub>DD</sub> + 0.3V)	MAX5270_EMH	-40°C to +85°C
OUT <sub>-</sub>	V <sub>DD</sub> to V <sub>SS</sub>	Junction Temperature	+150°C
Maximum Current into REF <sub>----</sub> , DUTGND <sub>-</sub>	±10mA	Storage Temperature Range	-65°C to +150°C
Maximum Current into Any Signal Pin	±50mA	Lead Temperature (soldering, 10s)	+300°C
OUT <sub>-</sub> Short-Circuit Duration to V <sub>DD</sub> , V <sub>SS</sub> , and GND	1s		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +12V, V<sub>SS</sub> = -12V, V<sub>CC</sub> = +5V, V<sub>GN</sub>D = V<sub>DUTGND</sub> = 0, V<sub>REF</sub> = +4.096V, V<sub>REF</sub> = 0, R<sub>L</sub> = 10MΩ, C<sub>L</sub> = 50pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE (ANALOG SECTION)</b>						
Resolution	N		13			Bits
Relative Accuracy	INL	MAX5270A			±2	LSB
		MAX5270B			±4	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Zero-Scale Error	ZSE			±2	±4	LSB
Full-Scale Error	FSE			±4	±8	LSB
Gain Error				±2	±5	LSB
Gain Temperature Coefficient		(Note 1)		0.15	20	ppm FSR/°C
DC Crosstalk		(Note 1)		14	75	μV
<b>REFERENCE INPUTS</b>						
Input Resistance			1			MΩ
Input Current				±1	±10	μA
REF <sub>----</sub> Input			2		4.5	V
REF <sub>----</sub> Input		REF <sub>----</sub> tied to AGND externally		0		V
(REF <sub>----</sub> +) - (REF <sub>----</sub> -) Range			2		4.5	V
<b>ANALOG OUTPUTS</b>						
Maximum Output Voltage			9	V <sub>DD</sub> - 2		V
Minimum Output Voltage				0		V
Resistive Load to GND			5			kΩ
Capacitive Load to GND		(Note 2)			10,000	pF
DC Output Impedance		(Note 1)			0.5	Ω

# オクタル13ビット電圧出力DAC パラレルインタフェース付

MAX5270

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +12V$ ,  $V_{SS} = -12V$ ,  $V_{CC} = +5V$ ,  $V_{GND} = V_{DUTGND\_} = 0$ ,  $V_{REF\_+} = +4.096V$ ,  $V_{REF\_ -} = 0$ ,  $R_L = 10M\Omega$ ,  $C_L = 50pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DUTGND_ _ CHARACTERISTICS</b>						
Input Impedance per DAC			40	84		k $\Omega$
Input Current per DAC		(Note 1)	-165		100	$\mu A$
Input Range			-2		2	V
<b>DIGITAL INPUTS</b>						
Input Voltage High	$V_{IH}$		2.4			V
Input Voltage Low	$V_{IL}$				0.8	V
Input Capacitance	$C_{IN}$	(Note 1)			10	pF
Input Current	$I_{IN}$	$V_{IN} = 0$ or $V_{CC}$	-1		1	$\mu A$
<b>POWER SUPPLIES</b>						
$V_{DD}$ Analog Power Supply Range	$V_{DD}$		11.4		12.6	V
$V_{SS}$ Analog Power Supply Range	$V_{SS}$		-11.4		-12.6	V
Digital Power Supply	$V_{CC}$		4.75	5	5.25	V
Positive Supply Current	$I_{DD}$	(Note 3)		10	13	mA
Negative Supply Current	$I_{SS}$	(Note 4)		10	13	mA
Digital Supply Current	$I_{CC}$	(Note 3)			0.5	mA
		(Note 4)			5	
PSRR, $\Delta V_{OUT} / \Delta V_{DD}$		$V_{DD} = 14V \pm 5\%$		94		dB
PSRR, $\Delta V_{OUT} / \Delta V_{SS}$		$V_{SS} = -9V \pm 5\%$		98		dB

## INTERFACE TIMING CHARACTERISTICS

( $V_{DD} = +12V$ ,  $V_{SS} = -12V$ ,  $V_{CC} = +5V$ ,  $V_{GND} = V_{DUTGND\_} = 0$ ,  $V_{REF\_+} = +4.096V$ ,  $V_{REF\_ -} = 0$ ,  $R_L = 10M\Omega$ ,  $C_L = 50pF$ , Figure 2,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{CS}$ Pulse Width Low	$t_1$		50			ns
$\overline{WR}$ Pulse Width Low	$t_2$		50			ns
$\overline{LD}$ Pulse Width Low	$t_3$		50			ns
$\overline{CS}$ Low to $\overline{WR}$ Low	$t_4$		0			ns
$\overline{CS}$ High to $\overline{WR}$ High	$t_5$		0			ns
Data Valid to $\overline{WR}$ Setup	$t_6$		50			ns
Data Valid to $\overline{WR}$ Hold	$t_7$		0			ns
Address Valid to $\overline{WR}$ Setup	$t_8$		15			ns
Address Valid to $\overline{WR}$ Hold	$t_9$		0			ns

# オクタル13ビット電圧出力DAC パラレルインタフェース付

## DYNAMIC CHARACTERISTICS

( $V_{DD} = +12V$ ,  $V_{SS} = -12V$ ,  $V_{CC} = +5V$ ,  $V_{GND} = V_{DUTGND} = 0$ ,  $V_{REF\_+} = +4.096V$ ,  $V_{REF\_ -} = 0$ ,  $R_L = 10M\Omega$ ,  $C_L = 50pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Settling Time		To $\pm 1/2$ LSB of full scale		22		$\mu s$
Output Slew-Rate				1		$V/\mu s$
Digital Feedthrough		(Note 5)		3		nV/s
Digital Crosstalk		(Note 6)		3		nV/s
Digital-to-Analog Glitch Impulse				120		nV/s
DAC-to-DAC Crosstalk				3		nV/s
Channel-to-Channel Isolation				100		dB
Output Noise Spectral Density		At $f = 1kHz$		120		$nV/\sqrt{Hz}$

**Note 1:** Guaranteed by design. Not production tested.

**Note 2:** Guaranteed by design when  $220\Omega$  resistor is in series with  $C_L = 10,000pF$ .

**Note 3:** All digital inputs ( $D_{-}$ ,  $A_{-}$ ,  $\overline{WR}$ ,  $\overline{CS}$ ,  $\overline{LD}$ , and  $\overline{CLR}$ ) at GND or  $V_{CC}$  potential.

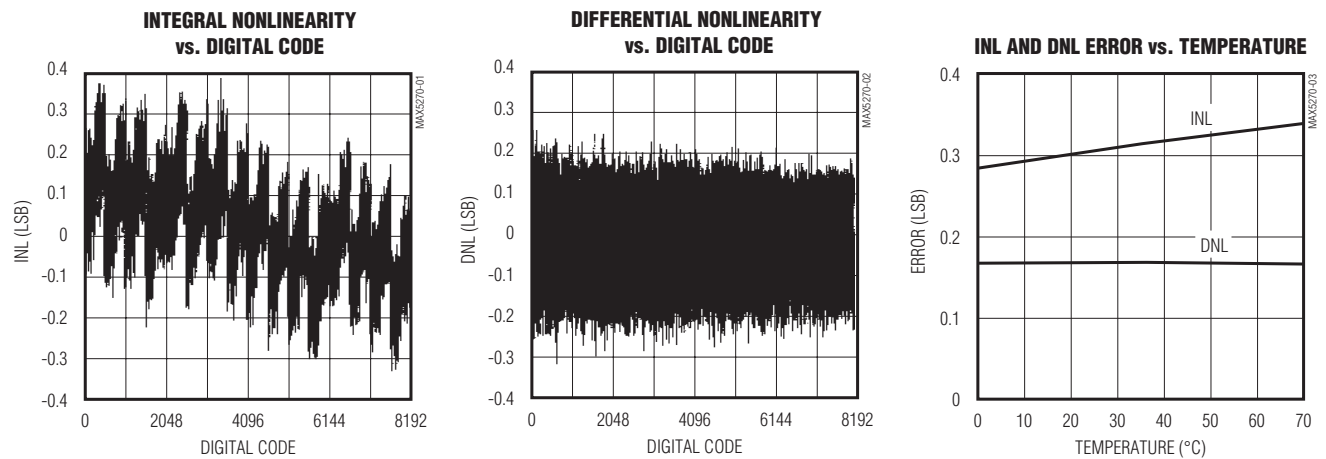
**Note 4:** All digital inputs ( $D_{-}$ ,  $A_{-}$ ,  $\overline{WR}$ ,  $\overline{CS}$ ,  $\overline{LD}$ , and  $\overline{CLR}$ ) at  $+0.8V$  or  $+2.4V$ .

**Note 5:** All data inputs ( $D_0$  to  $D_{12}$ ) transition from GND to  $V_{CC}$ , with  $\overline{WR} = V_{CC}$ .

**Note 6:** All digital inputs ( $D_{-}$ ,  $A_{-}$ ,  $\overline{WR}$ ,  $\overline{CS}$ ,  $\overline{LD}$ , and  $\overline{CLR}$ ) at  $+0.8V$  or  $+2.4V$ .

## 標準動作特性

( $V_{DD} = +12V$ ,  $V_{SS} = -12V$ ,  $V_{CC} = +5V$ ,  $V_{GND} = V_{DUTGND} = 0$ ,  $V_{REF\_+} = +4.096V$ ,  $V_{REF\_ -} = 0$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



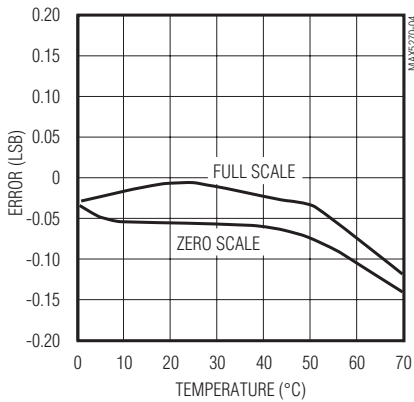
# オクタル13ビット電圧出力DAC パラレルインタフェース付

MAX5270

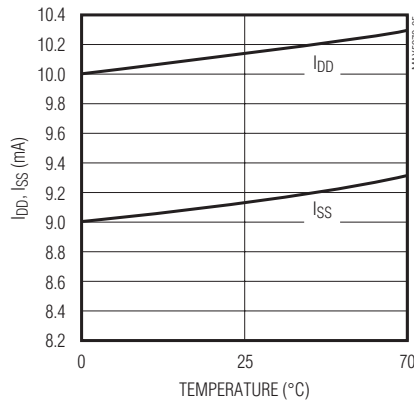
## 標準動作特性(続き)

( $V_{DD} = +12V$ ,  $V_{SS} = -12V$ ,  $V_{CC} = +5V$ ,  $V_{GND} = V_{DUTGND} = 0$ ,  $V_{REF\_+} = +4.096V$ ,  $V_{REF\_ -} = 0$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

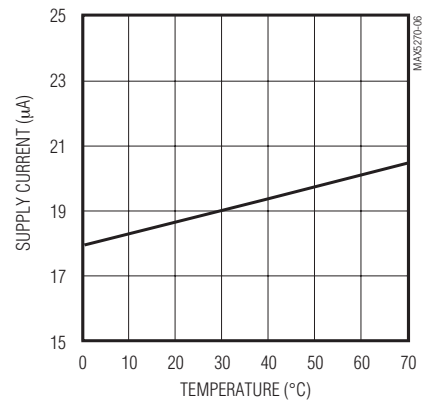
**ZERO-SCALE AND FULL-SCALE ERROR vs. TEMPERATURE**



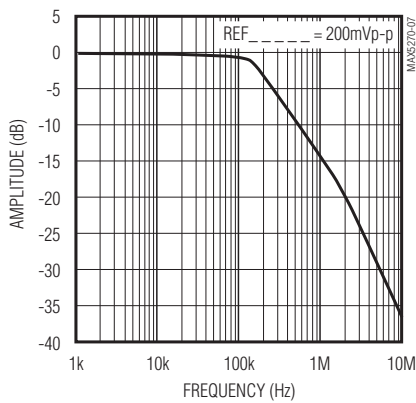
**$I_{DD}$  AND  $I_{SS}$  vs. TEMPERATURE (UNLOADED)**



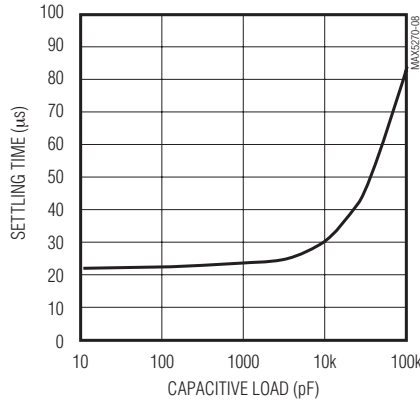
**DIGITAL SUPPLY CURRENT vs. TEMPERATURE**



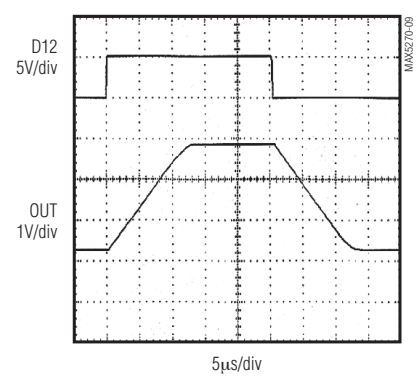
**REFERENCE INPUT FREQUENCY RESPONSE**



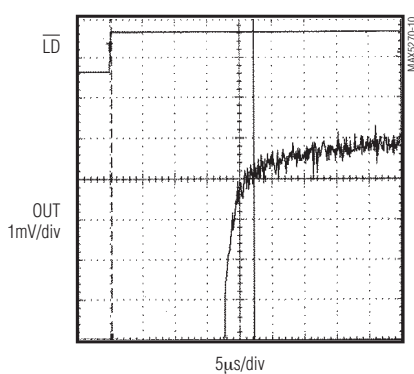
**SETTLING TIME vs. CAPACITIVE LOAD**



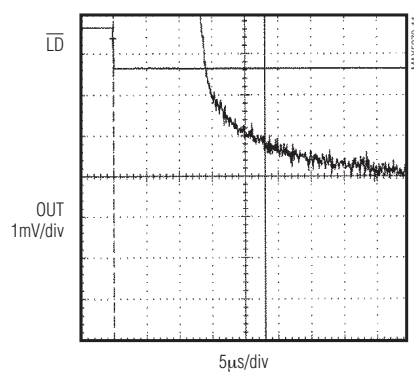
**LARGE-SIGNAL STEP RESPONSE**



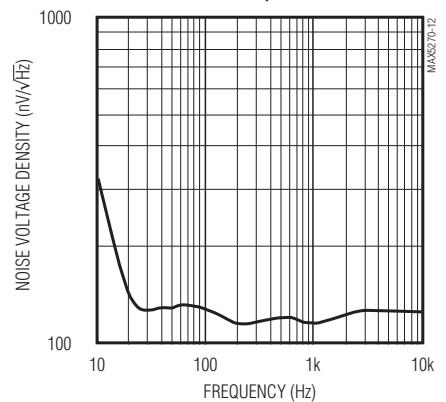
**POSITIVE SETTLING TIME**



**NEGATIVE SETTLING TIME**



**NOISE VOLTAGE DENSITY vs. FREQUENCY**

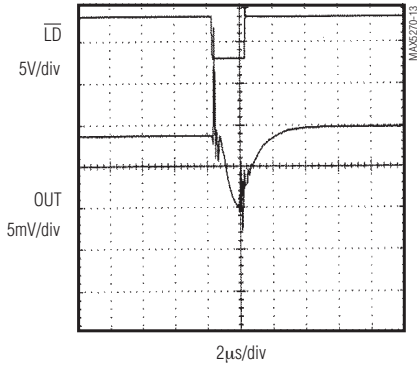


# オクタル13ビット電圧出力DAC パラレルインタフェース付

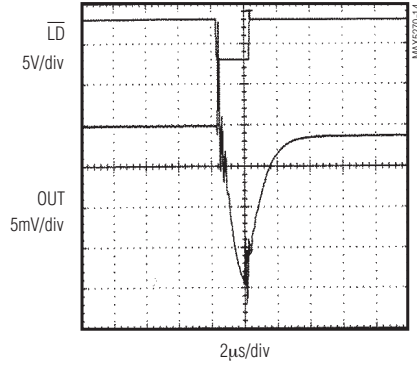
## 標準動作特性(続き)

( $V_{DD} = +12V$ ,  $V_{SS} = -12V$ ,  $V_{CC} = +5V$ ,  $V_{GND} = V_{DUTGND} = 0$ ,  $V_{REF\_+} = +4.096V$ ,  $V_{REF\_ -} = 0$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)

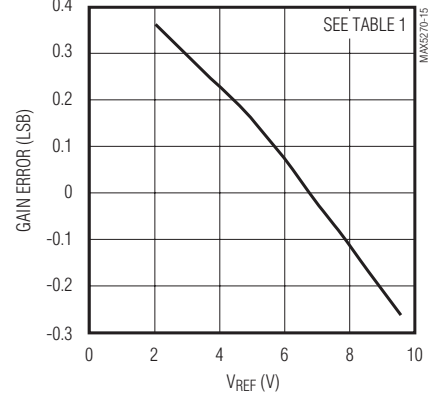
**MAJOR CARRY GLITCH IMPULSE  
(0xFFFF-0x10000)**



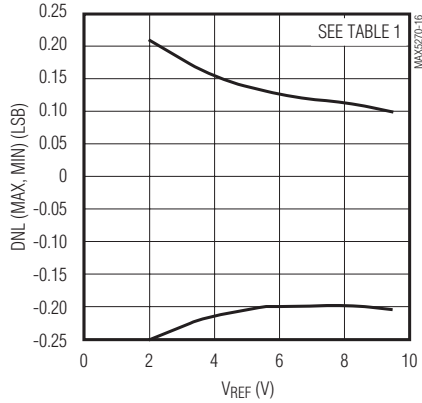
**MAJOR CARRY GLITCH IMPULSE  
(0x1000-0xFFFF)**



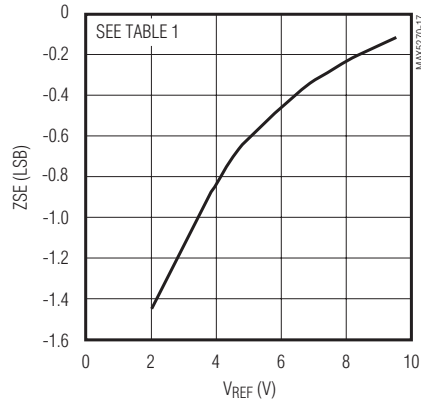
**GAIN ERROR vs.  $V_{REF}$  ( $V_{REF+} - V_{REF-}$ )**



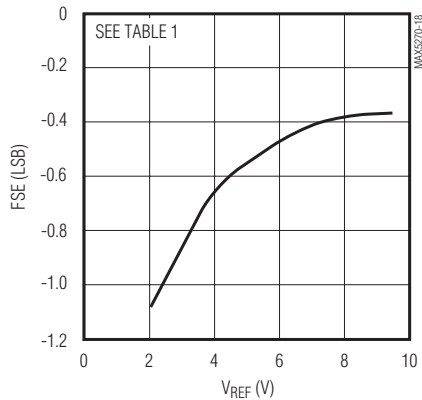
**DIFFERENTIAL NONLINEARITY  
(MAX, MIN) vs.  $V_{REF}$  ( $V_{REF+} - V_{REF-}$ )**



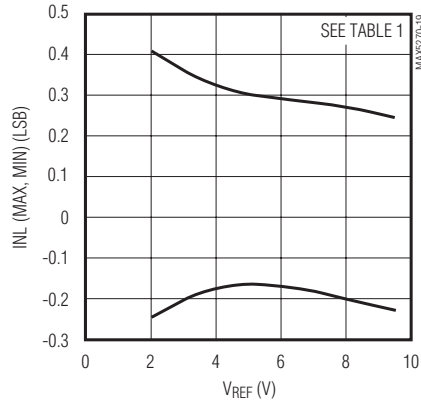
**ZERO-SCALE ERROR  
vs.  $V_{REF}$  ( $V_{REF+} - V_{REF-}$ )**



**FULL-SCALE ERROR  
vs.  $V_{REF}$  ( $V_{REF+} - V_{REF-}$ )**



**INTEGRAL NONLINEARITY  
(MAX, MIN) vs.  $V_{REF}$  ( $V_{REF+} - V_{REF-}$ )**



# オクタル13ビット電圧出力DAC パラレルインタフェース付

MAX5270

## 端子説明

端子	名称	機能
1	DUTGNDAB	OUTA及びOUTBのデバイス検出グランド入力。通常動作において、OUTAとOUTBはDUTGNDABを基準にしています。CLRがローの時、OUTAとOUTBは強制的にDUTGNDABの電位になります。
2	OUTA	DAC Aのバッファ付出力電圧
3	REFAB-	DAC A及びBの負リファレンス入力。外部でAGNDに接続されます。
4	REFAB+	DAC A及びBの正リファレンス入力
5, 38	V <sub>DD</sub>	正アナログ電源。通常は+14Vに設定。両方のピンを電源電圧に接続して下さい。バイパス条件については、「グランド及びバイパス」の項を参照して下さい。
6, 29	V <sub>SS</sub>	負アナログ電源。通常は-9Vに設定。両方のピンを電源電圧に接続して下さい。バイパス条件については、「グランド及びバイパス」の項を参照して下さい。
7	$\overline{LD}$	ロード入力。この非同期入力をローにして、入力ラッチの内容を該当するDACラッチに転送して下さい。DACラッチは、 $\overline{LD}$ がローの時にトランスペアレントで、 $\overline{LD}$ がハイの時にラッチされます。
8	A2	アドレスビット2(MSB)
9	A1	アドレスビット1
10	A0	アドレスビット0(LSB)
11	$\overline{CS}$	チップセレクト。アクティブロー入力。
12	$\overline{WR}$	書き込み入力。通常のメモリ書き込みシーケンス用のアクティブローストロープ。 $\overline{WR}$ と $\overline{CS}$ が両方ともローの時、入力データラッチはトランスペアレントになります。 $\overline{WR}$ は、 $\overline{CS}$ の立上がりエッジでA2、A1及びA0により選択されたDAC入力ラッチにデータをラッチします。
13	V <sub>CC</sub>	デジタル電源。通常は+5Vに設定。バイパス条件については、「グランド及びバイパス」の項を参照して下さい。
14	GND	グランド
15-27	D0-D12	データビット0~12。オフセットバイナリコーディング。
28	$\overline{CLR}$	クリア入力。 $\overline{CLR}$ をローにすると、全てのDAC出力が強制的にそれぞれのDUTGND_の電圧になります。内部レジスタの状態には影響しません。 $\overline{CLR}$ がハイになると、全てのDACは以前のレベルに戻ります。
30	REFGH+	DAC G及びHの正リファレンス入力
31	REFGH-	DAC G及びHの負リファレンス入力。外部でAGNDに接続されます。

# オクタール13ビット電圧出力DAC パラレルインタフェース付

MAX5270

## 端子説明(続き)

端子	名称	機能
32	OUTH	DAC Hのバッファ出力電圧
33	DUTGNDGH	OUTG及びOUTHのデバイス検出グランド入力。通常動作において、OUTGとOUTHはDUTGNDGHを基準にしています。CLRがローの時、OUTGとOUTHは強制的にDUTGNDGHの電位になります。
34	OUTG	DAC Gのバッファ出力電圧
35	OUTF	DAC Fのバッファ出力電圧
36	DUTGNDEF	OUTE及びOUTFのデバイス検出グランド入力。通常動作において、OUTEとOUTFはDUTGNDEFを基準にしています。CLRがローの時、OUTEとOUTFは強制的にDUTGNDEFの電位になります。
37	OUTE	DAC Eのバッファ出力電圧
39	REFCDEF+	DAC C、D、E及びFの正リファレンス入力
40	REFCDEF-	DAC C、D、E及びFの負リファレンス入力。外部でAGNDに接続されます。
41	OUTD	DAC Dのバッファ出力電圧
42	DUTGNDCD	OUTC及びOUTDのデバイス検出グランド入力。通常動作において、OUTCとOUTDはDUTGNDCDを基準にしています。CLRがローの時、OUTCとOUTDは強制的にDUTGNDCDの電位になります。
43	OUTC	DAC Cのバッファ出力電圧
44	OUTB	DAC Bのバッファ出力電圧



# オクタル13ビット電圧出力DAC パラレルインタフェース付

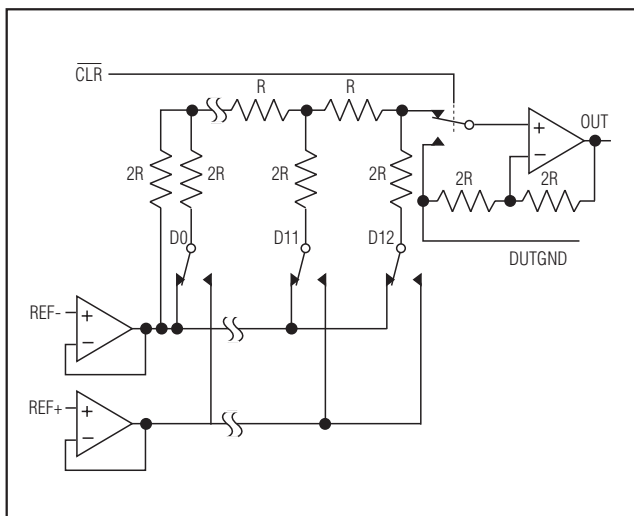


図1. DACの簡略化回路図

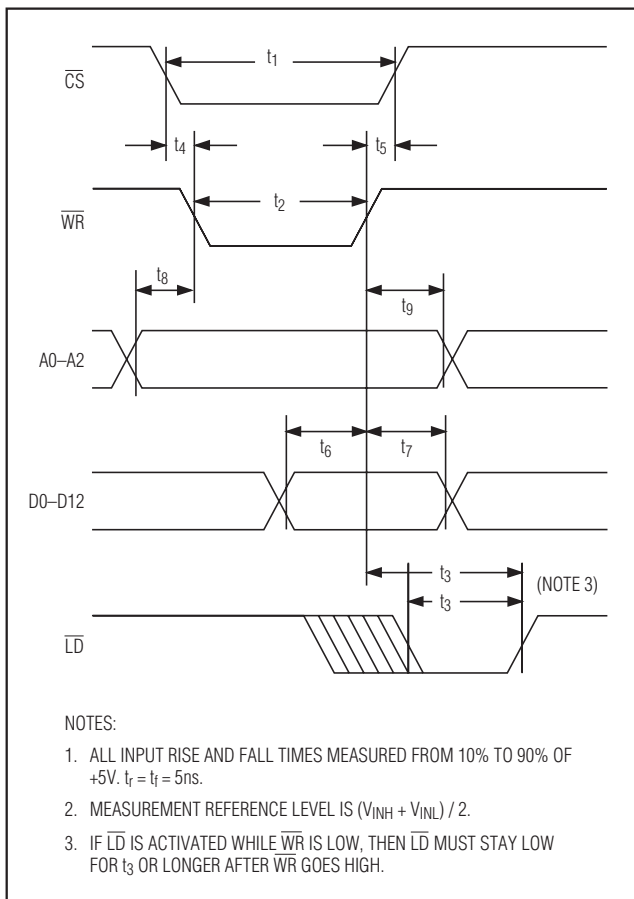


図2. デジタルタイミング図

## 詳細

### アナログ部

MAX5270は8つの13ビット電圧出力DACを備えています。これらのDACは、13ビットデジタル入力を相当するアナログ出力電圧(印加されているリファレンス電圧に比例)に変換する「反転」R-2Rラダーネットワークです(図1)。MAX5270は3つの正リファレンス入力(REF\_\_\_+)及び3つの負リファレンス入力(REF\_\_\_-)を持っています。REF\_\_\_+とREF\_\_\_-の差の2倍がDACの出力スパンになります。

差動リファレンス入力の他に、MAX5270は4つのアナログ・グランド入力ピン(DUT-GND\_\_)を持っています。 $\overline{\text{CLR}}$ がハイ(非発生)の時、DUTGND\_\_の電圧がDACの出力電圧範囲をオフセットします。 $\overline{\text{CLR}}$ が発生している場合、出力アンプは強制的にDUTGND\_\_の電圧になります。

### リファレンス及びDUTGND入力

MAX5270の全てのリファレンス入力は、高精度アンプでバッファされています。このため、抵抗分圧器でリファレンス電圧を設定できます。リファレンス入力の乗算帯域幅が比較的高い(188kHz)ため、この帯域幅内でリファレンスピンにきている信号は全てDAC出力で複製されます。

MAX5270のDUTGNDピンは、出力アンプの負ソース抵抗(公称84k $\Omega$ )に接続されています。DUTGNDピンは、通常アナロググランドに直接接続されています。これらのピンは、各々がDACのデジタルコードと共に変化する入力電流を持っています。DUTGNDピンを外部回路で駆動する場合は、DAC当たり $\pm 200\mu\text{A}$ の負荷電流を見込んで下さい。

### 出力バッファアンプ

MAX5270の電圧出力は、内部で標準スルーレート1V/ $\mu\text{s}$ の高精度利得2倍のアンプを使用してバッファされています。出力においてフルスケール遷移があった場合、 $\pm 1/2\text{LSB}$ までの標準セトリング時間は22 $\mu\text{s}$ です。このセトリング時間は、10,000pFまでの容量性負荷にはあまり影響を受けません。

### 出力デグリッチ回路

MAX5270のDACラダーから出力アンプへの接続経路は、特殊なデグリッチ回路を備えています。このグリッチ/デグリッチ回路は、 $\overline{\text{LD}}$ の立下りエッジでイネーブルされ、R-2R DACのグリッチを除去します。これにより、MAX5270のグリッチインパルスエネルギーはデグリッチ回路がない場合に比べてずっと小さくなります。

# オクタル13ビット電圧出力DAC パラレルインタフェース付

## デジタル入力及びインタフェースロジック

全てのデジタル入力は、TTL及びCMOSロジックとコンパチブルです。MAX5270は、少なくとも13ビット幅のデータバスを使用してマイクロプロセッサとインタフェースします。インタフェースはダブルバッファされているため、全てのDACを同時に更新できます。各DACは、データバスからデータを受け取る入力ラッチ、及び入力ラッチからデータを受け取るDACラッチの2つのラッチを備えています(「ファンクションダイアグラム」を参照)。表1に示すように、アドレスラインA0、A1及びA2はどのDACの入力ラッチがデータバスからデータを受け取るかを決定します。 $\overline{CS}$ 、 $\overline{WR}$ 及び $\overline{LD}$ が全てローである場合、入力ラッチとDACラッチの両方がトランスペアレントになります。この状態では、D0~D12の変化はただちに出力に現れます。非同期 $\overline{LD}$ 信号を使用することにより、入力ラッチからDACラッチにデータを転送できます。各DACのアナログ出力は、このDACラッチに保持されているデータを反映しています。全ての制御入力はレベルトリガです。表2はインタフェース真理値表です。

表1. MAX5270のDACアドレス指定

A2	A1	A0	FUNCTION
0	0	0	DAC A input latch
0	0	1	DAC B input latch
0	1	0	DAC C input latch
0	1	1	DAC D input latch
1	0	0	DAC E input latch
1	0	1	DAC F input latch
1	1	0	DAC G input latch
1	1	1	DAC H input latch

表2. インタフェース真理値表

$\overline{CLR}$	$\overline{LD}$	$\overline{WR}$	$\overline{CS}$	FUNCTION
X	X	0	0	Input register transparent
X	X	X	1	Input register latched
X	X	1	X	Input register latched
X	0	X	X	DAC register transparent
X	1	X	X	DAC register latched
0	X	X	X	Outputs of DACs at DUTGND_
1	1	X	X	Outputs of DACs set to voltage defined by the DAC register, the references, and the corresponding DUTGND_

X = Don't care

## 入力書込みサイクル

データはラッチするか、直接DACに転送することができます。 $\overline{CS}$ と $\overline{WR}$ が入力ラッチを制御し、 $\overline{LD}$ が入力ラッチからDACラッチに情報を転送します。 $\overline{CS}$ と $\overline{WR}$ がローの時、入力ラッチはトランスペアレントで、 $\overline{LD}$ がローの時、DACラッチはトランスペアレントです。データが間違ったDACに書き込まれるのを防ぐために、 $\overline{CS}$ と $\overline{WR}$ がローである期間中アドレスライン(A0、A1、A2)が有効であることが必要です(図2)。 $\overline{CS}$ 又は $\overline{WR}$ がハイの時に、データは入力ラッチにラッチされます。

## DACのロード

$\overline{LD}$ をハイにすると、データがDACラッチにラッチされます。 $\overline{WR}$ と $\overline{CS}$ がローの時に $\overline{LD}$ をローにすると、A0、A1及びA2にアドレス指定されたDACはD0~D12上のデータに直接制御されます。これにより、最大デジタル更新レートが可能になります。ただし、この場合入力データストリームのグリッチやスキューに影響されやすくなります。

## 非同期クリア

MAX5270の非同期クリア( $\overline{CLR}$ )が発生すると、全てのDAC出力が該当するDUTGNDピンの電圧に設定されます。 $\overline{CLR}$ の発生を止めると、DAC出力は以前の電圧に戻ります。 $\overline{CLR}$ は内部デジタルレジスタをクリアしないことに注意して下さい。

## アプリケーション情報

### 乗算動作

MAX5270は乗算アプリケーションに使用できます。本素子のリファレンスはDCとAC両方の信号を受け付けます。リファレンス入力はユニポーラであるため、乗算動作は2象限に限られています。DACと出力バッファの動的性能については、「標準動作特性」のグラフを参照して下さい。

### デジタルコード及びアナログ出力電圧

MAX5270はオフセットバイナリコーディングを使用しています。13ビットの2の補数形式のコードに $2^{12} = 4096$ を加算することによって13ビットオフセットバイナリコードに変換されます。

### 出力電圧範囲

標準的な動作においては、DUTGNDを信号グラウンドに、 $V_{REF+}$ を+4.096Vに、そして $V_{REF-}$ を0Vに接続して下さい。表3にデジタルコードと出力電圧の関係を示します。

DACデジタルコードが13ビットR-2Rラダーの各スイッチを制御します。コード0x0はラダーの全てのスイッチを $REF-$ に接続します。これはDAC出力電圧( $V_{DAC}$ )としては $REF-$ に相当します。コード0x1FFFはラダーの全てのスイッチを $REF+$ に接続します。これは $V_{DAC}$ としてはほぼ $REF+$ に相当します。

# オクタル13ビット電圧出力DAC パラレルインタフェース付

表3. アナログ電圧対デジタルコード

INPUT CODE	OUTPUT VOLTAGE (V)
1 1111 1111 1111	+8.191
1 0000 0000 0000	+4.096
0 1111 1111 1111	+4.095
0 0000 0000 0001	+0.001
0 0000 0000 0000	0

**Note:** Output voltage is based on REF+ = +4.096V, REF- = 0V, and DUTGND = 0.

出力アンプはV<sub>DAC</sub>を2倍に増幅して、出力電圧範囲として2 x REF-~2 x REF+を提供します(図1)。出力電圧スパンは、DUTGNDをオフセットすることによりさらに操作できます。MAX5270の出力は次式で表されます。

$$V_{OUT} = 2 \left[ \left( V_{REF+} - V_{REF-} \right) \frac{DATA}{2^{13}} + V_{REF-} \right] - V_{OUTGND}$$

ここで、DATAはDACのバイナリ入力コードの数値であり、DATAの範囲は0(2<sup>0</sup>)~8191(2<sup>13</sup>- 1)です。MAX5270の分解能(1LSBと定義)は次式で表されます。

$$LSB = \frac{2 \left( REF+ - REF- \right)}{2^{13}}$$

## リファレンスの選択

MAX5270は、リファレンス入力に高精度バッファを持っているため、これらの入力へのインタフェースの条件は最小限で済みます。REF+及びREF-の推奨範囲内にある低ドリフト、低ノイズリファレンスを選択して下さい。MAX5270は、リファレンス入力にバイパスコンデンサを必要としません。リファレンス電圧ソースがシステム仕様を満たすためにコンデンサを必要とする場合にのみ、コンデンサを付加して下さい。

## 出力グリッチの低減

MAX5270の内部デグリッチ回路は、LDの立下りエッジでイネーブルされます。このため、最適の性能を達成するためには入力がラッチ又は一定状態になった後でLDをローにして下さい。これを良好に行うには、LDの立下りがリッジがCSの立上りエッジの少なくとも50ns後になるようにして下さい。

## 電源、グランド及びバイパス

最適の性能を得るためには、切れ目のないアナロググランドを備えた複層プリント基板を使用して下さい。通常動作においては、4つのDUTGNDピンを直接グランドプレーンに接続して下さい。これらの感度の高いピンへの接続経路を他のグランドトレースと共有しないようにして下さい。

これは全ての感度の高いデータ収集機器にいえることですが、デジタル及びアナロググランドプレーンを(できればMAX5270の直下で)一点で接続して下さい。デジタル信号がMAX5270の下を通らないようにして下さい。これはICへのカップリングを防ぐためです。

通常動作においては、0.1µFセラミックチップコンデンサを使用してV<sub>DD</sub>及びV<sub>SS</sub>をアナロググランドプレーンにバイパスして下さい。過渡応答及び容量性駆動能力を向上するには、セラミックコンデンサと並列に10µFのタンタルコンデンサを接続して下さい。ただし、MAX5270は容量を追加しなくても安定であることに注意して下さい。0.1µFセラミックチップコンデンサを使用して、V<sub>CC</sub>をデジタルグランドプレーンにバイパスして下さい。

## 電源シーケンス

MAX5270の適正動作を保証するために、V<sub>SS</sub>及びV<sub>CC</sub>よりも先にV<sub>DD</sub>の電源を投入して下さい。また、V<sub>SS</sub>が決してグランドの300mV上よりも高くないようにして下さい。これを確実にするには、図3に示すようにV<sub>SS</sub>とアナロググランドプレーンの間にショットキダイオードを接続して下さい。電源電圧が確立するまではロジック入力ピンをパワーアップしないで下さい。これが不可能な場合で、デジタルラインが10mA以上を駆動できる場合は、ロジックピンと直列に電流制限抵抗(例えば470Ω)を接続して下さい。

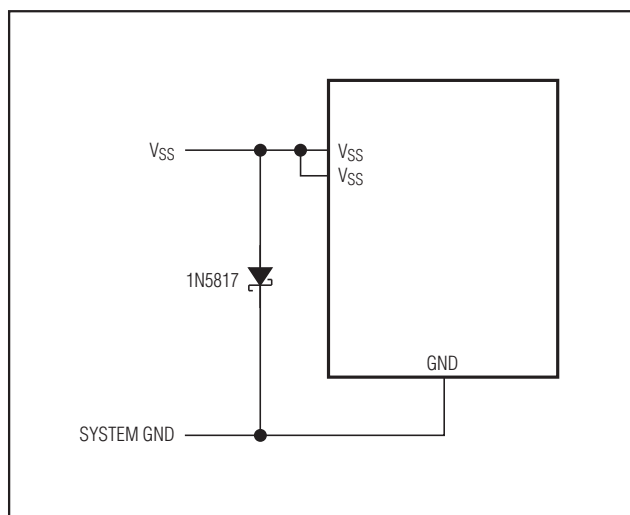
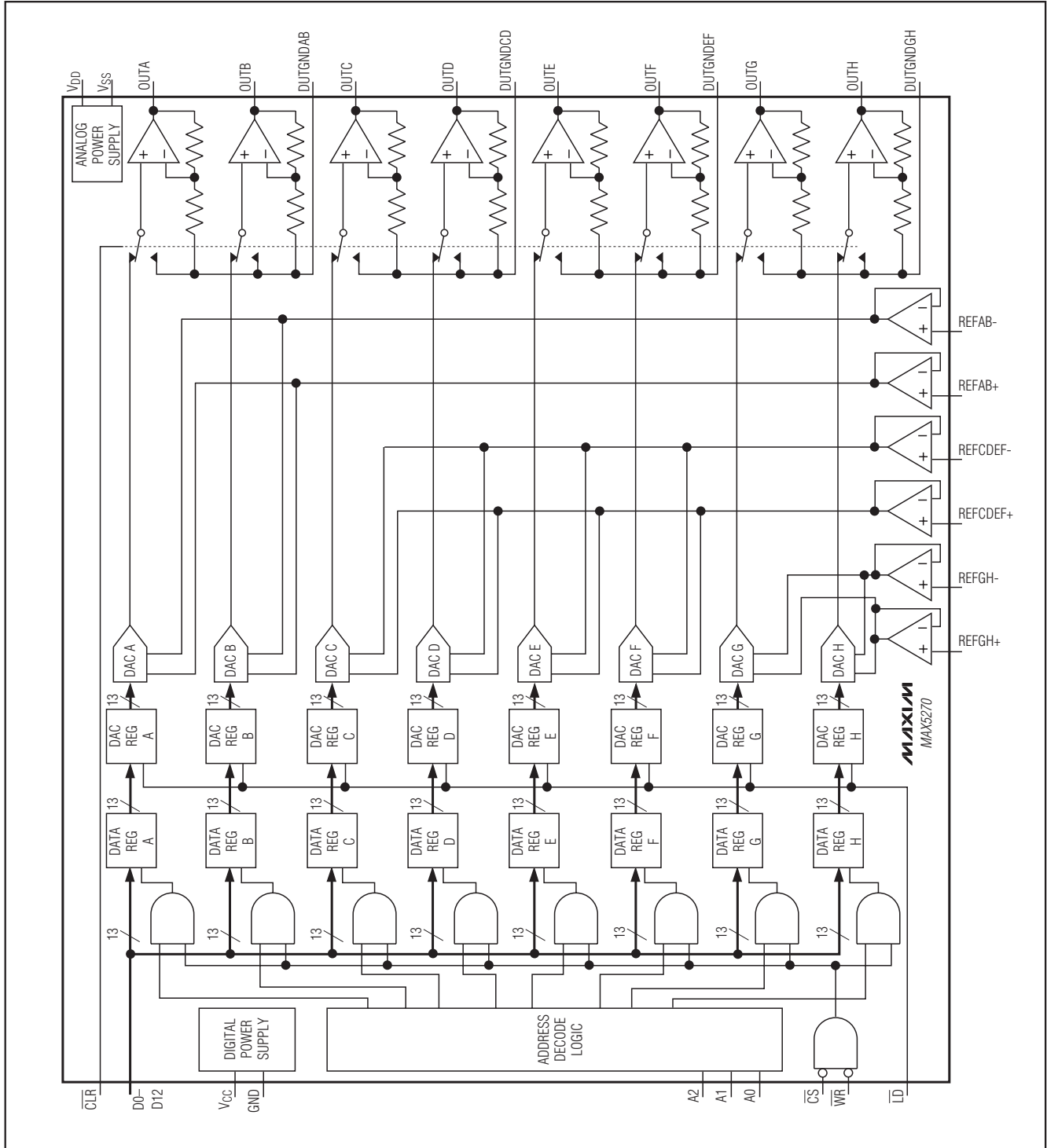


図3. V<sub>SS</sub>とGNDの間のショットキダイオード

# オクタル13ビット電圧出力DAC パラレルインタフェース付

ファンクションダイアグラム



# オクタル13ビット電圧出力DAC パラレルインタフェース付

MAX5270

## 容量性負荷の駆動

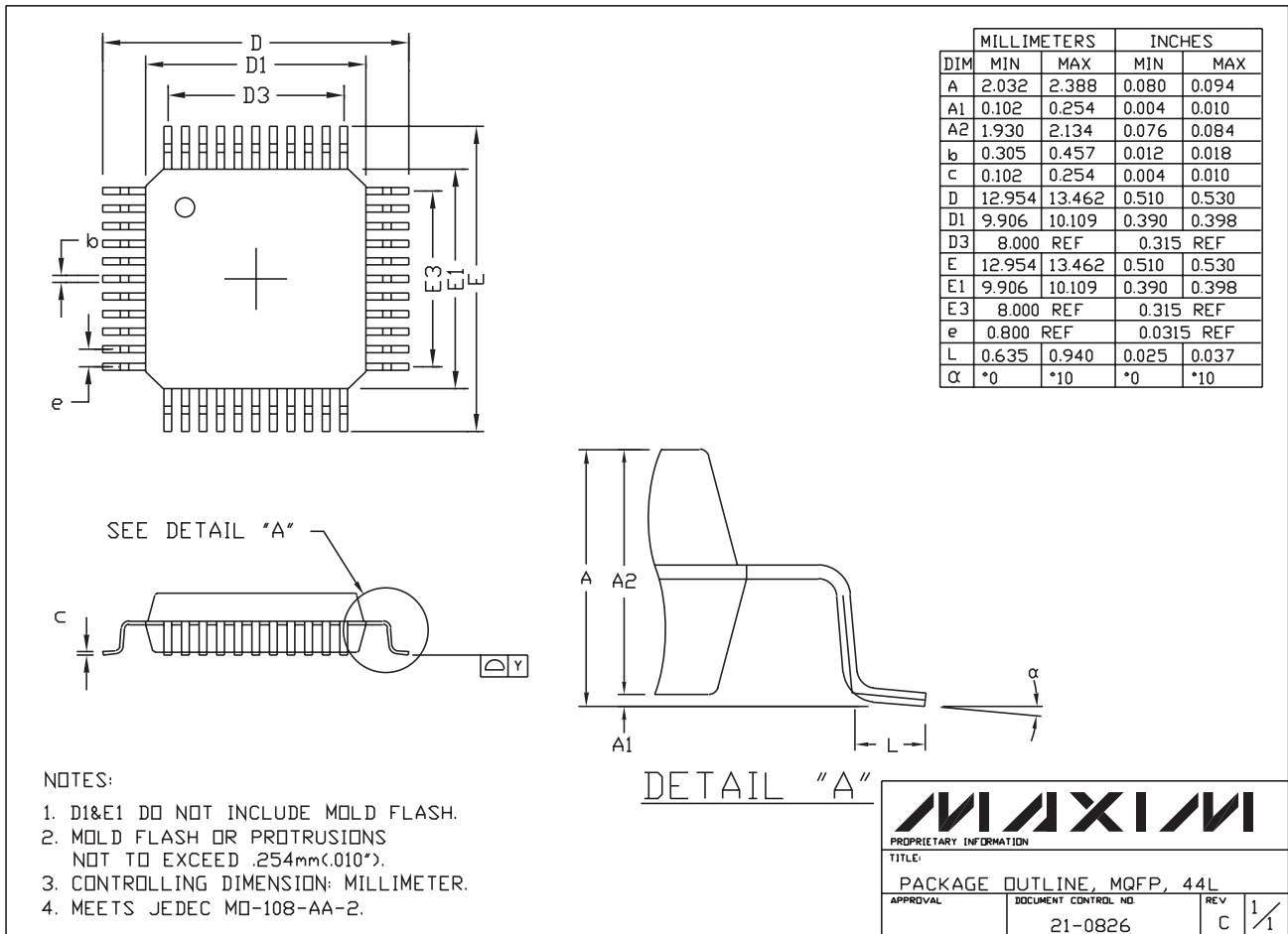
MAX5270は通常、直列出力抵抗なしで0.01 $\mu$ Fまでの容量性負荷を駆動できます。しかし、大きな容量性負荷を駆動する場合には、MAX5270出力と容量性負荷の間に220 $\Omega$ 直列抵抗を接続する方が確実です。

## チップ情報

TRANSISTOR COUNT: 10,973

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 13

© 2001 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.