

EVALUATION KIT
AVAILABLE**MAXIM****+3V/+5V、低電力、8ビットオクタルDAC
レイルトゥレイル出力バッファ付****MAX5258/MAX5259****概要**

MAX5258/MAX5259は、+3V/+5V単一電源で動作するデジタルシリアル入力、電圧出力、8ビットのオクタルデジタルアナログコンバータ(DAC)です。内部高精度バッファはレイルトゥレイルスイングが可能で、リファレンス入力範囲はグラウンドと正電源電圧の両方を含みます。+5V(MAX5258)及び+3V(MAX5259)のいずれのデバイスも、10 μ A (max)のシャットダウンモードを備えています。

シリアルインタフェースはダブルバッファ付です。16ビットの入力シフトレジスタの後に8個の8ビット入力レジスタと8個の8ビットDACレジスタが続きます。16ビットのシリアルワードは、2つの「任意」のビット、3つのアドレスビット、3つの制御ビット及び8つのデータビットで構成されます。入力レジスタ及びDACレジスタは、単一のソフトウェアコマンドで個別又は同時更新可能です。非同期制御入力LDAC \bar{C} によって、8つのDACレジスタの同時更新が可能です。

インタフェースは、SPITM、QSPITM(CPOL = CPHA = 0又はCPOL = CPHA = 1)及びMICROWIRETMコンパチブルです。バッファ付デジタルデータ出力により、シリアルデバイスのデジチェーン接続が可能です。

MAX5258/MAX5259は16ピンQSOPパッケージで提供されています。

アプリケーション

デジタル利得及びオフセット調節

設定可能アツテネータ

設定可能電流ソース

ポータブル機器

SPI及びQSPIはMotorola, Inc.の商標です。

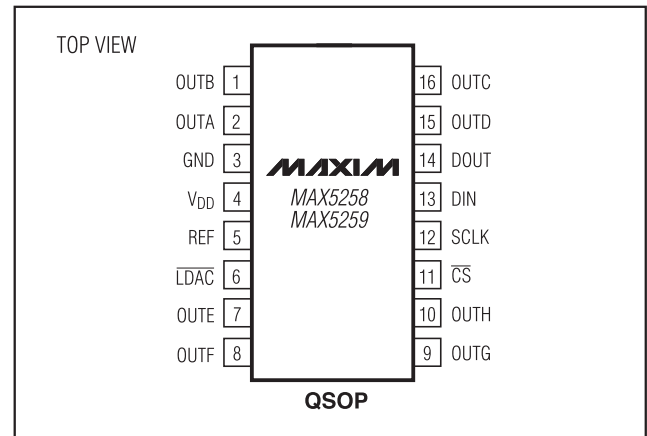
MICROWIREはNational Semiconductor Corp.の商標です。

特長

- ◆ 単一電源動作：+2.7V~+5.5V
- ◆ 低消費電流：1.3mA
- ◆ 低電力シャットダウンモード
0.54mA (MAX5259)
0.80mA (MAX5258)
- ◆ ± 1 LSB DNL(max)
- ◆ ± 1 LSB INL(max)
- ◆ リファレンス入力範囲：グラウンド~V_{DD}
- ◆ 出力バッファアンプはレイルトゥレイルでスイング可能
- ◆ 10MHzシリアルインタフェース：SPI、QSPI (CPOL = CPHA = 0又はCPOL = CPHA = 1)及びMICROWIREコンパチブル
- ◆ ダブルバッファ付レジスタで同期更新が可能
- ◆ シリアルデータ出力でデジチェーン接続が可能
- ◆ パッケージ：超小型16ピンQSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE	SUPPLY VOLTAGE (V)
MAX5258EEE	-40°C to +85°C	16 QSOP	+5.0
MAX5259EEE	-40°C to +85°C	16 QSOP	+3.0

ピン配置**MAXIM**

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +6V
 DIN, DOUT, \overline{CS} , SCLK, \overline{LDAC} to GND-0.3V to +6V
 REF to GND-0.3V to (V_{DD} + 0.3V)
 OUT₋ to GND-0.3V to V_{DD}
 Maximum Current into Any Pin.....50mA

Continuous Power Dissipation (T_A = +70°C)
 16-Pin Plastic QSOP (derate 8.3mW/°C about +70°C)...667mW
 Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS (MAX5258)

V_{DD} = +4.5V to +5.5V, V_{REF} = +4.096V, GND = 0, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{DD} = +5V and T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY						
Resolution			8			Bits
Integral Nonlinearity (Note 1)	INL			±0.1	±1	LSB
Differential Nonlinearity (Note 1)	DNL	Guaranteed monotonic (all codes)		±0.05	±1	LSB
Zero-Code Error	ZCE	Code = 0A hex		±2.5	±20	mV
Zero-Code Error Supply Rejection		Code = 0A hex		0.02	1	LSB
Zero-Code Temperature Coefficient		Code = 0A hex		±10		μV/°C
Full-Scale Error		Code = FF hex		±1	±30	mV
Full-Scale Error Supply Rejection		Code = FF hex		0.25	1	LSB
Full-Scale Temperature Coefficient		Code = FF hex		±10		μV/°C
REFERENCE INPUTS						
Input Voltage Range			0		V _{DD}	V
Input Resistance			161	230	300	kΩ
Input Capacitance				20		pF
DAC OUTPUTS						
Output Voltage Swing		R _L = 10kΩ to GND	0		V _{DD} - 0.3	V
Output Voltage Range		R _L = 10kΩ to GND	0		V _{REF}	V
DIGITAL INPUTS						
Input High Voltage	V _{IH}		0.7 × V _{DD}			V
Input Low Voltage	V _{IL}				0.3 × V _{DD}	V

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

ELECTRICAL CHARACTERISTICS (MAX5258) (continued)

$V_{DD} = +4.5V$ to $+5.5V$, $V_{REF} = +4.096V$, $GND = 0$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +5V$ and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Current	I_{IN}	$V_{IN} = 0$ to V_{DD}			± 1.0	μA
Input Capacitance	C_{IN}	(Note 3)		10		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 1.6mA$			0.4	V
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate		Code = FF hex		0.55		V/ μs
Output Settling Time		To 1/2 LSB, from code 0A to code FF hex (Note 2)		10		μs
Digital Feedthrough		Code = 00 hex		0.15		nV-s
Digital-to-Analog Glitch Impulse		Code = 80 to code = 7F hex		30		nV-s
Signal-to-Noise Plus Distortion Ratio	SINAD	$V_{REF} = 4V_{p-p}$ at 1kHz centered at 2.5V code = FF hex		68		dB
		$V_{REF} = 4V_{p-p}$ at 10kHz centered at 2.5V code = FF hex		55		
Multiplying Bandwidth		$V_{REF} = 0.1V_{p-p}$ centered at $V_{DD}/2$, -3dB bandwidth		700		kHz
Wideband Amplifier Noise				16		μV
POWER REQUIREMENTS						
Power-Supply Voltage	V_{DD}		4.5		5.5	V
Supply Current	I_{DD}			1.4	2.6	mA
Shutdown Supply Current	I_{SHDN}			0.45	10	μA

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

ELECTRICAL CHARACTERISTICS (MAX5259)

($V_{DD} = +2.7V$ to $+3.3V$, $V_{REF} = +2.5V$, $GND = 0$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +3V$, and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY						
Resolution			8			Bits
Integral Non Linearity (Note 1)	INL			± 0.1	± 1	LSB
Differential Non Linearity (Note 1)	DNL	Guaranteed monotonic (all codes)		± 0.1	± 1	LSB
Zero-Code Error	ZCE	Code = 0A hex		± 2.5	± 20	mV
Zero-Code Error Supply Rejection		Code = 0A hex.		0.15	1	LSB
Zero-Code Temperature Coefficient		Code = 0A hex		± 10		$\mu V/^\circ C$
Full-Scale Error		Code = FF hex		± 0.7	± 30	mV
Full-Scale Error Supply Rejection		Code = FF hex		0.2	1	LSB
Full-Scale Temperature Coefficient		Code = FF hex		± 10		$\mu V/^\circ C$
REFERENCE INPUTS						
Input Voltage Range			0		V_{DD}	V
Input Resistance			161	218	300	$k\Omega$
Input Capacitance				20		pF
DAC OUTPUTS						
Output Voltage Swing		$R_L = 10k\Omega$ to GND	0		$V_{DD} - 0.3$	V
Output Voltage Range		$R_L = 10k\Omega$ to GND	0		V_{REF}	V
DIGITAL INPUTS						
Input High Voltage	V_{IH}		$0.7 \times V_{DD}$			V
Input Low Voltage	V_{IL}				$0.3 \times V_{DD}$	V
Input Current	I_{IN}	$V_{IN} = 0$ to V_{DD}			± 1.0	μA
Input Capacitance	C_{IN}	(Note 3)		10		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 1.6mA$			0.4	V
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate		Code = FF hex		0.55		V/ μs
Output Settling Time		To 1/2 LSB, from code 0A to code FF hex (Note 2)		7		μs

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

ELECTRICAL CHARACTERISTICS (MAX5259) (continued)

($V_{DD} = +2.7V$ to $+3.3V$, $V_{REF} = +2.5V$, $GND = 0$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +3V$, and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Digital Feedthrough		Code = 00 hex		0.1		nV-s
Digital-to-Analog Glitch Impulse		Code = 80 to code = 7F hex		20		nV-S
Signal-to-Noise Plus Distortion Ratio	SINAD	$V_{REF} = 2.5V_{p-p}$ at 1kHz centered at 1.5V code = FF hex		65		dB
		$V_{REF} = 2.5V_{p-p}$ at 10kHz centered at 1.5V code = FF hex		54		
Multiplying Bandwidth		$V_{REF} = 0.1V_{p-p}$ centered at $V_{DD}/2$, -3dB bandwidth		700		kHz
Wideband Amplifier Noise				60		μV
POWER REQUIREMENTS						
Power-Supply Voltage	V_{DD}		2.7		3.6	V
Supply Current	I_{DD}			1.3	2.6	mA
Shutdown Supply Current	I_{SHDN}			0.24	10	μA

TIMING CHARACTERISTICS (MAX5258)

($V_{REF} = +4.096V$, $GND = 0$, $C_{DOUT} = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +5V$ and $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD} Rise-to- \overline{CS} Fall-Setup Time	t_{VDCS}			5		μs
LDAC Pulse Width Low	t_{LDAC}		40	20		ns
\overline{CS} Rise-to-LDAC Fall-Setup Time (Note 4)	t_{CLL}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		90			ns
SCLK Clock Frequency (Note 5)	f_{CLK}			10		MHz
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall-to-SCLK Rise-Setup Time	t_{CSS}		40			ns
SCLK Rise-to- \overline{CS} Rise-Hold Time	t_{CSH}		0			ns
DIN to SCLK Rise-to-Setup Time	t_{DS}		40			ns
DIN to SCLK Rise-to-Hold Time	t_{DH}		0			ns
SCLK Rise-to-DOUT Valid Propagation Delay (Note 6)	t_{DO1}				200	ns
SCLK Fall-to-DOUT Valid Propagation Delay (Note 7)	t_{DO2}				210	ns
\overline{CS} Rise-to-SCLK Rise-Setup Time	t_{CS1}		40			ns

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

TIMING CHARACTERISTICS (MAX5259)

$V_{REF} = +2.5V$, $GND = 0$, $C_{DOUT} = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $V_{DD} = +3V$ and $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD} Rise-to- \overline{CS} Fall-Setup Time	t_{VDCS}			5		μs
\overline{LDAC} Pulse Width Low	t_{LDAC}		40	20		ns
\overline{CS} Rise-to- \overline{LDAC} Fall-Setup Time (Note 4)	t_{CCL}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		90			ns
SCLK Clock Frequency (Note 5)	f_{CLK}			10		MHz
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall-to-SCLK Rise-Setup Time	t_{CSS}		40			ns
SCLK Rise-to- \overline{CS} Rise-Hold Time	t_{CSH}		0			ns
DIN to SCLK Rise-to-Setup Time	t_{DS}		40			ns
DIN to SCLK Rise-to-Hold Time	t_{DH}		0			ns
SCLK Rise-to-DOUT Valid Propagation Delay (Note 6)	t_{DO1}				200	ns
SCLK Fall-to-DOUT Valid Propagation Delay (Note 7)	t_{DO2}				210	ns
\overline{CS} Rise-to-SCLK Rise-Setup Time	t_{CS1}		40			ns

Note 1: INL and DNL are measured with R_L referenced to ground. Nonlinearity is measured from the first code that is greater than or equal to the maximum offset specification to code FF hex (full scale). (See *DAC Linearity and Voltage Offset* section.)

Note 2: Output settling time is measured from the 50% point of the rising edge of \overline{CS} to 1/2LSB of the final value of V_{OUT} .

Note 3: Guaranteed by design, not production tested.

Note 4: If \overline{LDAC} is activated prior to the rising edge of \overline{CS} , it must remain low for t_{LDAC} or longer after \overline{CS} goes high.

Note 5: When DOUT is not used. If DOUT is used, f_{CLK} (max) is 4MHz due to SCLK to DOUT propagation delay.

Note 6: Serial data is clocked-out at SCLK's rising edge (measured from 50% of the clock edge to 20% or 80% of V_{DD}).

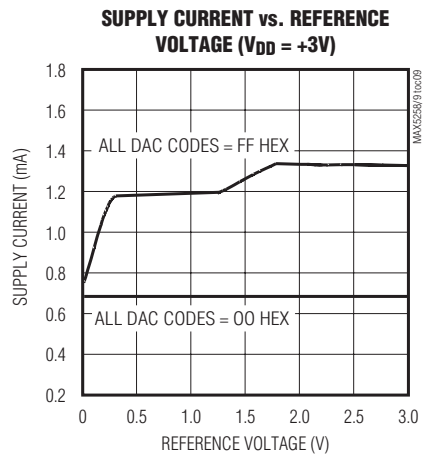
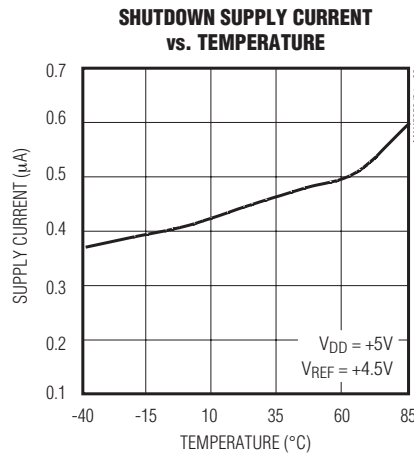
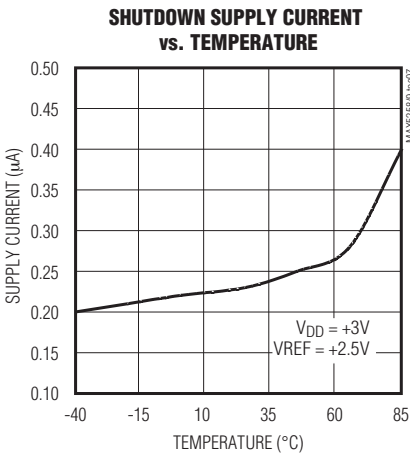
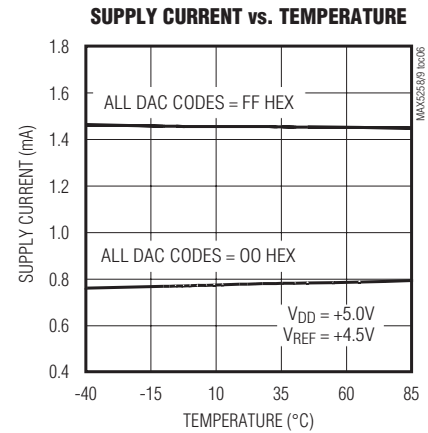
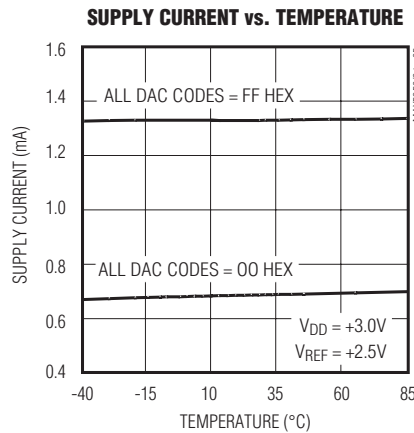
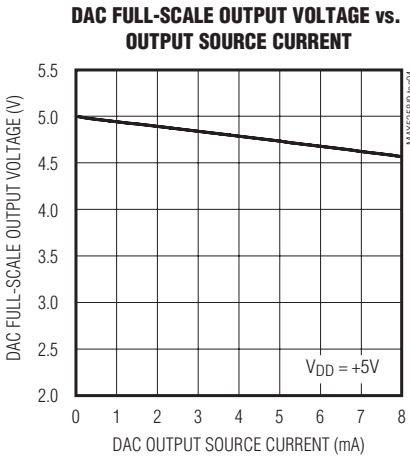
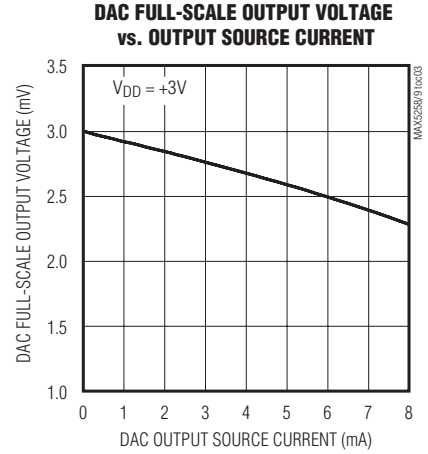
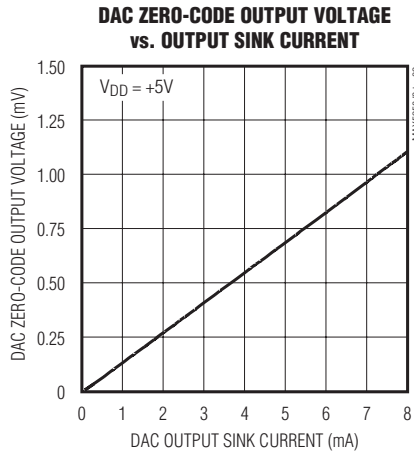
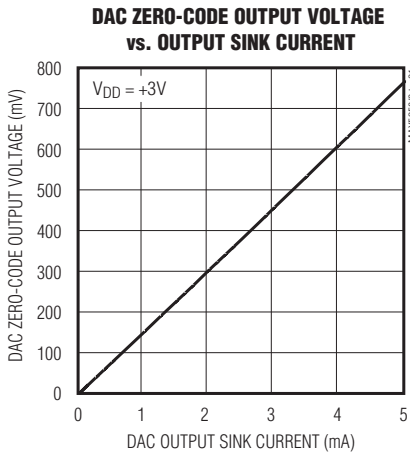
Note 7: Serial data is clocked-out at SCLK's falling edge (measured from 50% of the clock edge to 20% or 80% of V_{DD}).

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

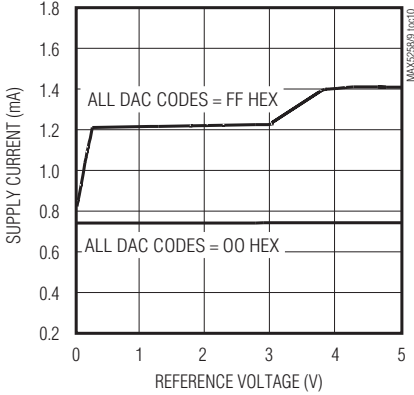


+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

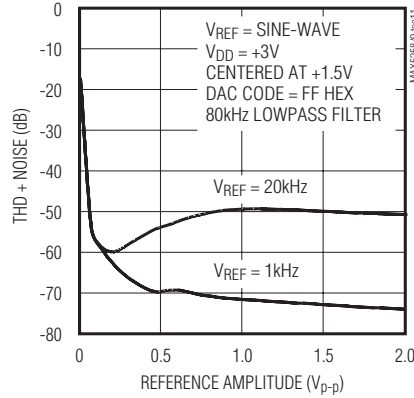
標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

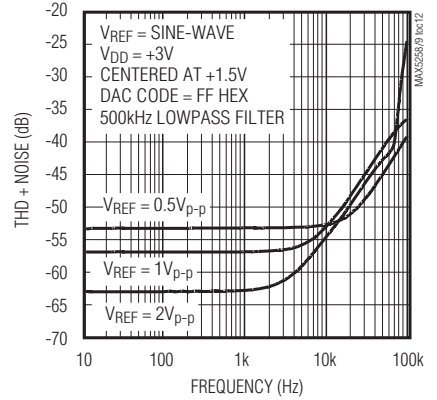
SUPPLY CURRENT vs. REFERENCE VOLTAGE ($V_{DD} = +5\text{V}$)



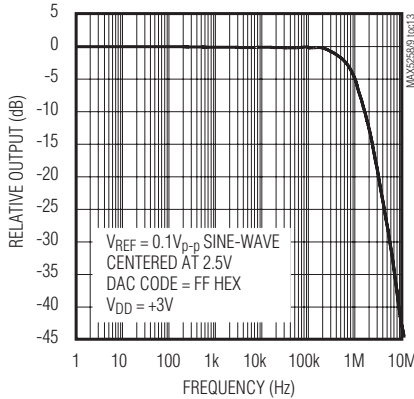
THD + NOISE AT DAC OUTPUT vs. REFERENCE AMPLITUDE



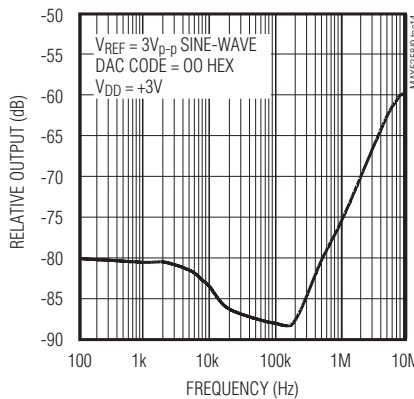
THD + NOISE AT DAC OUTPUT vs. REFERENCE FREQUENCY



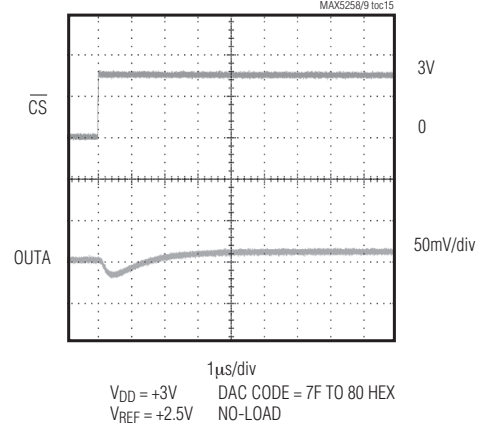
REFERENCE INPUT FREQUENCY RESPONSE



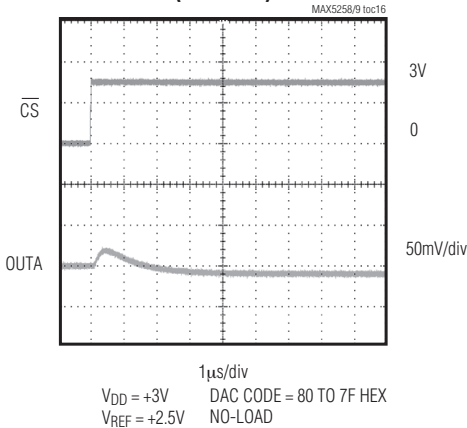
REFERENCE FEEDTHROUGH vs. FREQUENCY



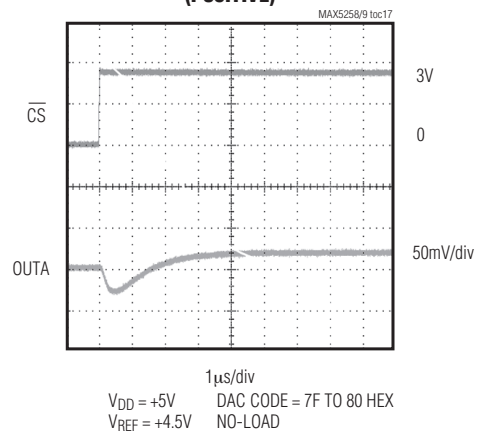
WORST-CASE 1LSB DIGITAL STEP CHANGE (POSITIVE)



WORST-CASE 1LSB DIGITAL STEP CHANGE (NEGATIVE)



WORST-CASE 1LSB DIGITAL STEP CHANGE (POSITIVE)



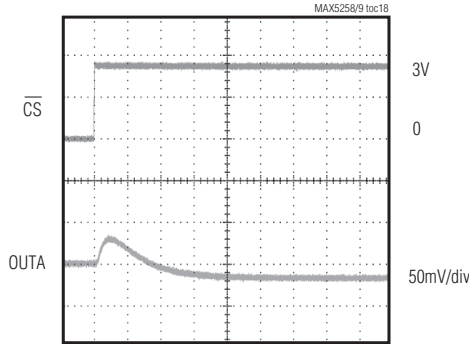
+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

標準動作特性(続き)

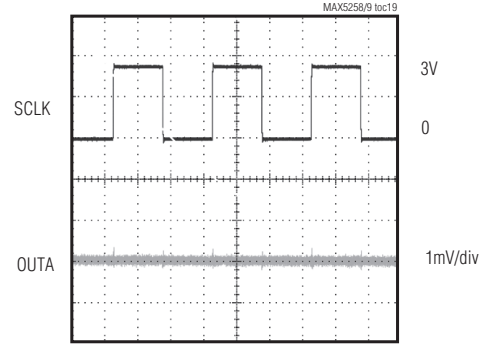
($T_A = +25^\circ\text{C}$, unless otherwise noted.)

**WORST-CASE 1LSB DIGITAL STEP CHANGE
(NEGATIVE)**



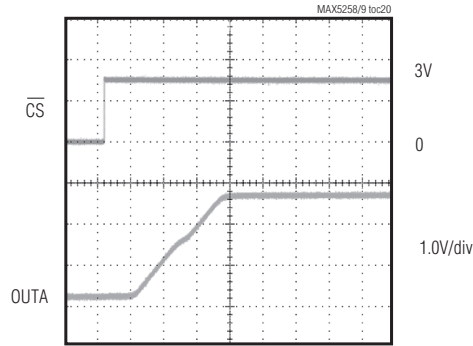
MAX5258/9 toc18
 $V_{DD} = +5\text{V}$ DAC CODE = 80 TO 7F HEX
 $V_{REF} = +4.5\text{V}$ NO-LOAD

CLOCK FEEDTHROUGH



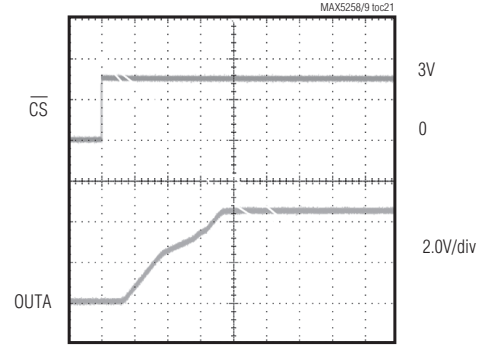
MAX5258/9 toc19
 $V_{DD} = +3\text{V}$ DAC CODE = 00 HEX
 $V_{REF} = +2.5\text{V}$ NO-LOAD
 SCLK = 333 kHz

POSITIVE SETTLING TIME



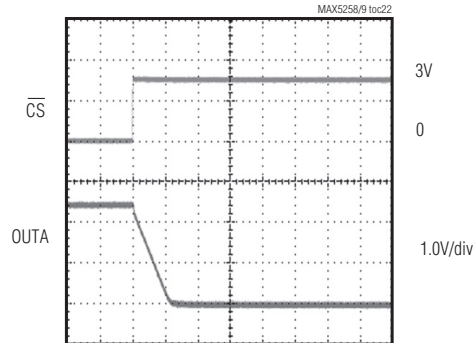
MAX5258/9 toc20
 $V_{DD} = +3\text{V}$ DAC CODE = 00 TO FF HEX
 $V_{REF} = +2.5\text{V}$ NO-LOAD

POSITIVE SETTLING TIME



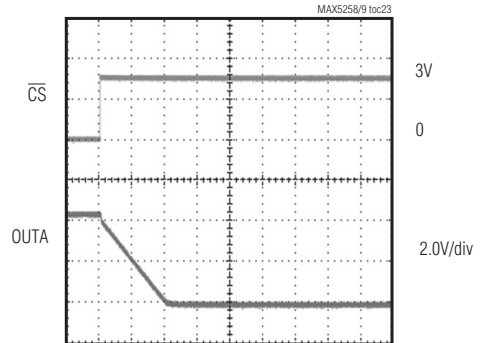
MAX5258/9 toc21
 $V_{DD} = +5\text{V}$ DAC CODE = 00 TO FF HEX
 $V_{REF} = +4.5\text{V}$ NO-LOAD

NEGATIVE SETTLING TIME



MAX5258/9 toc22
 $V_{DD} = +3\text{V}$ DAC CODE = FF TO 00 HEX
 $V_{REF} = +2.5\text{V}$ NO-LOAD

NEGATIVE SETTLING TIME



MAX5258/9 toc23
 $V_{DD} = +5\text{V}$ DAC CODE = FF TO 00 HEX
 $V_{REF} = +4.5\text{V}$ NO-LOAD

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

端子説明

端子	名称	機能
1	OUTB	DAC B電圧出力
2	OUTA	DAC A電圧出力
3	GND	グランド
4	V _{DD}	電源
5	REF	リファレンス電圧入力
6	$\overline{\text{LDAC}}$	DAC入力ロード。この非同期入力をローに駆動すると、各入力レジスタの内容が対応するDACレジスタに転送されます。
7	OUTE	DAC E電圧出力
8	OUTF	DAC F電圧出力
9	OUTG	DAC G電圧出力
10	OUTH	DAC H電圧出力
11	$\overline{\text{CS}}$	チップセレクト入力。データは $\overline{\text{CS}}$ がローの時にシフトイン又はシフトアウトされます。プログラミングコマンドは、 $\overline{\text{CS}}$ がハイに戻った時に実行されます。
12	SCLK	シリアルクロック入力。データは立上りエッジでクロックインされ、立下りエッジ(デフォルト)又は立上りエッジ(A2 = 1、表1を参照)でクロックアウトされます。
13	DIN	シリアルデータ入力。データはSCLKの立上りエッジでクロックインされます。
14	DOUT	シリアルデータ出力。電流のシンク及びソースとなります。DOUTのデータはSCLKの立下りエッジ(モード0)又は立上りエッジ(モード1)でクロックアウトされます(表1)。
15	OUTD	DAC D電圧出力
16	OUTC	DAC C電圧出力

詳細

シリアルインタフェース

電源投入時に、シリアルインタフェース及び全てのDACはクリアされ、コードゼロに設定されます。シリアルデータ出力(DOUT)は、SCLKの立下りエッジで遷移するように設定されます。

MAX5258/MAX5259は、同期の3線シリアルインタフェースを通じてマイクロプロセッサ(μP)と通信します(図1)。データはMSBを先頭にして送られ、2個の4ビット及び1個の8ビット(バイト)パケット又は1個の16ビットワードとして送信できます。最初の2ビットは無視されます。4線インタフェースでは、 $\overline{\text{LDAC}}$ のラインが追加され、非同期更新が可能になります。データの送信及び受信は同時に行われます。

図2に、シリアルインタフェースのタイミング詳細図を示します。クロックは、更新と更新の間で停止する場合はローにして下さい。クロックがアイドル状態であったり、 $\overline{\text{CS}}$ がハイであると、DOUTはハイインピーダンス状態になりません。

シリアルデータは、MSBを先頭にしたフォーマットでデータレジスタにクロックインされます。この時、アドレス及び構成情報が実際のDACデータに先行します。

データは $\overline{\text{CS}}$ がローの時にSCLKの立上りエッジでクロックインされます。DOUTのデータは16クロックサイクル後にSCLKの立下りエッジ(デフォルト、またはモード0)又は立上りエッジ(モード1)でクロックアウトされます。

デバイスをイネーブルするには、 $\overline{\text{CS}}$ がローであることが必要です。 $\overline{\text{CS}}$ がハイの場合、インタフェースはディセーブルされ、DOUTは変わりません。最初のビットを正しくクロックインするために、 $\overline{\text{CS}}$ がクロックパルスの最初の立上りエッジよりも少なくとも40ns前にローになる必要があります。 $\overline{\text{CS}}$ がローの場合、データは外部シリアルクロックの立上りエッジでMAX5258/MAX5259の内部シフトレジスタにクロックインされます。必ず16ビット全部をクロックインして下さい。

シリアル入力データフォーマット及び制御コード

図3に示す16ビットシリアル入力フォーマットは、2つの「任意」のビット、3つのDACアドレスビット(A2、A1、A0)、3つの制御ビット(C2、C1、C0)及び8ビットのデータ(D7...D0)で構成されています。表1に示すように、DACは6ビットのアドレス/制御コードで構成されています。

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

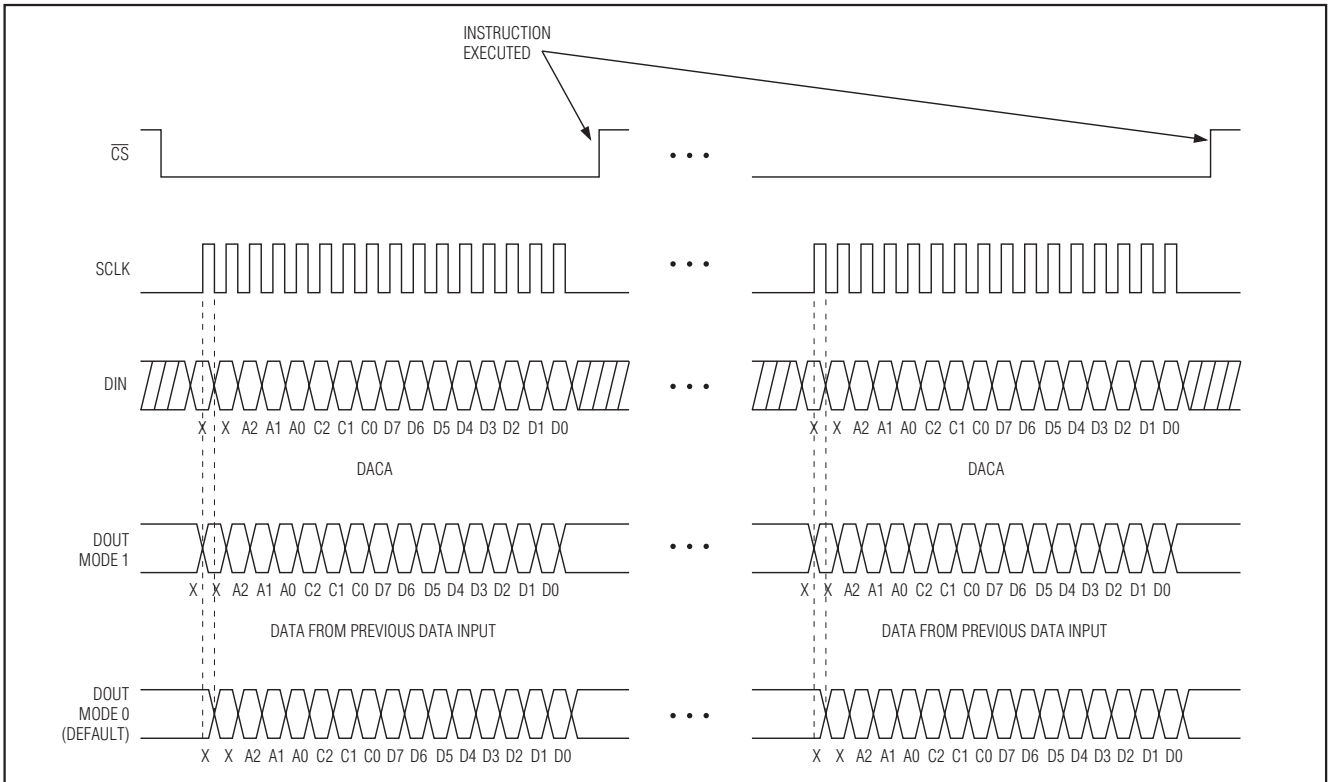


図1. 3線インタフェースタイミング

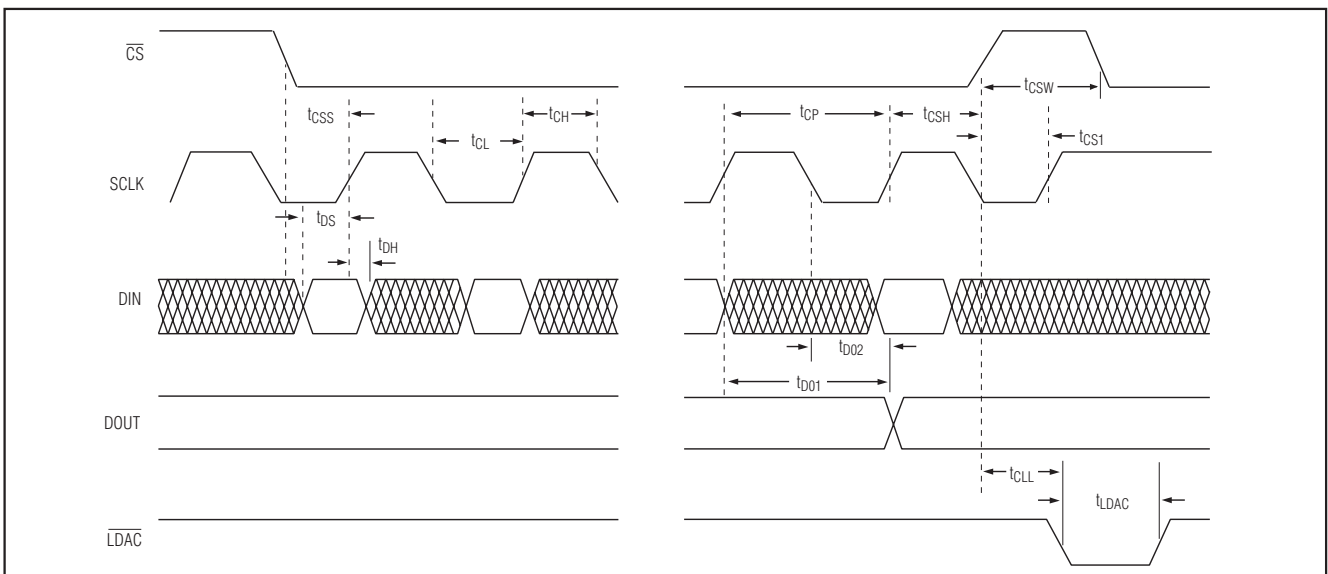


図2. シリアルインタフェースタイミング詳細図

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

表1. シリアルインタフェースプログラミングコマンド

16-BIT SERIAL WORD*							$\overline{\text{LDAC}}$	FUNCTION
A2	A1	A0	C2	C1	C0	D7.....D0		
X	X	X	0	0	0	XXXXXXXX	X	No operation (NOP); shift data in shift registers.
X	X	X	0	0	1	XXXXXXXX	X	Clears all input and DAC registers and sets all DAC outputs to zero.
X	X	X	0	1	0	XXXXXXXX	X	Software shutdown. Output buffers can be individually shut down with zeros in the corresponding data bits.
0	X	X	0	1	1	XXXXXXXX	X	DOUT Phase Mode 0. DOUT transitions on the falling edge of SCLK.
1	X	X	0	1	1	XXXXXXXX	X	DOUT Phase Mode 1. DOUT transitions on the rising edge of SCLK.
X	X	X	1	0	0	8-bit DAC data	X	Loads all DACs with the same data
0	0	0	1	0	1	8-bit DAC data	H	Load input register A. All DAC outputs unchanged.
0	0	1	1	0	1	8-bit DAC data	H	Load input register B. All DAC outputs unchanged.
0	1	0	1	0	1	8-bit DAC data	H	Load input register C. All DAC outputs unchanged.
0	1	1	1	0	1	8-bit DAC data	H	Load input register D. All DAC outputs unchanged.
1	0	0	1	0	1	8-bit DAC data	H	Load input register E. All DAC outputs unchanged.
1	0	1	1	0	1	8-bit DAC data	H	Load input register F. All DAC outputs unchanged.
1	1	0	1	0	1	8-bit DAC data	H	Load input register G. All DAC outputs unchanged.
1	1	1	1	0	1	8-bit DAC data	H	Load input register H. All DAC outputs unchanged.
0	0	0	1	1	0	8-bit DAC data	H	Load input register A. Update OUTA. All other DAC outputs unchanged.
0	0	1	1	1	0	8-bit DAC data	H	Load input register B. Update OUTB. All other DAC outputs unchanged.
0	1	0	1	1	0	8-bit DAC data	H	Load input register C. Update OUTC. All other DAC outputs unchanged.
0	1	1	1	1	0	8-bit DAC data	H	Load input register D. Update OUTD. All other DAC outputs unchanged.
1	0	0	1	1	0	8-bit DAC data	H	Load input register E. Update OUTE. All other DAC outputs unchanged.
1	0	1	1	1	0	8-bit DAC data	H	Load input register F. Update OUTF. All other DAC outputs unchanged.
1	1	0	1	1	0	8-bit DAC data	H	Load input register G. Update OUTG. All other DAC outputs unchanged.
1	1	1	1	1	0	8-bit DAC data	H	Load input register H. Update OUTH. All other DAC outputs unchanged.
X	X	X	1	1	1	XXXXXXXX	H	Software LDAC command. Updates all DACs from their respective input registers.

* 先頭の2ビットは「任意」です。

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

ノーオペレーション(NOP)

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Don't Care			0	0	0	Don't Care							

($\overline{\text{LDAC}} = X$)

動作なし(NOP)コマンドを使用すると、入力レジスタやDACレジスタに影響を与えることなく、MAX5258/MAX5259のシフトレジスタを通じてデータをシフトすることができます。これは、デジタイゼーション接続の時に便利です(「デジタイゼーション接続」の項を参照)。このコマンドでは、データビットは「任意」になります。例えば、3個のMAX5258(A、B及びC)がデジタイゼーション接続されており、デバイスAとCを更新する必要があるとします。この48ビット幅のコマンドは、デバイスCのための16ビットワードが1つ、それに続くデバイスBのためのNOP命令、そしてデバイスAのためのデータを含む3番目の16ビットワードで構成されます。 $\overline{\text{CS}}$ の立上りエッジではデバイスBの状態は変わりません。

クリア

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Don't Care			0	0	1	Don't Care							

($\overline{\text{LDAC}} = X$)

クリアコマンドは、入力レジスタ及びDACレジスタを全てクリアし、DAC出力を全てゼロに設定します。このコマンドはDACのシャットダウンを解除します。

ソフトウェアシャットダウン

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Don't Care			0	1	0	8-Bit Data							

($\overline{\text{LDAC}} = X$)

全ての出力バッファアンプ及び電圧リファレンスをシャットダウンします。出力バッファは、対応するデータビット(D7~D0)をゼロにすることによって個別にディセーブルできます。データビットが全てゼロの場合は、パワーオンリセット回路のみがアクティブになり、デバイスの消費電流は10 μ A (max)になります。デバイスのシャットダウンを解除する方法には、POR、CLEAR、LOAD SAME DATA、LOAD INPUT AND DAC REGISTERSの4種類があります。

DOUT位相の設定：SCLK立下り(モード0、デフォルト)

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
0	X	X	0	1	1	8-Bit Data							

($\overline{\text{LDAC}} = X$)

このコマンドは、DOUTがSCLKの立下りエッジで遷移するようにDOUTを設定し、全てのDACレジスタを対応する入力レジスタの内容で更新します。この機能は $\overline{\text{LDAC}}$ コマンドと同一です。これは起動時のデフォルトモードです。

DOUT位相の設定：SCLK立上り(モード1)

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
1	X	X	0	1	1	8-Bit Data							

($\overline{\text{LDAC}} = X$)

モード1は、シリアル出力DOUTがSCLKの立上りエッジで遷移するようにDOUTを設定します。このコマンドが発生すると、DOUTの位相はラッチされ、起動が行われるか、位相を立下りエッジに設定する特定のコマンドが発生するまで変わりません。

又、このコマンドは対応する入力レジスタの内容を全てのDACレジスタにロードします。この機能は $\overline{\text{LDAC}}$ コマンドと同一です。

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

全てのDACにシフトレジスタデータをロード

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Don't Care			1	0	0	8-Bit Data							

($\overline{\text{LDAC}} = X$)

8つのDACレジスタ全てがシフトレジスタデータによって更新されます。このコマンドを使用すると、DAC全てをリファレンス範囲内の任意のアナログ値に設定することができます。コード00(hex)がプログラムされている場合は、このコマンドをCLEAR(DACを全てクリア)の代わりに使用できます。このコマンドはデバイスのシャットダウンを解除します。

入力レジスタロード、DACレジスタ不変(単一更新動作)

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Address			1	0	1	8-Bit Data							

($\overline{\text{LDAC}} = X$)

単一の更新動作を実行する時は、A2~A0によって対応する入力レジスタが選択されます。 $\overline{\text{CS}}$ の立上りエッジでは、選択された入力レジスタにその時のシフトレジスタデータがロードされます。DAC出力はどれも不変です。ここではDAC出力を変えることなく、個別のデータが入力レジスタにプリロードされます。

入力レジスタ及びDACレジスタのロード

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Address			1	1	0	8-Bit Data							

($\overline{\text{LDAC}} = X$)

このコマンドは、選択された入力レジスタ及びDACレジスタにその時のシフトレジスタのデータを $\overline{\text{CS}}$ の立上りエッジで直接ロードします。A2~A0がDACアドレスを設定します。

例えば、同時に8個のDACレジスタ全てに個別の設定をロードするには、8つのコマンドが必要です。まず、DAC A、B、C、D、E、F及びG(C2 = 1、C1 = 0、C0 = 1)のための単一の入力レジスタ更新動作(C2 = 1、C1 = 0、C0 = 1)を7つ実行します。最後のコマンドは入力レジスタHへのロードを実行し、8個のDACレジスタ全てを対応する入力レジスタから更新します。このコマンドはデバイスのシャットダウンを解除します。

ソフトウェア「 $\overline{\text{LDAC}}$ 」コマンド

A2	A1	A0	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0
Address			1	1	1	8-Bit Data							

($\overline{\text{LDAC}} = X$)

$\overline{\text{CS}}$ の立上りエッジにおいて、全てのDACレジスタが対応する入力レジスタの内容で更新されます。これは、非同期 $\overline{\text{LDAC}}$ と同じ機能を実行する同期ソフトウェアコマンドです。

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

LDAC動作(ハードウェア)

通常、LDACは4線インタフェースで使用されます(図4)。このコマンドはレベルセンシティブで、DAC出力の非同期ハードウェア制御を可能にします。LDACがローの場合、8つのDACレジスタ全てがトランスペアレントになり、入力レジスタが更新されるとDAC出力も直ちにそれに従います。

シリアルデータ出力

DOUTは、内部シフトレジスタの出力であり、SCLKの立下りエッジ(モード0)又は立上りエッジ(モード1)でデータをクロックアウトするように設定することができます。モード0の出力データは入力データから16.5クロックサイクル遅れます。MICROWIRE及びSPIとのコンパチビリティも維持されます。モード1の出力データは入力データから16クロックサイクル遅れます。起動時のDOUTは、デフォルトでモード0のタイミングになります。DOUTは、スリーステートにはならず常にアクティブにハイ又はローになり、CSがハイになっても変わりません。

マイクロプロセッサへのインタフェース

MAX5258/MAX5259は、MICROWIRE(図5)及びSPI/QSPI(図6)とコンパチブルです。SPI及びQSPIでは、CPOL及びCPHA構成ビットをクリアします(CPOL = CPHA = 0)。DOUT出力を無視する場合は、SPI/QSPI CPOL = CPHA = 1の構成も使用することができます。

MAX5258/MAX5259は、SCLKクロックの極性が反転されている場合、モード0でIntel社の80C5X/80C3Xファミリとインタフェースできます。一般に、シリアルポートが使用できない場合は、パラレルポートの1つからの3本のラインを使用してビット操作を行うことができます。

シリアルクロックをレジスタの更新用にだけ動作させることにより、電圧出力でのデジタルフィードスルーが最小限に抑えられます(「標準動作特性」のClock Feedthroughの図を参照)。クロックはアイドル状態においてローになります。

デジチェーン接続

全モードがモード0の状態では1つのデバイスのDOUTをチェーン上の次のデバイスのDINに接続すると、任意の数のMAX5258/MAX5259をデジチェーン接続することができます。NOP命令(表1)を使用すると、通過するデバイスの入力レジスタ又はDACレジスタの内容を変更することなく、データをDINからDOUTに引渡すことができます。CSをハイにすることによって、デジチェーン接続の有無に関わらず、3線インタフェースはMAX5258/MAX5259を同時に更新することができます(図7)。

アナログ部

DACの動作

MAX5258/MAX5259のDACは、マトリックスデコーディング構造を採用しています。この構造は、システム

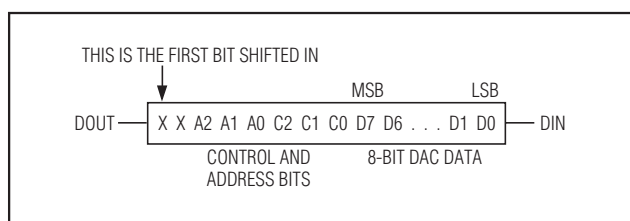


図3. シリアル入力フォーマット

全体の電力の節約を実現します。外部リファレンス電圧は、マトリックス的に配置された抵抗ネットワークによって分割されます。行及び列デコーダが抵抗ネットワークから適切なタブを選択し、必要なアナログ電圧を提供します。抵抗ネットワークは、リファレンスに対してコードに依存しない入力インピーダンスを示し、出力の単調性を保証します。図8に、8個のDACの簡略図を示します。

リファレンス入力

REFにおける電圧が、8個のDAC全てのフルスケール出力電圧を設定します。REFにおける230kΩの標準入力インピーダンスはコードに依存しません。DACの出力電圧は、デジタル的に設定可能な電圧ソースとして次式で表すことができます。

$$V_{OUT} = (NB \times V_{REF}) / 256$$

ここで、NBはDACのバイナリ入力コードの数値です。

出力バッファアンプ

MAX5258/MAX5259の電圧出力は、全て内部の高精度ユニティゲインフォロワ(スルーレート約0.55V/μs)でバッファされています。出力はGNDからV_{DD}までスイングできます。0VからV_{REF}(又はV_{REF}から0V)への出力遷移におけるアンプ出力の1/2LSBまでのセトリング時間は、負荷が10kΩと100pF並列の時に10μs (typ)になります。

バッファアンプは、抵抗(10kΩ以上)負荷又は容量性(100pF以下)負荷の任意の組合せに対して安定しています。

アプリケーション情報

DACの直線性及び電圧オフセット

通常、出力バッファの入力オフセット電圧が負の場合は出力が負になりますが、負電源がないため、出力はGNDに維持されます(図9)。エンドポイント法を使用して直線性を求める場合は、オフセット及び利得エラーをキャリブレーションで補正してからコード10(0A hex)とフルスケールコード(FF hex)の間で測定します。但し、単一電源動作の場合、負のオフセットによりゼロ近くの入力コードの遷移で出力が変化しないことがあります(図9)。従って、正の出力を生成する最低のコードが、低い方のエンドポイントとなります。

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

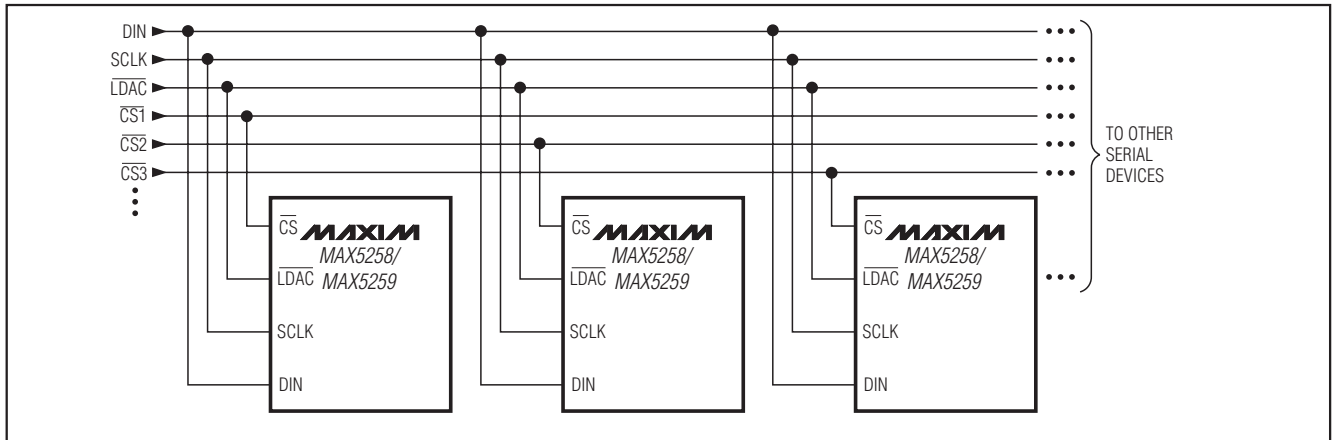


図4. 1本のDINラインを共有する複数のMAX5258 (LDACをストロブして同時に更新するか、個別の \overline{CS} をイネーブルして特定のデバイスを更新可能)

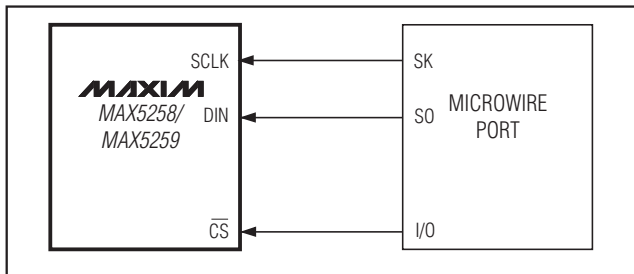


図5. MICROWIRE用の接続

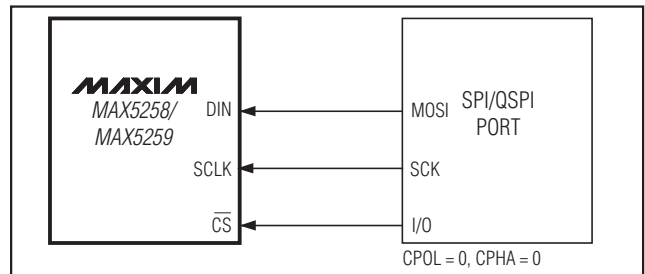


図6. SPI/QSPI用の接続

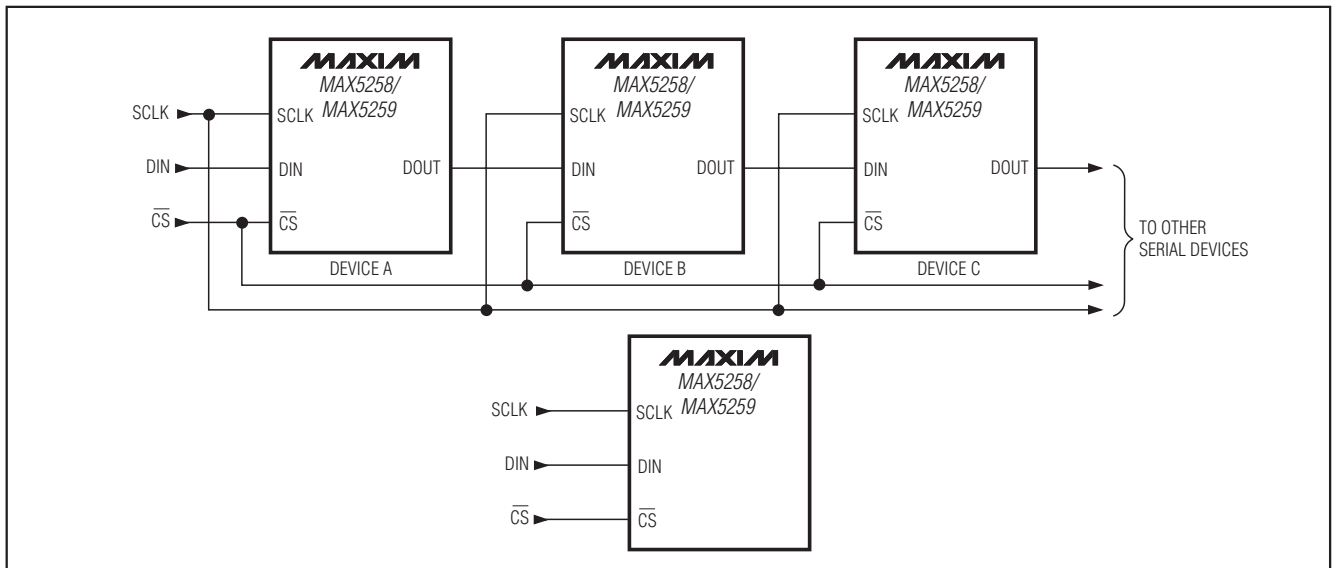


図7. \overline{CS} をハイにすることにより同時更新されるデージーチェーン接続又は個別のMAX5258 (3線のみ必要)

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

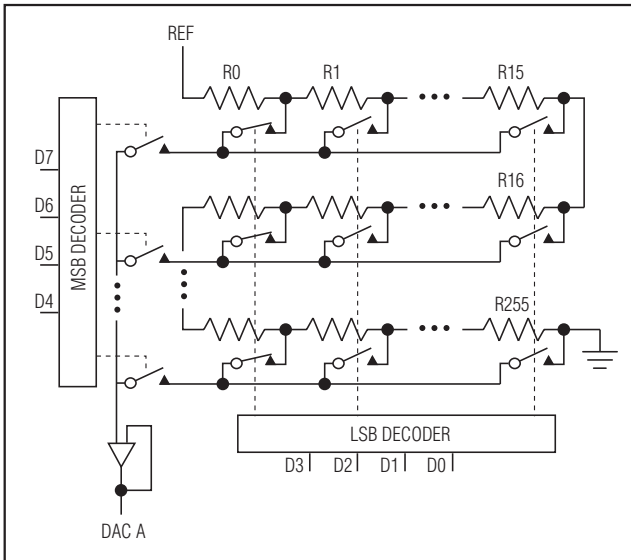


図8. DACの簡略回路図

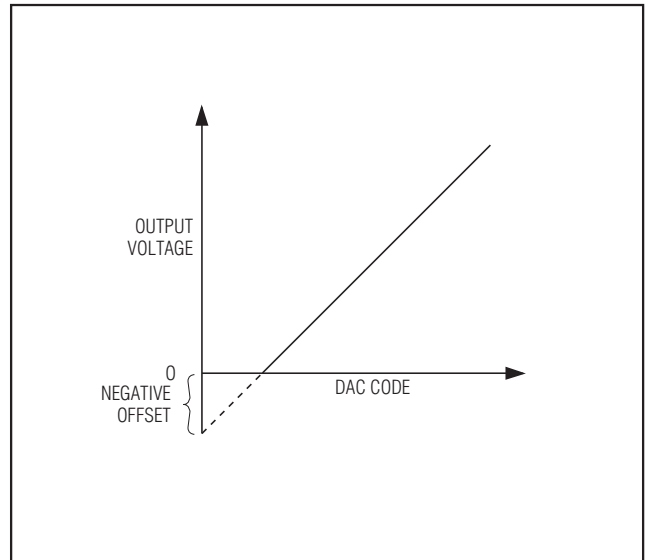


図9. 負のオフセットの影響(単一電源の場合)

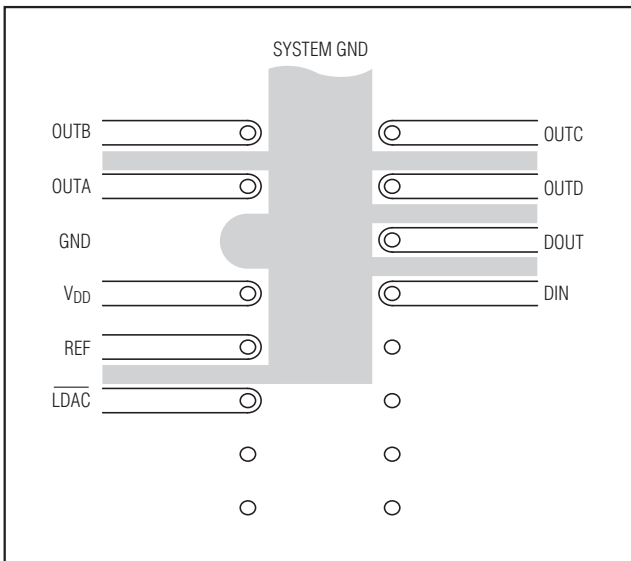


図10. クロストークを最小限に抑えるための推奨PCBレイアウト(底面図)

パワーシーケンス

REFに印可される電圧は常に V_{DD} 以下に抑える必要があります。適正なパワーシーケンスが不可能な場合は、REFと V_{DD} の間に外付ショットキダイオードを接続し、必ず最大定格を守って下さい。デバイスが完全にパワーアップするまで、デジタル入力に信号を印可しないで下さい。

電源バイパス及びグランド管理

0.1 μ Fのコンデンサを V_{DD} 及びGNDのできるだけ近くに配置して、 V_{DD} をバイパスして下さい。PCBレイアウトに注意することによって、DAC出力とデジタル入力間のクロストークを最小限に抑えることができます。図10に、クロストークを最小限に抑えるための推奨回路ボードレイアウトを示します。

ユニポーラ出力、2象限乗算

ユニポーラ動作では、出力電圧及びリファレンス入力と同じ極性になります。図11にMAX5258/MAX5259のユニポーラ極性を示し、表2にユニポーラコードを示します。

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

MAX5258/MAX5259

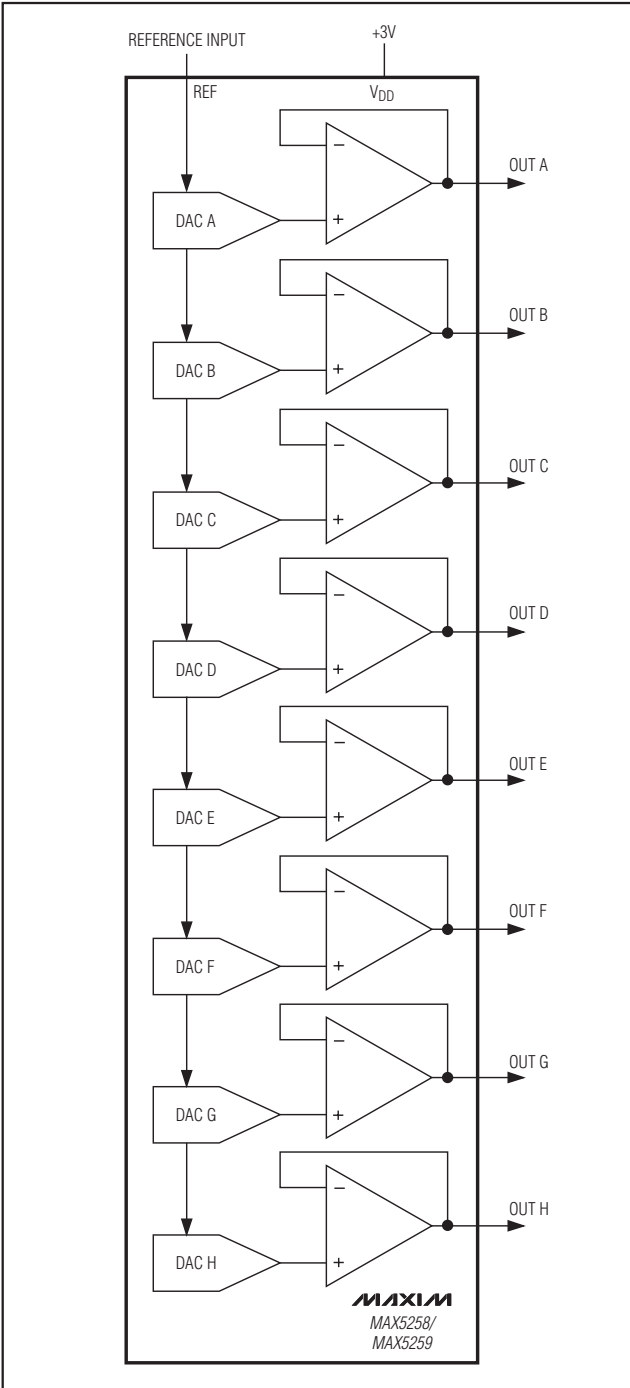


図11. ユニポーラ出力回路

表2. ユニポーラコード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111	$+V_{REF}(255/256)$
1000	0001	$+V_{REF}(129/256)$
1000	0000	$+V_{REF}(128/256) = +V_{REF}/2$
0111	1111	$+V_{REF}(127/256)$
0000	0001	$+V_{REF}(1/256)$
0000	0000	0

注: $1\text{LSB} = (V_{REF}) \times (2^8) = +V_{REF}(1 / 256)$

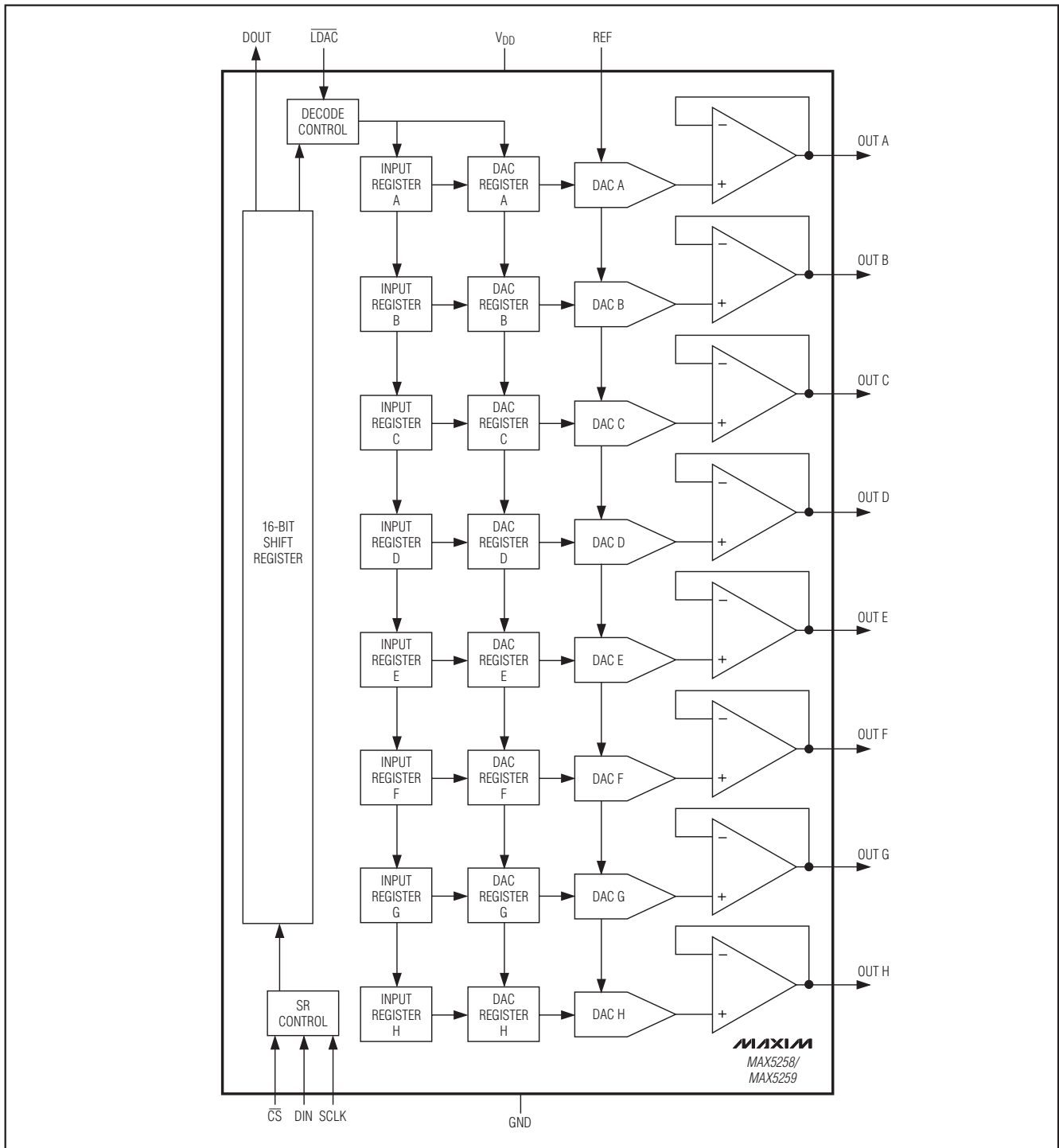
チップ情報

TRANSISTOR COUNT: 13625

PROCESS: BiCMOS

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

ファンクションダイアグラム

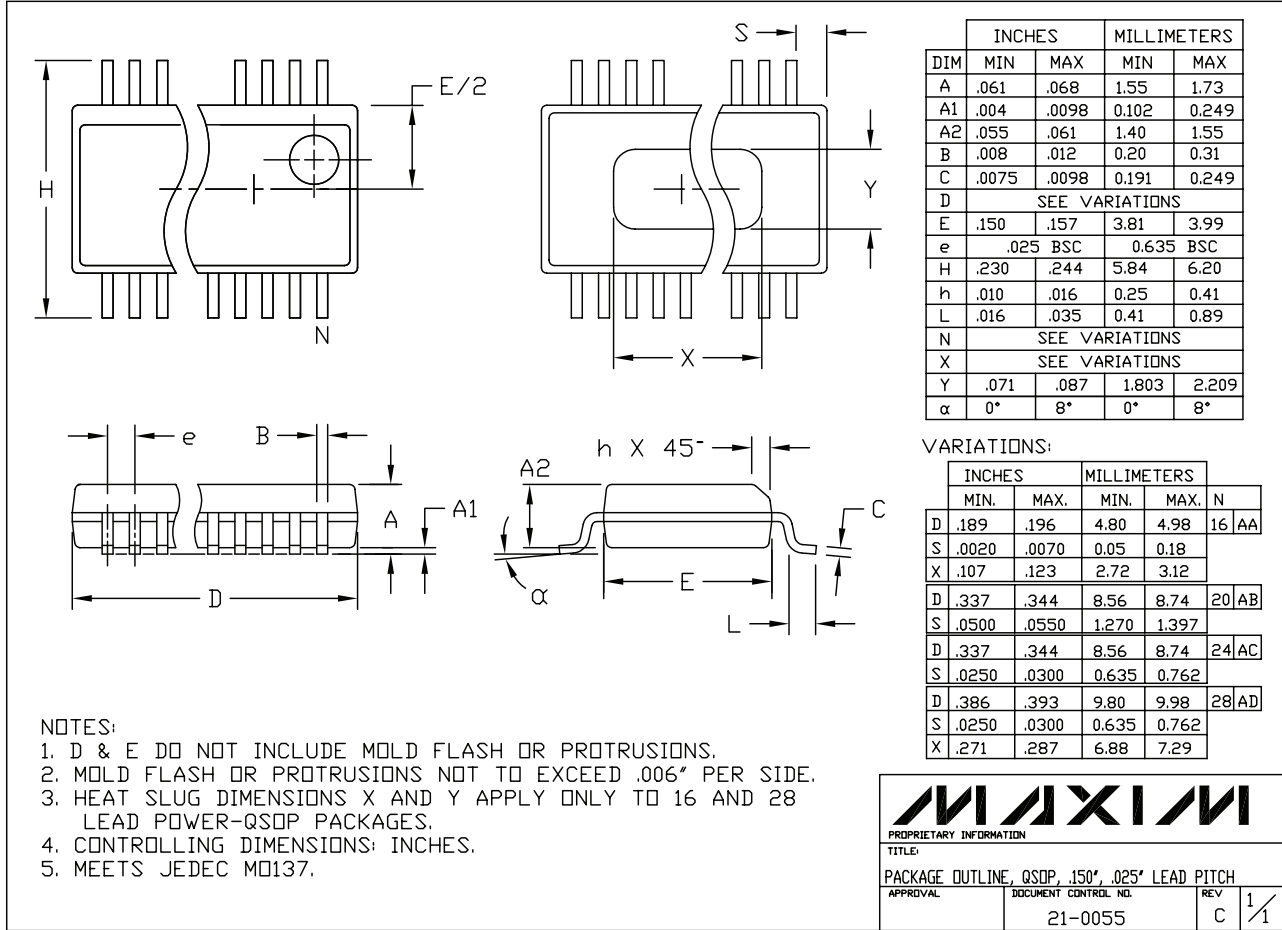


MAX5258/MAX5259

+3V/+5V、低電力、8ビットオクタルDAC レイルトゥレイル出力バッファ付

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



QSOP-EPS

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600