

クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

概要

MAX520/MAX521は、複数デバイス間の通信を可能にするシンプルな2線シリアルインタフェースを備えた、クワッド/オクタ8ビット電圧出力デジタルアナログコンバータ(DAC)です。+5V単一電源で動作し、高精度の内部バッファによりDAC出力は電源電圧範囲でシングします。リファレンス入力範囲は電源電圧の両端まで拡張されています。

MAX521は、負荷を駆動する場合のシステムの小型化と部品点数の削減のために、電源電圧範囲の出力バッファを備えています。一方、MAX520の電圧出力はバッファリングされていないため、総消費電流が僅か4 μ Aまで低減され、出力電流が低い場合の精度を向上させています。

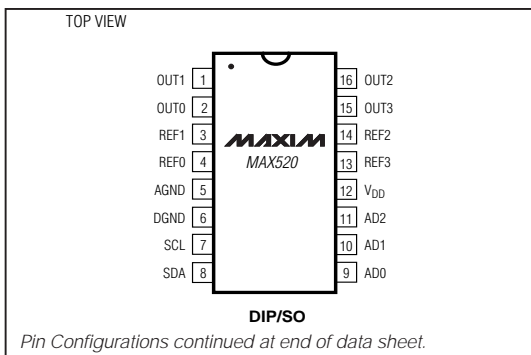
MAX520/MAX521はシリアルインタフェース及び内部ソフトウェアプロトコルを備え、最大400kbpsのデータレートで通信することができます。このインタフェースとダブルバッファの入力構成の組み合わせにより、DACのレジスタを別々あるいは同時に更新することができます。さらに、ローパワーのシャットダウンモードでは、消費電流を4 μ Aまで低減させることができます。パワーオンリセットにより、電源投入時のDAC出力は0Vになることが保証されます。

MAX520は16ピンDIP、ワイドSOP及び省スペースの20ピンSSOPパッケージで提供されています。MAX521は20ピンDIP、24ピンSOP及び省スペースの24ピンSSOPパッケージで提供されています。

アプリケーション

- 最小部品点数のアナログシステム
- デジタルオフセット/利得調整
- 工業用プロセス制御
- 自動テスト装置
- プログラマブルアッテネータ

ピン配置



特長

- ◆ 電源：+5V単一
- ◆ シンプルな2線シリアルインタフェース
- ◆ I²Cコンパチブル
- ◆ 出力シング：電源電圧範囲
バッファ無しの出力(MAX520)
バッファ付の出力(MAX521)
- ◆ 出力抵抗はトリミングにより精度1%(MAX520A)
- ◆ 超低消費電流：4 μ A(MAX520)
- ◆ 各DACに独立したリファレンス入力
- ◆ パワーオンリセットが全ラッチをクリア
- ◆ パワーダウンモード：4 μ A

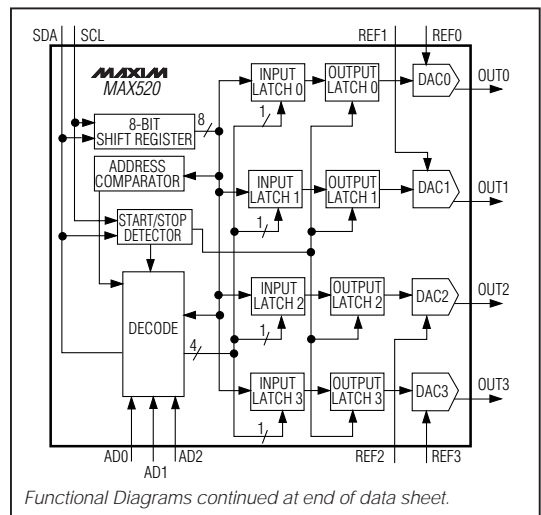
型番

PART [†]	TEMP. RANGE	PIN-PACKAGE	TUE (LSB)
MAX520ACPE	0°C to +70°C	16 Plastic DIP	1
MAX520BCPE	0°C to +70°C	16 Plastic DIP	1
MAX520ACWE	0°C to +70°C	16 Wide SO	1
MAX520BCWE	0°C to +70°C	16 Wide SO	1

型番の続きはデータシートの最後に記載されています。

[†] MAX520のAグレードは工場でのトリミングを行うことによって出力抵抗が1%精度になっています。

ブロック図



クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

MAX520/MAX521

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND-0.3V to +6V
V _{DD} to AGND-0.3V to +6V
OUT ₋-0.3V to (V _{DD} + 0.3V)
REF ₋-0.3V to (V _{DD} + 0.3V)
AD0, AD1, AD2-0.3V to (V _{DD} + 0.3V)
SCL, SDA to DGND-0.3V to +6V
AGND to DGND-0.3V to +0.3V
Maximum Current into Any Pin50mA
Continuous Power Dissipation (T _A = +70°C)	
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C)842mW
20-Pin Plastic DIP (derate 11.11mW/°C above +70°C)889mW

16-Pin Wide SO (derate 9.52mW/°C above +70°C)762mW
24-Pin Wide SO (derate 11.76mW/°C above +70°C)941mW
20-Pin SSOP (derate 8.00mW/°C above +70°C)640mW
24-Pin SSOP (derate 8.00mW/°C above +70°C)640mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C)800mW
20-Pin CERDIP (derate 11.11mW/°C above +70°C)889mW
Operating Temperature Ranges	
MAX520_C_/MAX521_C_0°C to +70°C
MAX520_E_/MAX521_E_-40°C to +85°C
MAX520_MJE/MAX521BMJP-55°C to +125°C
Storage Temperature Range-65°C to +150°C
Lead Temperature (soldering, 10sec)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 5V ±10%, V_{REF} = 4V, R_L = ∞ (MAX520), R_L = 10kΩ (MAX521), C_L = 0pF (MAX520), C_L = 100pF (MAX521), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
STATIC ACCURACY							
Resolution			8			Bits	
Total Unadjusted Error	TUE	MAX520_		±1		LSB	
		MAX521A		±1.5			
		MAX521B		±2			
Differential Nonlinearity	DNL	Guaranteed monotonic		±1.0		LSB	
Zero-Code Error	ZCE	Code = 00 hex	MAX520_		8		mV
			MAX521_C		18		
			MAX521_E		20		
			MAX521BM		20		
Zero-Code-Error Supply Rejection		Code = 00 hex		±1		mV	
Zero-Code-Error Temperature Coefficient		Code = 00 hex		±10		μV/°C	
Full-Scale Error		Code = FF hex	MAX520_		8		mV
			MAX521_C		18		
			MAX521_E		20		
			MAX521BM		20		
Full-Scale-Error Supply Rejection		Code = FF hex, V _{DD} = 5V ±10%		±1		mV	
Full-Scale-Error Temperature Coefficient				±10		μV/°C	

クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

MAX520/MAX521

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 5V \pm 10\%$, $V_{REF-} = 4V$, $R_L = \infty$ (MAX520), $R_L = 10k\Omega$ (MAX521), $C_L = 0pF$ (MAX520), $C_L = 100pF$ (MAX521), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
REFERENCE INPUTS							
Input Voltage Range			0		V_{DD}	V	
Input Resistance	R_{IN}	Code = 55 hex (Note 1)	MAX520_	8	12	$k\Omega$	
			MAX521_	REF4	4		6
				REF0-REF3	16	24	
Input Current		PD = 1			± 10	μA	
Input Capacitance		Code = FF hex (Note 2)	MAX520_		30	pF	
			MAX521_	REF4			120
				REF0-REF3		30	
Channel-to-Channel Isolation		(Note 3)	MAX520_		-70	dB	
			MAX521_		-60		
AC Feedthrough		(Note 4)			-70	dB	
DAC OUTPUTS							
Full-Scale Output Voltage			0		V_{DD}	V	
Output Resistance (Note 5)		MAX520A	$T_A = +25^\circ C$	15.8	16	16.2	$k\Omega$
			$T_A = T_{MIN}$ to T_{MAX}	15.6	16	16.4	
		MAX520B		8.4		16.4	
Output Load Regulation		MAX521_, $OUT_- = 4V$, 0mA to 2.5mA			0.25	LSB	
		MAX521_C/E, $V_{REF-} = V_{DD}$, code = FF hex, 0 μA to 500 μA			1.5		
		MAX521BM, $V_{REF-} = V_{DD}$, code = FF hex, 0 μA to 500 μA			2.0		
Output Leakage Current		MAX521_, $OUT_- = 0V$ to V_{DD} , PD = 1			± 10	μA	
DIGITAL INPUTS SCL, SDA							
Input High Voltage	V_{IH}		0.7 V_{DD}			V	
Input Low Voltage	V_{IL}				0.3 V_{DD}	V	
Input Current	I_{IN}	$0V \leq V_{IN} \leq V_{DD}$			± 10	μA	
Input Hysteresis	V_{HYST}	(Note 5)	0.05 V_{DD}			V	
Input Capacitance	C_{IN}	(Note 5)			10	pF	
DIGITAL INPUTS AD0, AD1							
Input High Voltage	V_{IH}		2.4			V	
Input Low Voltage	V_{IL}				0.8	V	
Input Leakage	I_{IN}	$V_{IN} = 0V$ to V_{DD}			± 10	μA	
DIGITAL OUTPUT SDA (Note 6)							
Output Low Voltage	V_{OL}	$I_{SINK} = 3mA$			0.4	V	
		$I_{SINK} = 6mA$			0.6		
Three-State Leakage Current	I_L	$V_{IN} = 0V$ to V_{DD}			± 10	μA	
Three-State Output Capacitance	C_{OUT}	(Note 5)			10	pF	

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

MAX520/MAX521

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 5V \pm 10\%$, $V_{REF_} = 4V$, $R_L = \infty$ (MAX520), $R_L = 10k\Omega$ (MAX521), $C_L = 0pF$ (MAX520), $C_L = 100pF$ (MAX521), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate		Positive and negative	MAX521_C	1.0		V/ μ s
			MAX521_E	0.7		
			MAX521BM	0.5		
Output Settling Time		MAX520_, to 1/2LSB, no load		2		μ s
		MAX521_, to 1/2LSB, 10k Ω and 100pF load (Note 7)		6		
Digital Feedthrough		Code = 00 hex, all digital inputs from 0V to V_{DD}		5		nV-s
Digital-Analog Glitch Impulse		Code 128 to 127		12		nV-s
Signal to Noise + Distortion Ratio	SINAD	$V_{REF_} = 4Vp-p$ at 1kHz, $V_{DD} = 5V$, code = FF hex		87		dB
Multiplying Bandwidth		$V_{REF_} = 4Vp-p$, 3dB bandwidth		1		MHz
Wideband Amplifier Noise		MAX521_		60		μ V _{RMS}
POWER REQUIREMENTS						
Supply Voltage	V_{DD}		4.5		5.5	V
Supply Current	I_{DD}	Operating mode, output unloaded, all digital inputs 0V or V_{DD}	MAX520_	4	20	μ A
			MAX521_C	10	20	mA
			MAX521_E/BM	10	24	
		Power-down mode (PD = 1)		4	20	μ A

Note 1: Input resistance is code dependent. The lowest input resistance occurs at code = 55 hex.

Note 2: Input capacitance is code dependent. The highest input capacitance occurs at code = FF hex.

Note 3: $V_{REF_} = 4Vp-p$, 10kHz. Channel-to-channel isolation is measured by setting the code of one DAC to FF hex and setting the code of all other DACs to 00 hex.

Note 4: $V_{REF_} = 4Vp-p$, 10kHz, DAC code = 00 hex.

Note 5: Guaranteed by design.

Note 6: I²C-compatible mode.

Note 7: Output settling time is measured by taking the code from 00 hex to FF hex, and from FF hex to 00 hex.

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

TIMING CHARACTERISTICS

($V_{DD} = 5V \pm 10\%$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Frequency	f _{SCL}		0		400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time, (Repeated) Start Condition	t _{HD, STA}		0.6			μs
Low Period of the SCL Clock	t _{LOW}		1.3			μs
High Period of the SCL Clock	t _{HIGH}		0.6			μs
Setup Time for a Repeated START Condition	t _{SU, STA}		0.6			μs
Data Hold Time	t _{HD, DAT}	(Note 8)	0		0.9	μs
Data Setup Time	t _{SU, DAT}		100			ns
Rise Time of Both SDA and SCL Signals, Receiving	t _R	(Note 9)	20 + 0.1Cb		300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _F	(Note 9)	20 + 0.1Cb		300	ns
Fall Time of SDA Transmitting (Note 6)	t _F	I _{SINK} ≤ 6mA (Note 9)	20 + 0.1Cb		250	ns
Setup Time for STOP Condition	t _{SU, STO}		0.6			μs
Capacitive Load for Each Bus Line	C _b				400	pF
Pulse Width of Spike Suppressed	t _{SP}	(Notes 10, 11)	0		50	ns

Note 8: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

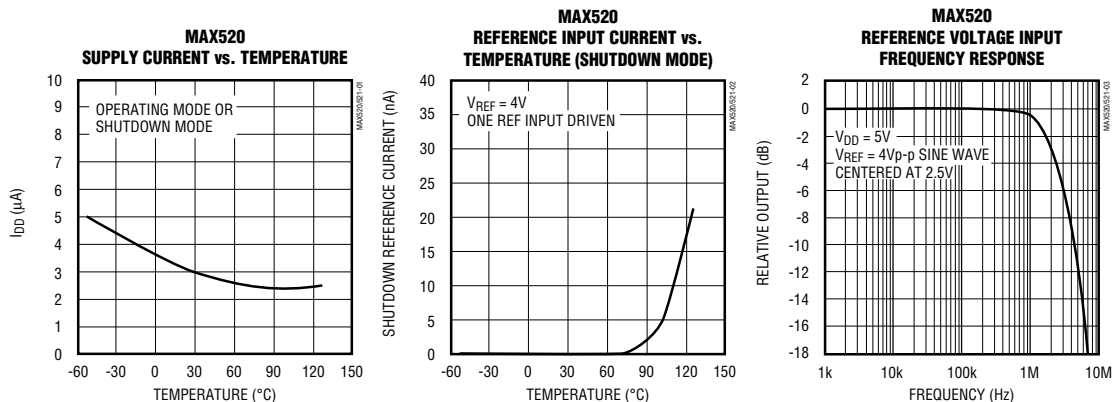
Note 9: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3V_{DD} and 0.7V_{DD}.

Note 10: An input filter on the SDA and SCL input suppresses noise spikes less than 50ns.

Note 11: Guaranteed by design.

標準動作特性

($V_{DD} = 5V$, DAC outputs unloaded, $T_A = +25^\circ C$, unless otherwise noted.)

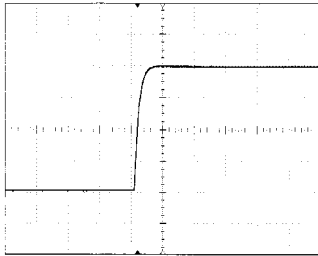


クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

標準動作特性(続き)

($V_{DD} = 5V$, DAC outputs unloaded, $T_A = +25^\circ C$, unless otherwise noted.)

**MAX520
POSITIVE SETTLING TIME**

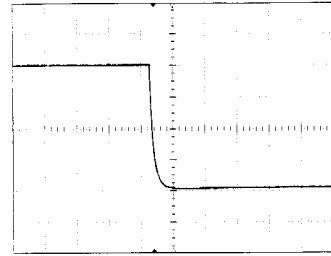


OUT2
1V/div

1μs/div

OUT2 = NO LOAD, REF2 = 4V,
DAC CODE = 00 HEX to FF HEX

**MAX520
NEGATIVE SETTLING TIME**

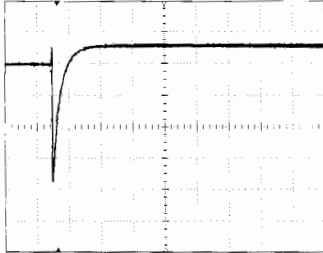


OUT2
1V/div

1μs/div

OUT2 = NO LOAD, REF2 = 4V,
DAC CODE = FF HEX to 00 HEX

**MAX520
WORST-CASE 1LSB DIGITAL STEP CHANGE
(CAPACITIVE LOAD < 5pF)**

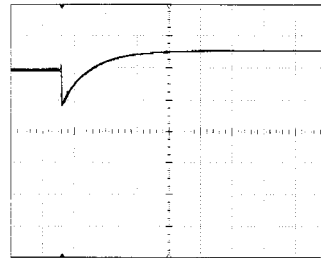


OUT2
20mV/div
AC COUPLED

500ns/div

REF2 = 4V, DAC CODE = 7F HEX to 80 HEX

**MAX520
WORST-CASE 1LSB DIGITAL STEP CHANGE
(CAPACITIVE LOAD = 25pF)**



OUT2
20mV/div
AC COUPLED

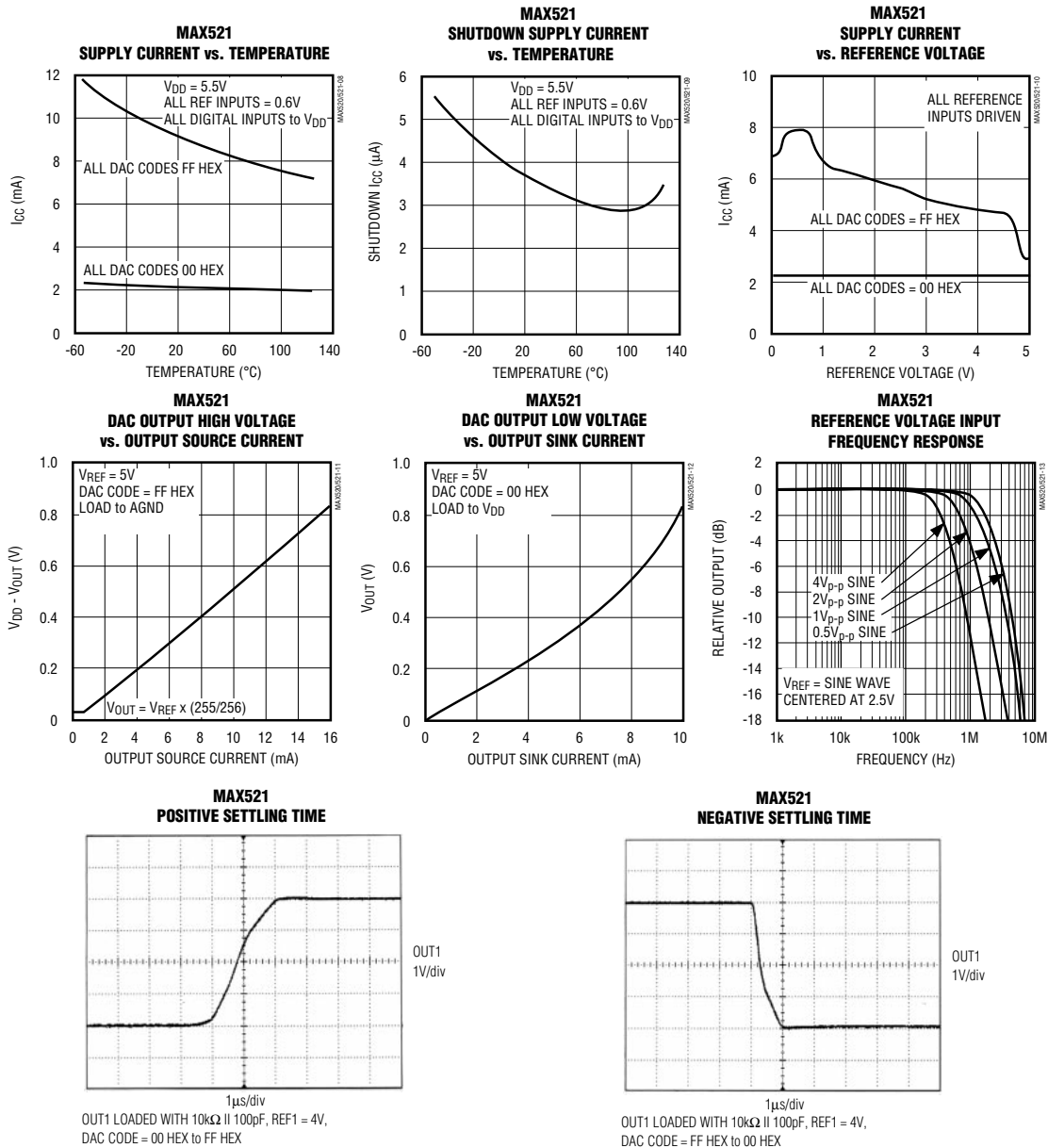
500ns/div

REF2 = 4V, DAC CODE = 7F HEX to 80 HEX

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

標準動作特性

($V_{DD} = 5V$, DAC outputs unloaded, $T_A = +25^\circ C$, unless otherwise noted.)

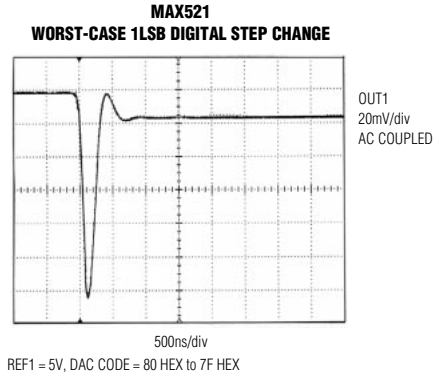


MAX520/MAX521

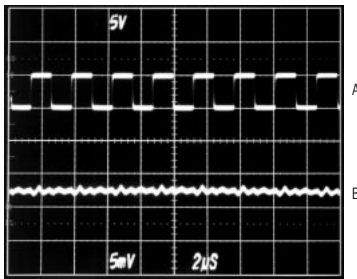
クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

標準動作特性(続き)

($V_{DD} = 5V$, DAC outputs unloaded, $T_A = +25^\circ C$, unless otherwise noted.)

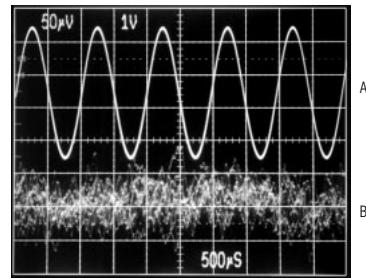


CLOCK FEEDTHROUGH



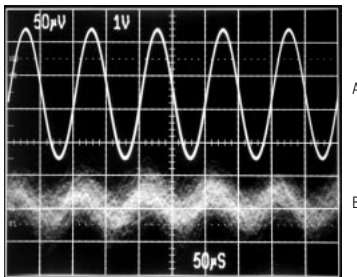
A = SCL, 400kHz, 5V/div
B = OUT1, 5mV/div
REF1 = 5V, DAC CODE = 7F HEX

REFERENCE FEEDTHROUGH AT 1kHz



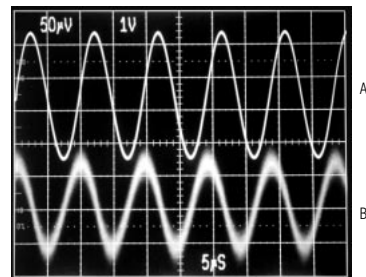
A = REF1, 1V/div (4Vp-p)
B = OUT1, 50µV/div, UNLOADED
FILTER PASSBAND = 100Hz to 10kHz, DAC CODE = 00 HEX

REFERENCE FEEDTHROUGH AT 10kHz



A = REF1, 1V/div (4Vp-p)
B = OUT1, 50µV/div, UNLOADED
FILTER PASSBAND = 1kHz to 100kHz, DAC CODE = 00 HEX

REFERENCE FEEDTHROUGH AT 100kHz



A = REF1, 1V/div (4Vp-p)
B = OUT1, 50µV/div, UNLOADED
FILTER PASSBAND = 10kHz to 1MHz, DAC CODE = 00 HEX

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

MAX520/MAX521

端子説明

ピン				名称	機能
MAX520		MAX521			
DIP/SO	SSOP	DIP	SO/SSOP		
1	1	1	1	OUT1	DAC1の電圧出力
2	2	2	2	OUT0	DAC0の電圧出力
3	3	3	3	REF1	DAC1のリファレンス電圧入力
4	5	4	4	REF0	DAC0のリファレンス電圧入力
—	4, 7, 14, 17	—	7, 9, 16, 20	N.C.	無接続(内部接続されていません。)
6	8	5	5	DGND	デジタルグラウンド
5	6	6	6	AGND	アナロググラウンド
7	9	7	8	SCL	シリアルクロック入力
8	10	8	10	SDA	シリアルデータ入力
—	—	9	11	OUT4	DAC4の電圧出力
—	—	10	12	OUT5	DAC5の電圧出力
—	—	11	13	OUT6	DAC6の電圧出力
—	—	12	14	OUT7	DAC7の電圧出力
9	11	13	15	AD0	アドレス入力0; ICのスレーブアドレスを設定
10	12	14	17	AD1	アドレス入力1; ICのスレーブアドレスを設定
11	13	—	—	AD2	アドレス入力2; ICのスレーブアドレスを設定
12	15	15	18	V _{DD}	電源、+5V
—	—	16	19	REF4	DAC4、5、6及び7のリファレンス電圧入力
13	16	17	21	REF3	DAC3のリファレンス電圧入力
14	18	18	22	REF2	DAC2のリファレンス電圧入力
15	19	19	23	OUT3	DAC3の電圧出力
16	20	20	24	OUT2	DAC2の電圧出力

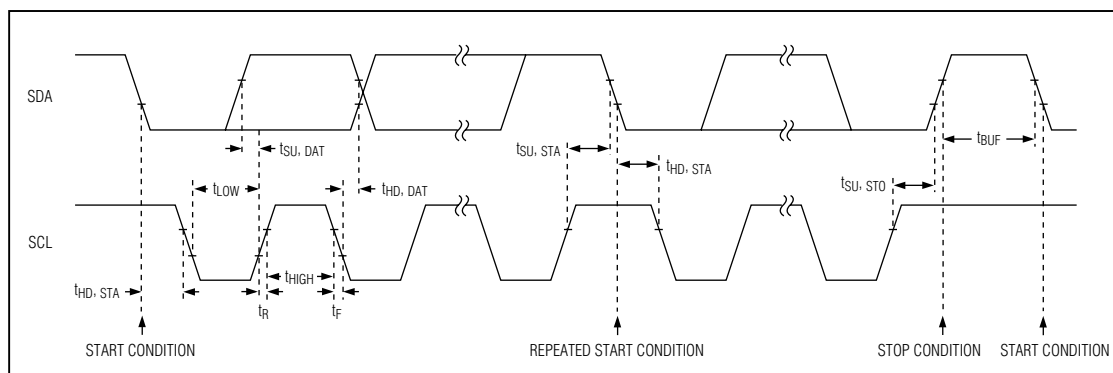


図1. 2線シリアルインタフェースのタイミング図

クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

詳細

シリアルインタフェース

MAX520/MAX521は標準マイクロプロセッサ(μ P)ポートの2本のI/Oライン(2線バス)しか必要としないシンプルな2線シリアルインタフェースを備えています。図1に2線バス上の信号のタイミングを示します。図2にはMAX520/MAX521の標準的なアプリケーションを示します。2線バスには数個のデバイス(MAX520/MAX521の他に)を接続することができます。バスが使用されていない時は2本のバスライン(SDA及びSCL)はハイである必要があります。使用中はポートビットはトグルされ、SDA及びSCLに適切な信号を発生させます。これらのラインには外部プルアップ抵抗は必要ありません。MAX520/MAX521は、既存の回路とのコンパチビリティを保つためにプルアップ抵抗が必要なアプリケーション(I²Cシステム等)にも使用できます。

MAX520/MAX521は受信専用デバイスであり、バスマスターデバイスによって制御する必要があります。MAX520/MAX521は最大400kHzのSCLレートで動作します。マスターデバイスはまずMAX520/MAX521のアドレスをバスに送信し、次に希望の情報を送信することでMAX520/MAX521に情報を送ります。各送信とも、STARTコンディション、MAX520/MAX521のプログラマブルスレーブアドレス、1組以上のコマンドバイト/出力バイト(送信の最後のバイトであればコマンドバイトのみ)及びSTOPコンディションからなっています(図3)。

アドレスバイト及びコマンドバイトと出力バイトのペアはSTARTとSTOPコンディションの間で送信されます。SDA状態はSCLがローの時にのみ変更できます。SDA状態はサンプリングされるため、SCLがハイの間は安定していなければなりません。唯一の例外はSTART及びSTOPコンディションです。データは8ビットバイトで送信されます。データビットをMAX520/MAX521に送るには9クロックサイクルが必要です。9番目のクロックサイクルでMAX520/MAX521がSDAをローに引下げるため、この時SDAをローに設定してください。R_C(図2を参照)はこの時、SDAが短時間ハイに留まった場合の電流を制限します。

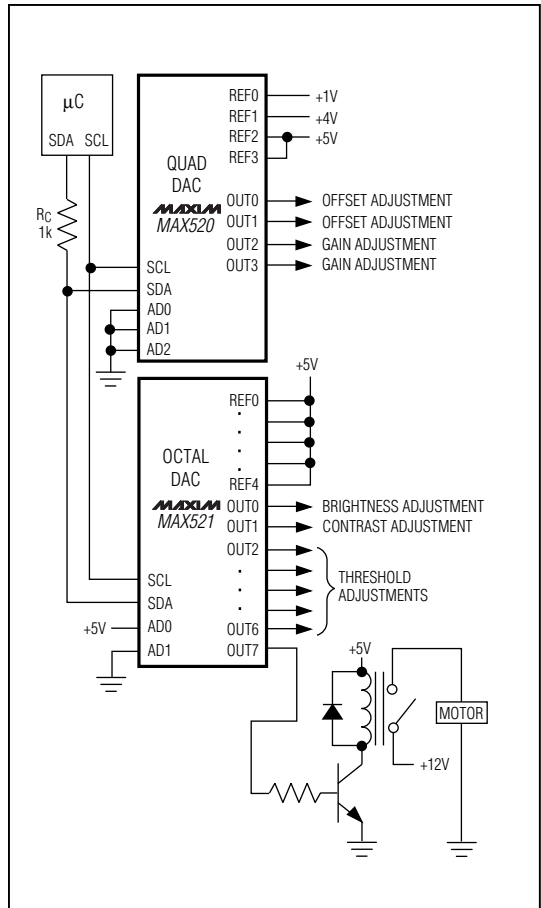


図2. 標準アプリケーション回路

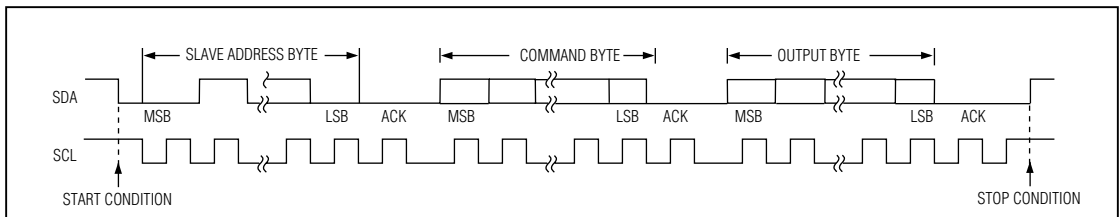


図3. 完全なシリアル送信

クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

START及びSTOPコンディション

バスが使用されていない時はSCL及びSDAの両方がハイでなければなりません。バスマスターは送信開始信号として、SCLがハイの状態、SDAをハイからローに遷移させます(図4)。マスターはスレーブとの通信を終えると、SCLがハイの状態、SDAをローからハイに遷移させ、STOPコンディションを発生させます。これによって、バスは次の伝送を行えるようになります。

スレーブアドレス

MAX520/MAX521のスレーブアドレスは、それぞれ7ビットです(図5)。スレーブアドレスの始めの4ビット(MSB)は出荷時にプログラムされているため、常に0101です。また、MAX521では次のビットも出荷時に0にプログラムされています。アドレス入力ロジック状態(MAX520ではAD0、AD1及びAD2、MAX521ではAD0及びAD1)によって、7ビットスレーブアドレスのLSBが決定します。これらの入力ピンはV_{DD}又はDGNDに接続することができます。MAX521は4個のスレーブアドレスが可能なので、バスに一度に最大4個のデバイスをのせることができます。MAX520は8個のスレーブアドレスが可能です。MAX520/MAX521に書込む時、スレーブアドレスバイトの8番目のビット(LSB)はローにしてください。

MAX520/MAX521はバスを連続的に監視し、STARTコンディション及びそれに続く自分のスレーブアドレスを待ちます。自分のスレーブアドレスを検出すると、データを受信する態勢になります。

コマンドバイトと出力バイト

スレーブアドレスの後にはコマンドバイトが続きます。図6にコマンドバイトのフォーマットを示します。コマンドバイトが送信の最後のバイトでない時は、その後出力バイトが続きます。最後のバイトである時は、PD及びRST以外のビットは全て無視されます。コマンドバイトの後ろに出力バイトが続く場合、コマンドバイトのA0～A2は、デジタル出力データを受け取る入力データラッチのDACのデジタルアドレスを示します。このデータは送信後のSTOPコンディションの時にDACの出力ラッチに転送されます。これにより、全てのDACを更新し、同時に新しい出力を表示することができます(図7)。

PDビットをハイにした場合、STOPコンディションの後にMAX520/MAX521がパワーダウンします(図8a)。PDがハイのコマンドバイトの後に出力バイトが続いた場合、アドレスされたDACの入力ラッチは更新され、データはSTOPコンディション後にDACの出力ラッチに転送されます(図8b)。送信の最後のコマンドバイトのPDがハイの場合、電圧出力は新しく入ってきたデータを表示しま

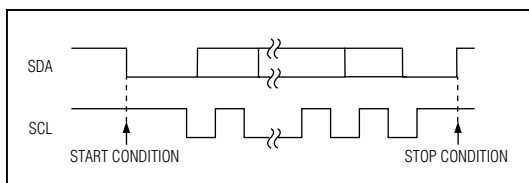


図4. 全ての通信はSTARTコンディションで開始し、STOPコンディションで終了します。これらのコンディションはいずれもバスマスターが発生させます。

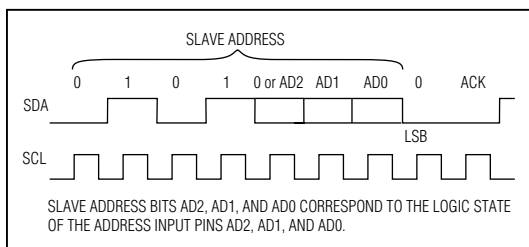


図5. アドレスバイト

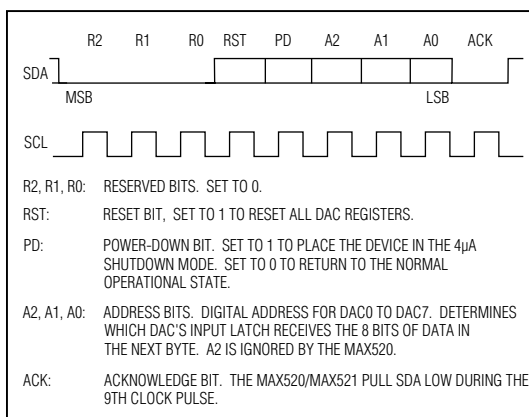


図6. コマンドバイト

せん。これは、STOPコンディションを検出するとDACはパワーダウンモードに入るためです。パワーダウン時、MAX521のDAC出力はフローティングになり、MAX520のパウファ無しの出力は、AGNDに対して16kの抵抗に見えます。このモードでの最大消費電流は20µAです。PDビットがローのコマンドバイトが来た場合、MAX520/MAX521はSTOPコンディション後に通常動作に戻り、電圧出力はその時のラッチ内容を表示します(図9a及び図9b)。コマンドバイトが来る度にその前のPDビットは上書きされるため、送信の最後のコマンドバイトだけがパワーダウン状態を制御します。

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

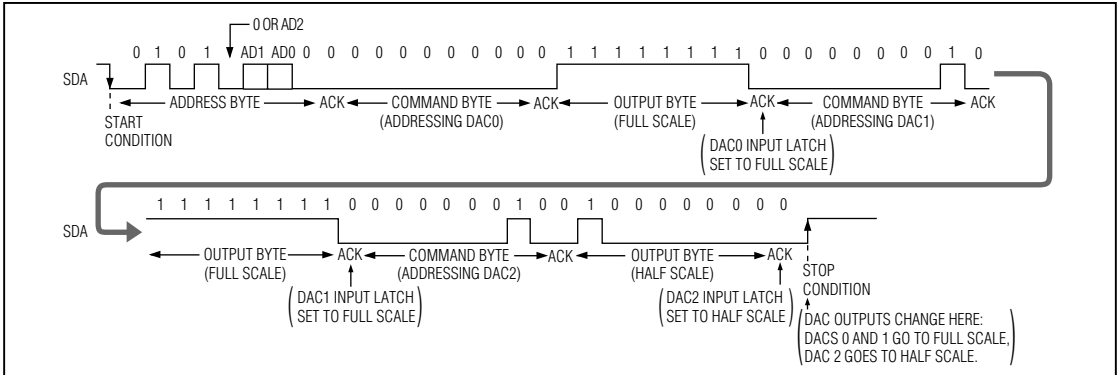


図7. DAC出力の設定

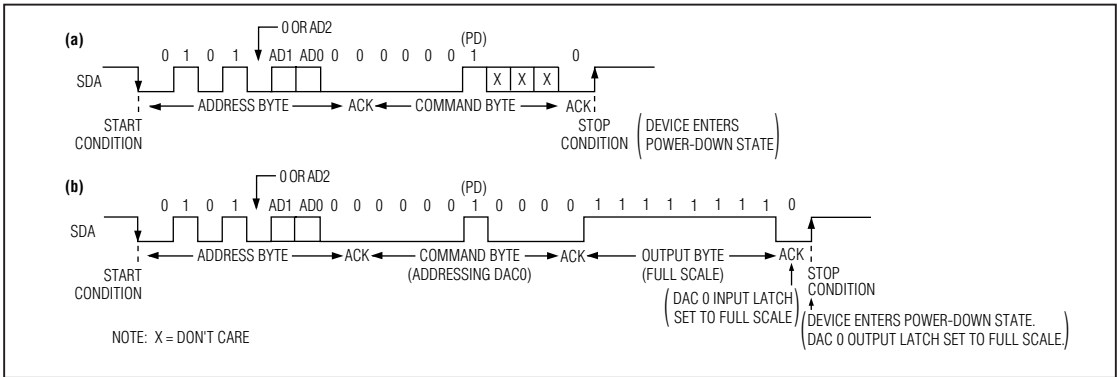


図8. パワーダウン状態に入る

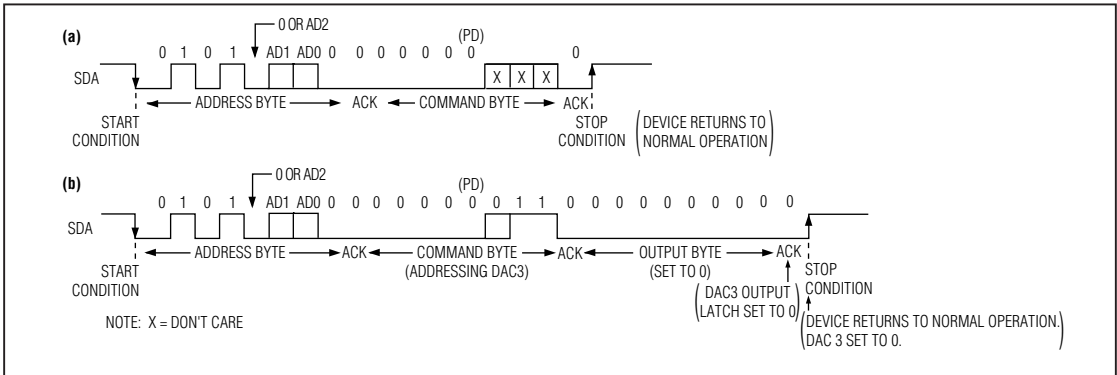


図9. パワーダウンから通常動作に復帰

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

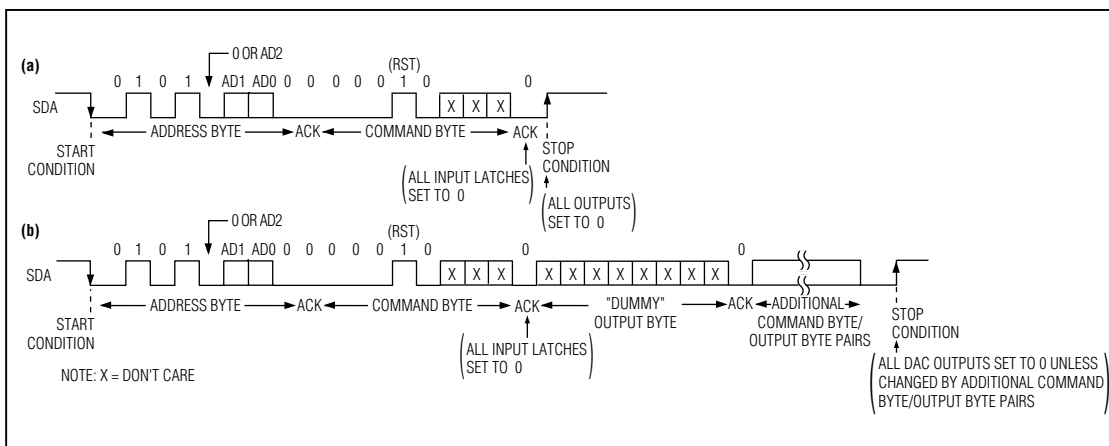


図10. DAC出力のリセット

RSTビットをハイに設定することでDACの全ての入力ラッチがクリアされます。DAC出力はSTOPコンディションが検出されるまで変化しません(図10a)。リセットが発生するとその後の出力バイトは無視されます。次に続くコマンドバイト/出力バイトのペアが入力ラッチを上書きします(図10b)。

送信中の変更は送信が終了してSTOPが検出されるまではMAX520/MAX521の出力に影響しません。R0、R1及びR2ビットは予備ビットで、ゼロに設定する必要があります。

I²Cコンパチビリティ

MAX520/MAX521は既存のI²Cシステムと完全にコンパチブルです。SCL及びSDAはハイインピーダンス入力です。SDAは9番目のクロックパルス中にデータラインをローに引下げるオープンドレインを備えています。図11は標準的なI²Cアプリケーションを示しています。

追加STARTコンディション

新しいSTART(反復スタート)コンディションによってMAX520/MAX521への送信に割り込みをかけることで、例えば、別のデバイスのアドレスを指定することができます。この割り込みが起こった場合、まだ出力ラッチに転送されていないデータが入力ラッチに残ります(図12)。現在アドレス指定されているMAX521のみがSTOPコンディションを認識し、データを出力ラッチに転送します。デバイスの入力ラッチにデータが残っている場合、そのデータは、そのデバイスが次にアドレス指定された時に転送することができます。このためには少なくとも1つのコマンドバイト及び1つのSTOPコンディションを受信する必要があります。

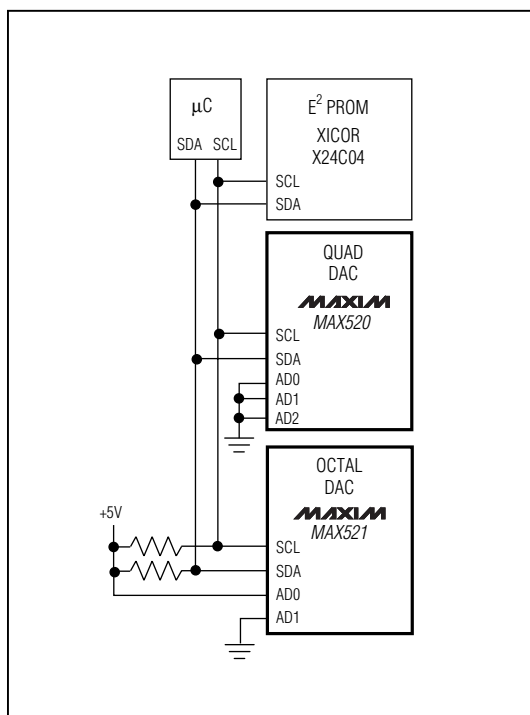


図11. 標準的なI²Cアプリケーション回路

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

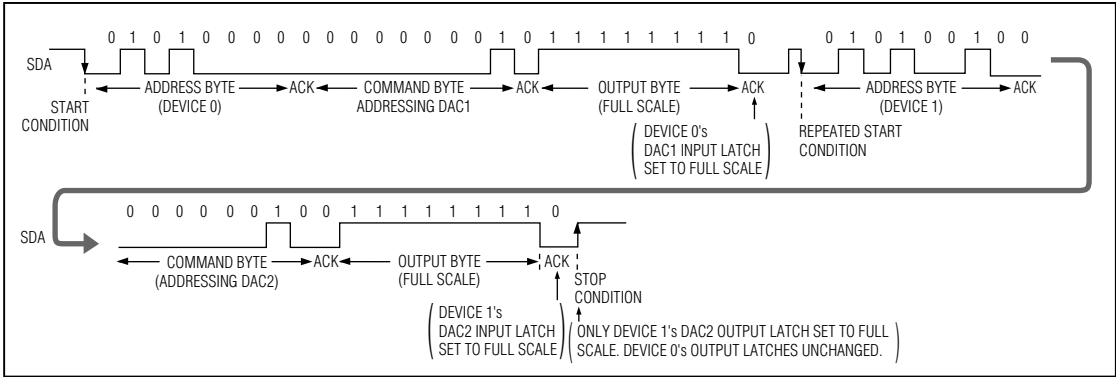


図12. 反復STARTコンディション

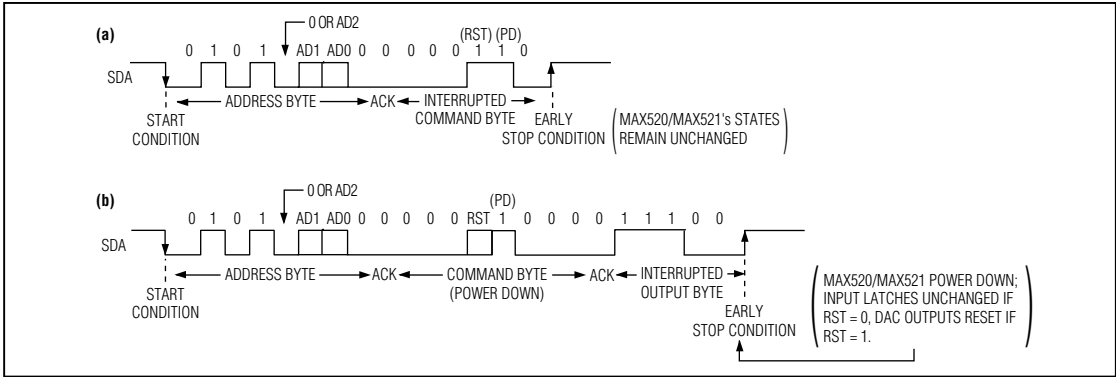


図13. 早期STOPコンディション

早期STOPコンディション

アドレス指定されたデバイスは送信中いつでもSTOPコンディションを認識します。コマンドバイト中にSTOPが生じた場合、割り込みを受けていないそれ以前のコマンド及び出力バイトペアは全て受け入れられ、割り込みを受けたコマンドバイトは無視され、送信が終了します(図13a)。出力バイト中にSTOPが生じた場合、割り込みを受けていないそれ以前のコマンド及び出力バイトペアは全て受け入れられ、最後のコマンドバイトのPDビット及びRSTビットが受け入れられ、割り込みを受けた出力バイトは無視され、送信が終了します(図13b)。

アナログ部

DACの動作

MAX520は4個、MAX521は8個のマッチングされた電圧出力DACを備えています。DACは反転R-2Rラダーネットワークで、8ビットデジタルワードを対応するアナログ出力電圧(リファレンス電圧に比例)に変換します。

どちらのデバイスもDAC0 ~ DAC3はそれぞれ独立したリファレンス入力を持ち、MAX521のDAC4 ~ DAC7は1つのリファレンス入力を共有しています。回路の略図を図14に示します。

リファレンス入力

MAX520/MAX521は乗算アプリケーションに使用することができます。リファレンスは $0V - V_{DD}$ の電圧のDC及びAC信号を受け付けます。各REF入力の電圧がそれぞれ対応するDACのフルスケール出力電圧を設定します。リファレンス電圧はプラスでなければなりません。DACの入力インピーダンスはコードに依存し、最低値は入力コードが16進法の55、すなわち0101 0101の時で、最大値は入力コードが16進法の00の時です。REF入力抵抗(R_{IN})はコードに依存するため、出力の直線性を維持するには低出力インピーダンス($R_{IN} \div 2000$ 以下)の回路で駆動する必要があります。REF入力容量もコードに依存し、最大値はコードが16進法のFFの時(MAX520/

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

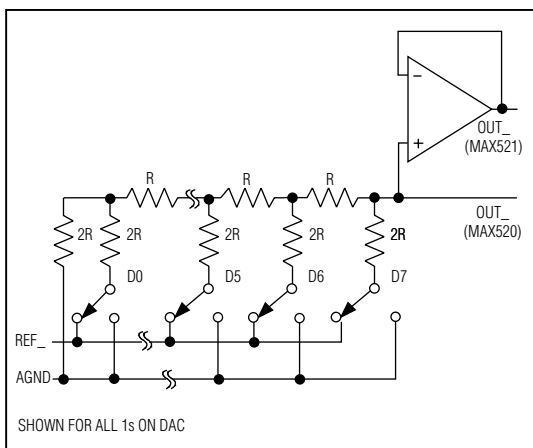


図14. DAC回路の略図

MAX521のREF0 ~ REF3は30pF(typ)、MAX521のREF4は120pF(typ))です。いずれのDACの場合も、出力電圧はデジタルプログラム可能な電圧源 $V_{OUT} = (N \times V_{REF})/256$ として表すことができます。ここで、NはDACのバイナリ入力コードの数値です。表1にユニポーラコードを示します。

表1. ユニポーラコード表

DAC CONTENTS	ANALOG OUTPUT
11111111	$+V_{REF} \left(\frac{255}{256} \right)$
10000001	$+V_{REF} \left(\frac{129}{256} \right)$
10000000	$+V_{REF} \left(\frac{128}{256} \right) = \frac{V_{REF}}{2}$
01111111	$+V_{REF} \left(\frac{127}{256} \right)$
00000001	$+V_{REF} \left(\frac{1}{256} \right)$
00000000	0V

MAX520のバッファ無しのDAC出力

バッファ無しのDAC出力(OUT0 ~ OUT3)は、16k R-2Rの内部ネットワークに直接接続されています。出力スイングは0V ~ V_{DD} です。

MAX520は出力バッファアンプを持っていないため、消費電流が極めて低くなっています。出力バッファがないために出力オフセット電圧が低くなっており、また容量性負荷を最小限に抑えれば、スルーレートが高くなり、セトリングも速くなります。最高の精度を保つためには、抵抗性負荷をできるだけ軽くしてください。出力負荷がある場合には、利得誤差が生じ、フルスケール誤差が増加します。R-2Rラダーの出力抵抗は16k であるため、出力電流が1 μ Aの場合、誤差は16mVになります。ラダー出力抵抗はDACのコードに依存しないため、直線性への影響はありません。ラダー抵抗は温度の影響も殆ど受けません。

DACは、しばしばポテンショメータの代りとしてトリミングアプリケーションに用いられます。図15aに標準的なアプリケーションを示します。ここでは、高精度抵抗 R_T を通じて、正確な電流をサミングノードに注入するために、出力をバッファする必要があります。このようなアプリケーションでは、出力抵抗が高精度 $\pm 1\%$ ($T_A = +25^\circ\text{C}$ 、全温度では $\pm 2.5\%$)にトリミングされているMAX520Aが適しています。MAX520Aの出力抵抗は正確にトリミングされているため、内部バッファや外付高精度抵抗は必要ありません(図15b)。出力抵抗値が重要でないアプリケーションには、MAX520Bをご使用ください。

コード遷移時には、全てのDACが出力グリッチを発生します。グリッチに敏感なアプリケーションでは、このグリッチを低減するために出力フィルタを用いることがあります。MAX520では、内部抵抗ラダーネットワークがRCフィルタのRの役割を果たすため、出力フィルタリングが容易です。単にDAC出力とグラウンドの間に小さなコンデンサを接続するだけで済みます。MAX520の出力に25pFの容量を付加した場合としない場合の、1LSBのステップ変動のワーストケースでのオシロスコープ写真が「標準動作特性」に掲載されています。

MAX521出力バッファアンプ

MAX521の電圧出力(OUT0 ~ OUT7)は内部バッファされた高精度ユニティゲインフォロワ(最大スルーレート1V/ μ s)です。出力は0V ~ V_{DD} までスイングします。出力が0Vから4V(又は4Vから0V)に遷移する時、アンプの出力が $1/2$ LSBまでセトリングするのに要する時間は6 μ s(typ)です(負荷10k Ω 、並列容量100pF)。バッファアンプは抵抗性負荷2k Ω 以上、容量性負荷300pF以下の条件であれば安定です。

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

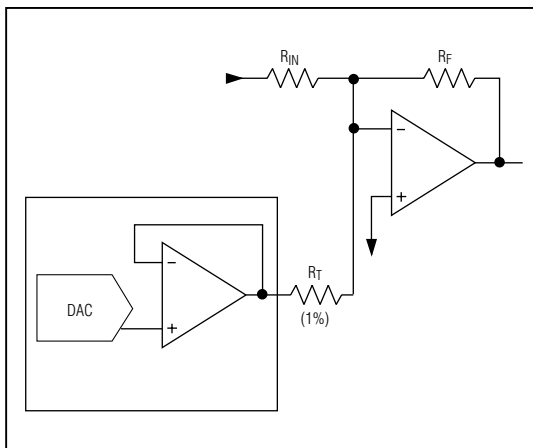


図15a. 標準トリミング回路

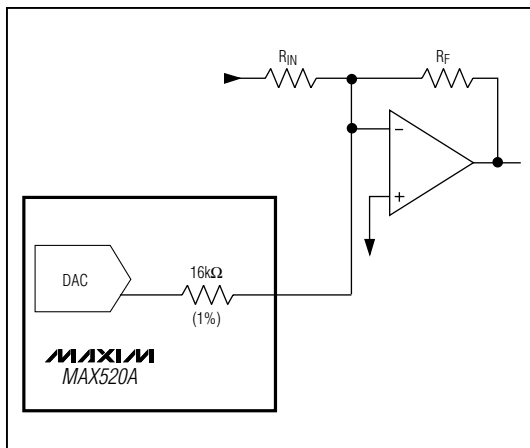


図15b. MAX520Aトリミング回路

アプリケーション情報

シャットダウンモード

シャットダウンモードでは、MAX520/MAX521のリファレンス入力はR-2Rラダー入力から切り離されるため、リファレンスがパワーダウンされていない場合でも節電が可能です。さらに、MAX521では出力バッファがディセーブルされるため、消費電流が大幅に低減されます。MAX520の動作消費電流はシャットダウンモードでも変化しません。シャットダウンモードの起動及び解除方法については「コマンドバイト及び出力バイト」の項を参照してください。

電源バイパス及びグランド管理

V_{DD} とDGNDにできるだけ近いところに0.1 μ Fのコンデンサを接続して V_{DD} をバイパスしてください。グランドの性能を高めるために、アナロググランド(AGND)とデジタルグランド(DGND)ピンはMAX521にできるだけ近いところで「スター」構成にしてください。

PCボードのレイアウトを注意深く行うことによって、DAC出力、リファレンス入力及びデジタル入力間のクロストークを最小限に抑えることができます。図16にクロストークを最小限に抑えるためのPCボードレイアウトの例を示します。

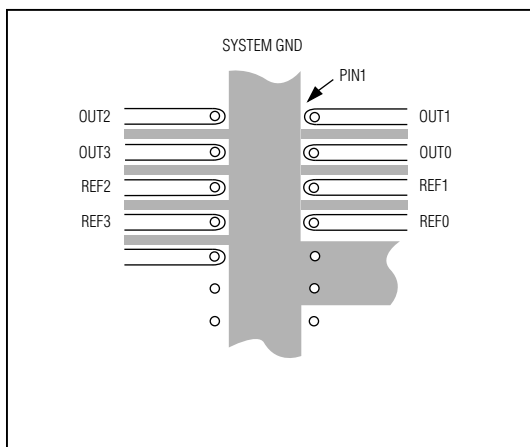


図16. クロストークを最小限に抑えるためのPCボードレイアウト(MAX521下面図、DIPパッケージ)

クワッド/オクタル、2線シリアル8ビットDAC 電源電圧範囲の出力

MAX520/MAX521

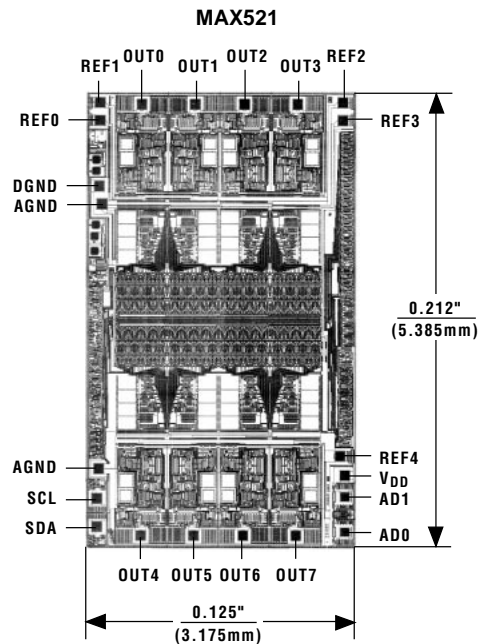
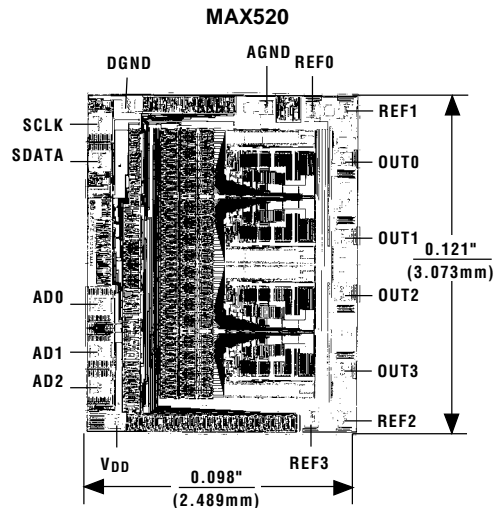
型番(続き)

PART [†]	TEMP. RANGE	PIN-PACKAGE	TUE (LSB)
MAX520ACAP	0°C to +70°C	20 SSOP	1
MAX520BCAP	0°C to +70°C	20 SSOP	1
MAX520AC/D	0°C to +70°C	Dice*	1
MAX520BC/D	0°C to +70°C	Dice*	1
MAX520AEPE	-40°C to +85°C	16 Plastic DIP	1
MAX520BEPE	-40°C to +85°C	16 Plastic DIP	1
MAX520AEWE	-40°C to +85°C	16 Wide SO	1
MAX520BEWE	-40°C to +85°C	16 Wide SO	1
MAX520AEAP	-40°C to +85°C	20 SSOP	1
MAX520BEAP	-40°C to +85°C	20 SSOP	1
MAX520AMJE	-55°C to +125°C	16 CERDIP	1
MAX520BMJE	-55°C to +125°C	16 CERDIP	1
MAX521 ACPP	0°C to +70°C	20 Plastic DIP	1
MAX521BCPP	0°C to +70°C	20 Plastic DIP	2
MAX521ACWG	0°C to +70°C	24 Wide SO	1
MAX521BCWG	0°C to +70°C	24 Wide SO	2
MAX521ACAG	0°C to +70°C	24 SSOP	1
MAX521BCAG	0°C to +70°C	24 SSOP	2
MAX521BC/D	0°C to +70°C	Dice*	2
MAX521AEPP	-40°C to +85°C	20 Plastic DIP	1
MAX521BEPP	-40°C to +85°C	20 Plastic DIP	2
MAX521AEWG	-40°C to +85°C	24 Wide SO	1
MAX521BEWG	-40°C to +85°C	24 Wide SO	2
MAX521AEAG	-40°C to +85°C	24 SSOP	1
MAX521BEAG	-40°C to +85°C	24 SSOP	2
MAX521BMJP	-55°C to +125°C	20 CERDIP	2

* Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

† MAX520 "A" grade parts include a 1%-accurate, factory-trimmed output resistance.

チップ構造図



TRANSISTOR COUNT: 4518
SUBSTRATE CONNECTED TO V_{DD}

クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

パッケージ

MAX520/MAX521

**Plastic DIP
PLASTIC
DUAL-IN-LINE
PACKAGE
(0.300 in.)**

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	0.200	—	5.08
A1	0.015	—	0.38	—
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	—	2.54	—
eA	0.300	—	7.62	—
eB	—	0.400	—	10.16
L	0.115	0.150	2.92	3.81

PKG.	DIM	PINS	INCHES		MILLIMETERS	
			MIN	MAX	MIN	MAX
P	D	8	0.348	0.390	8.84	9.91
P	D	14	0.735	0.765	18.67	19.43
P	D	16	0.745	0.765	18.92	19.43
P	D	18	0.885	0.915	22.48	23.24
P	D	20	1.015	1.045	25.78	26.54
N	D	24	1.14	1.265	28.96	32.13

21-0043A

**Wide SO
SMALL-OUTLINE
PACKAGE
(0.300 in.)**

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A1	0.004	0.012	0.10	0.30
B	0.014	0.019	0.35	0.49
C	0.009	0.013	0.23	0.32
E	0.291	0.299	7.40	7.60
e	0.050		1.27	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	16	0.398	0.413	10.10	10.50
D	18	0.447	0.463	11.35	11.75
D	20	0.496	0.512	12.60	13.00
D	24	0.598	0.614	15.20	15.60
D	28	0.697	0.713	17.70	18.10

21-0042A

クワッド/オクタ、2線シリアル8ビットDAC 電源電圧範囲の出力

パッケージ(続き)

**SSOP
SHRINK
SMALL-OUTLINE
PACKAGE**

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256 BSC		0.65 BSC	
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	14	0.239	0.249	6.07	6.33
D	16	0.239	0.249	6.07	6.33
D	20	0.278	0.289	7.07	7.33
D	24	0.317	0.328	8.07	8.33
D	28	0.397	0.407	10.07	10.33

21-0056A

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**