

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

概要

MAX5188は、低歪み及び低電力動作でのアナログ信号再構築を必要とする通信機器において高性能を発揮するために設計されたデュアル8ビット交互位相更新電圧出力デジタルアナログコンバータ(DAC)です。MAX5191は同じ仕様ですが、電圧出力動作用に出力抵抗を内蔵しています。MAX5188/MAX5191は、10pVグリッチ動作設計になっており、出力時の不要なスプリアス信号成分を最小限に抑えることができます。+1.2Vの内蔵バンドギャップ回路は優れた安定化低ノイズリファレンスを提供します。外部リファレンス動作時は、この内部リファレンスをディセーブルすることもできます。

MAX5188/MAX5191は最小の消費電力で高レベルの信号完全性を提供するように設計されたDACです。いずれも+2.7V~+3.3Vの単一電源で動作します。さらに、これらのDACは3つの動作モード(通常、低電力スタンバイ、及びフルシャットダウン)を備えています。フルシャットダウンにおいてはシャットダウン電流が1 μ A(max)となり、超低消費電力を実現します。スタンバイモードからフルDAC動作までのウェイクアップ時間が0.5 μ sと短いため、必要なときにだけDACを起動して電力を節約することができます。

MAX5188/MAX5191は28ピンQSOPパッケージに収められており、拡張温度範囲(-40 $^{\circ}$ C~+85 $^{\circ}$ C)のものが用意されています。ピンコンパチブルの10ビットバージョンについては、MAX5182/MAX5185のデータシートを参照して下さい。

アプリケーション

- 信号再構築アプリケーション
- デジタル信号処理
- 任意波形の発生(AWG)
- 画像処理アプリケーション

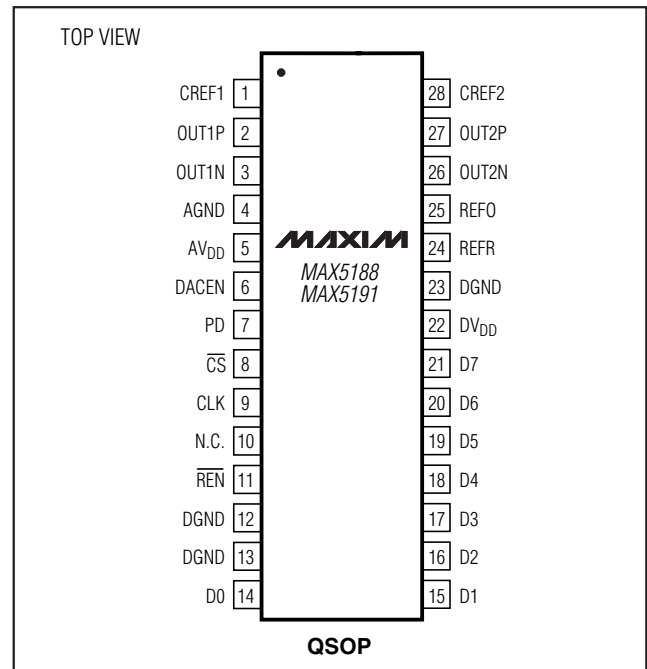
特長

- ◆ 単一電源動作：+2.7V~+3.3V
- ◆ 広スプリアスフリーダイナミックレンジ：70dB($f_{OUT} = 2.2$ MHz)
- ◆ 各DACが完全差動出力を装備
- ◆ DAC出力間のFSR利得ミスマッチ： $\pm 0.5\%$
- ◆ 低電流スタンバイ又はフルシャットダウンモード
- ◆ 内部+1.2V低ノイズバンドギャップリファレンス
- ◆ パッケージ：28ピンQSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX5188BEEI	-40 $^{\circ}$ C to +85 $^{\circ}$ C	28 QSOP
MAX5191BEEI	-40 $^{\circ}$ C to +85 $^{\circ}$ C	28 QSOP

ピン配置



デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

ABSOLUTE MAXIMUM RATINGS

AV _{DD} , DV _{DD} to AGND, DGND	-0.3V to +6V
Digital Inputs to DGND	-0.3V to +6V
OUT1P, OUT1N, OUT2P, OUT2N, CREF1, CREF2 to AGND	-0.3V to +6V
V _{REF} to AGND	-0.3V to +6V
AV _{DD} to DV _{DD}	±3.3V
AGND to DGND	-0.3V to +0.3V
Maximum Current into Any Pin	50mA

Continuous Power Dissipation (T _A = +70°C) 28-Pin QSOP (derate 9.00mW/°C above +70°C)	725mW
Operating Temperature Ranges MAX5188/MAX5191BEE1	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = +3V ±10%, AGND = DGND = 0, f_{CLK} = 40MHz, I_{FS} = 1mA, 400Ω differential output, C_L = 5pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STATIC PERFORMANCE							
Resolution	N			8			Bits
Integral Nonlinearity	INL			-1	±0.25	+1	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic		-1	±0.25	+1	LSB
Zero-Scale Error		MAX5188		-1		+1	LSB
		MAX5191		-4		+4	LSB
Full-Scale Error		(Note 1)		-20	±4	+20	LSB
DYNAMIC PERFORMANCE							
Output Settling Time		To ±0.5LSB error band			25		ns
Glitch Impulse					10		pVs
Spurious-Free Dynamic Range to Nyquist	SFDR	f _{CLK} = 40MHz	f _{OUT} = 500kHz		72		dBc
			f _{OUT} = 2.2MHz, T _A = +25°C	57	70		
Total Harmonic Distortion to Nyquist	THD	f _{CLK} = 40MHz	f _{OUT} = 500kHz		-70		dB
			f _{OUT} = 2.2MHz, T _A = +25°C		-68	-63	
Signal-to-Noise Ratio to Nyquist	SNR	f _{CLK} = 40MHz	f _{OUT} = 500kHz		52		dB
			f _{OUT} = 2.2MHz, T _A = +25°C	46	52		
DAC-to-DAC Output Isolation		f _{OUT} = 2.2MHz			-60		dB
Clock and Data Feedthrough		All 0s to all 1s			50		nVs
Output Noise					10		pA/√Hz
Gain Mismatch Between DAC Outputs		f _{OUT} = 2.2MHz, T _A = +25°C			±0.5	±1	LSB
ANALOG OUTPUT							
Full-Scale Output Voltage	V _{FS}				400		mV
Voltage Compliance of Output				-0.3		0.8	V
Output Leakage Current		DACEN = 0, MAX5188 only		-1		1	μA
Full-Scale Output Current	I _{FS}	MAX5188 only		0.5	1	1.5	mA
DAC External Output Resistor Load		MAX5188 only			400		Ω

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD} = DV_{DD} = +3V \pm 10\%$, $AGND = DGND = 0$, $f_{CLK} = 40MHz$, $I_{FS} = 1mA$, 400Ω differential output, $C_L = 5pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE						
Output Voltage Range	V_{REF}		1.12	1.2	1.28	V
Output Voltage Temperature Drift	TCV_{REF}			50		ppm/ $^\circ C$
Reference Output Drive Capability	I_{REFOUT}			10		μA
Reference Supply Rejection				0.5		mV/V
Current Gain (I_{FS} / I_{REF})				8		mA/mA
POWER REQUIREMENTS						
Analog Power-Supply Voltage	AV_{DD}		2.7		3.3	V
Analog Supply Current	I_{AVDD}	PD = 0, DACEN = 1, digital inputs at 0 or DV_{DD}		2.7	5	mA
Digital Power-Supply Voltage	DV_{DD}		2.7		3.3	V
Digital Supply Current	I_{DVDD}	PD = 0, DACEN = 1, digital inputs at 0 or DV_{DD}		4.2	5	mA
Standby Current	$I_{STANDBY}$	PD = 0, DACEN = 0, digital inputs at 0 or DV_{DD}		1	1.5	mA
Shutdown Current	I_{SHDN}	PD = 1, DACEN = X, digital inputs at 0 or DV_{DD} (X = don't care)		0.5	1	μA
LOGIC INPUTS AND OUTPUTS						
Digital Input High Voltage	V_{IH}		2			V
Digital Input Low Voltage	V_{IL}				0.8	V
Digital Input Current	I_{IN}	$V_{IN} = 0$ or DV_{DD}			± 1	μA
Digital Input Capacitance	C_{IN}			10		pF
TIMING CHARACTERISTICS						
DAC1 DATA to CLK Rise Setup Time	t_{DS1}		10			ns
DAC2 DATA to CLK Fall Setup Time	t_{DS2}		10			ns
DAC1 CLK Rise to DATA Hold Time	t_{DH1}		0			ns
DAC2 CLK Fall to DATA Hold Time	t_{DH2}		0			ns
\overline{CS} Fall to CLK Rise Time				5		ns
\overline{CS} Fall to CLK Fall Time				5		ns
DACEN Rise Time to V_{OUT}				0.5		μs
PD Fall Time to V_{OUT}				50		μs
Clock Period	t_{CLK}		25			ns
Clock High Time	t_{CH}		10			ns
Clock Low Time	t_{CL}		10			ns

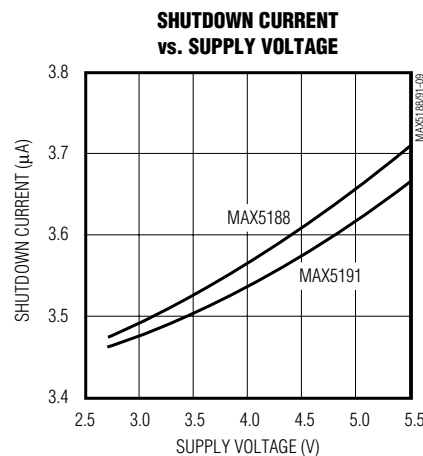
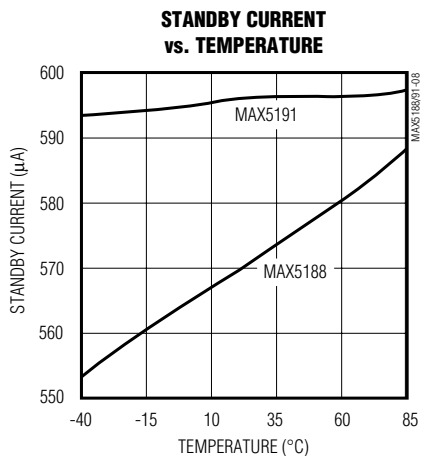
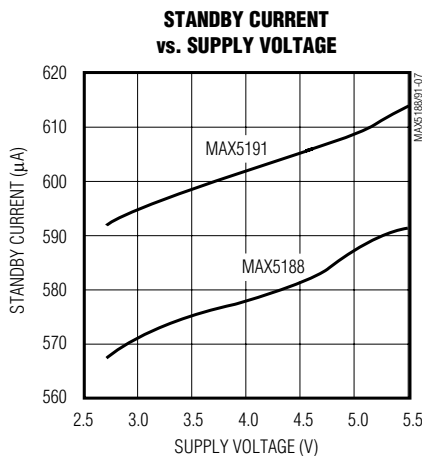
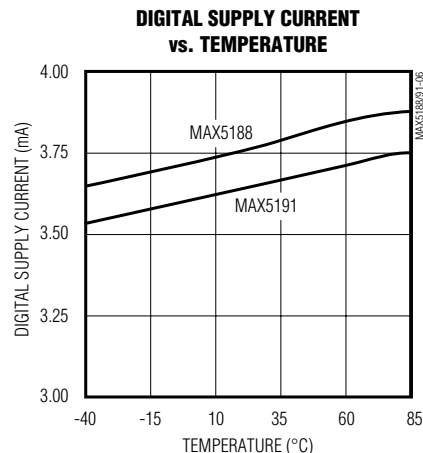
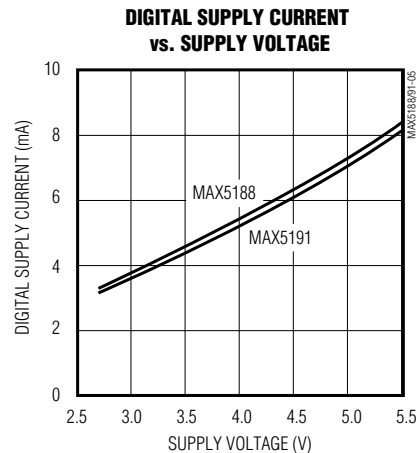
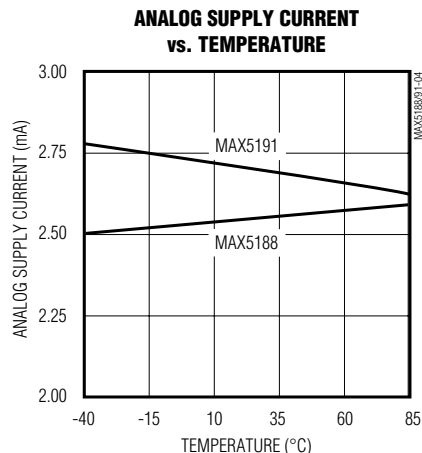
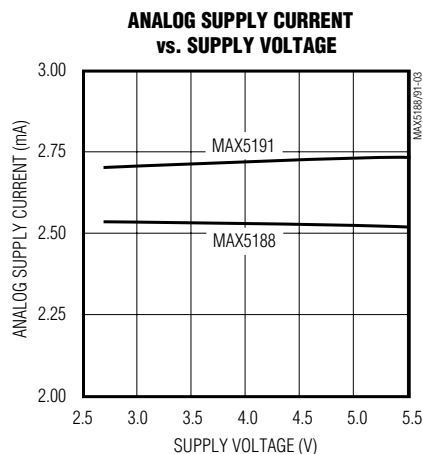
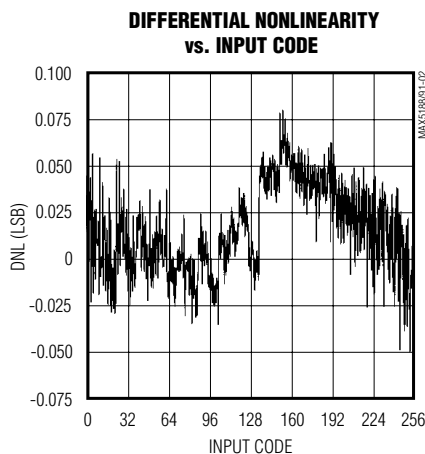
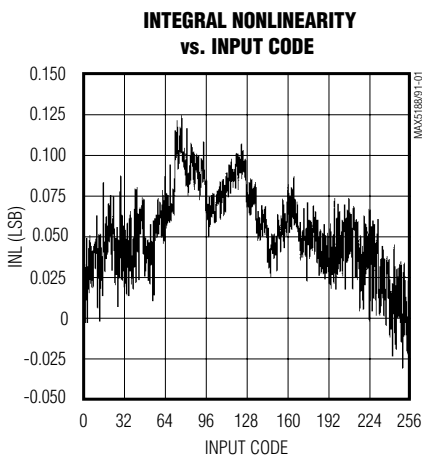
Note 1: Excludes reference and reference resistor (MAX5191) tolerance.

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

標準動作特性

($V_{DD} = DV_{DD} = +3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)

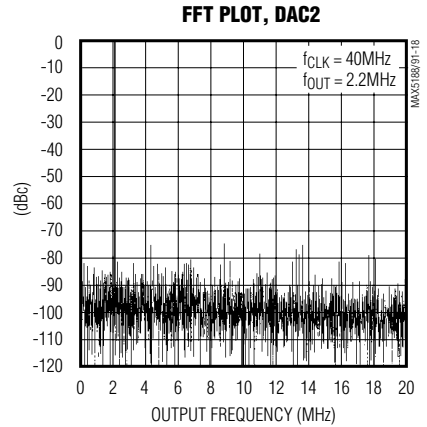
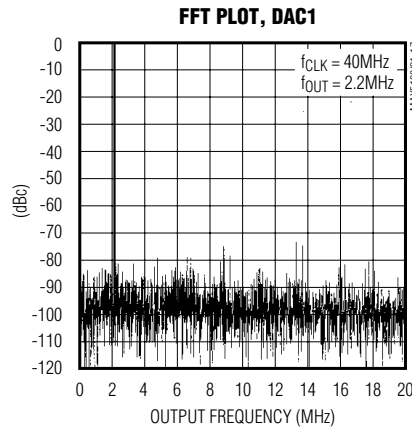
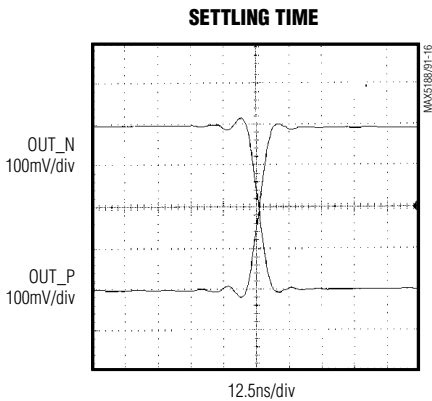
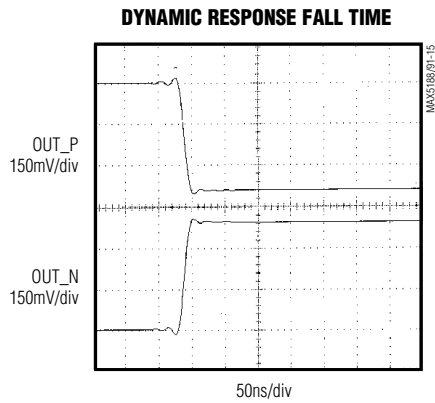
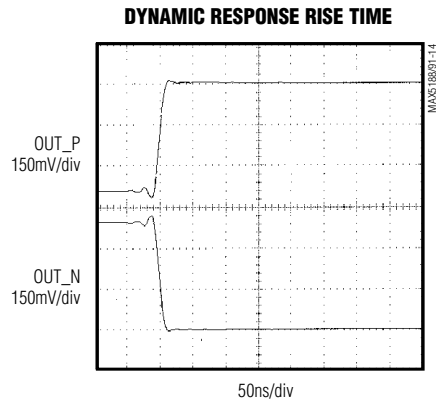
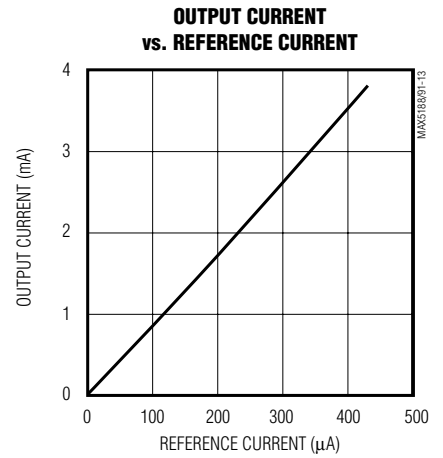
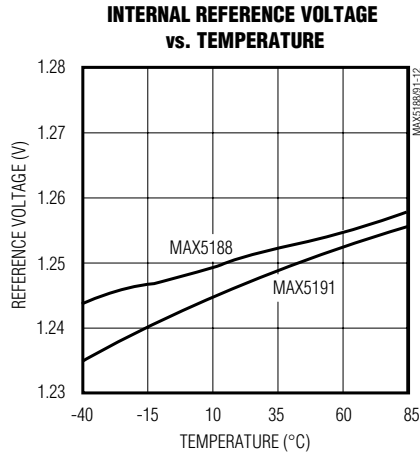
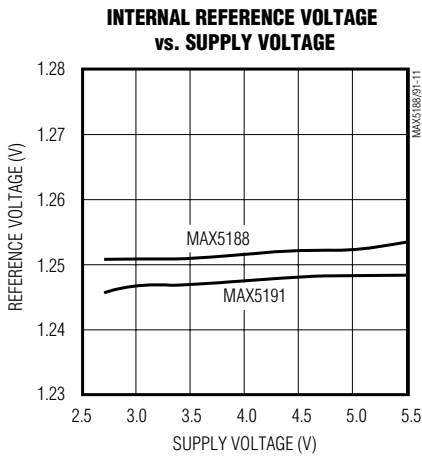


デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

標準動作特性(続き)

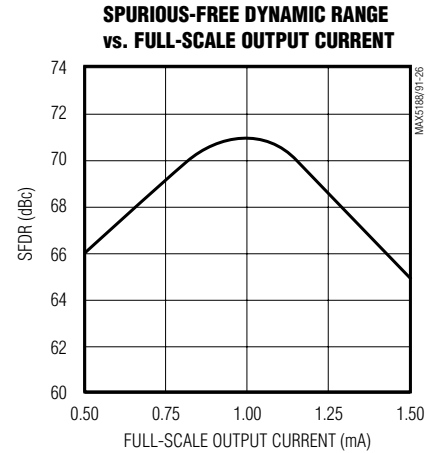
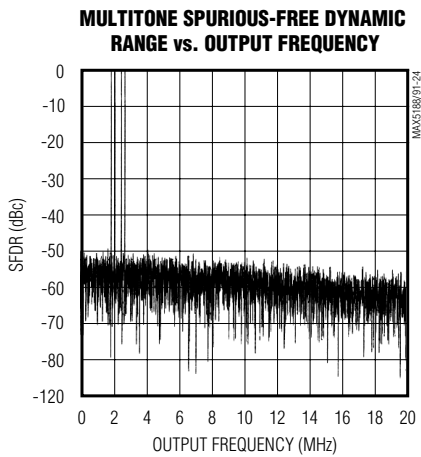
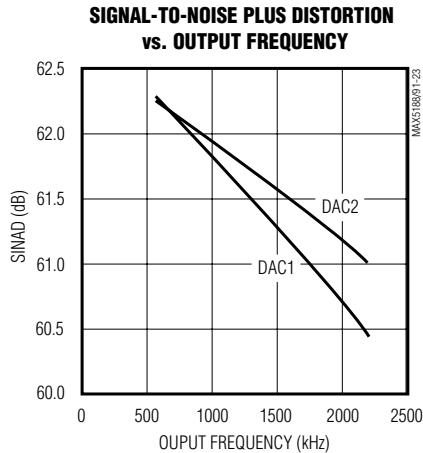
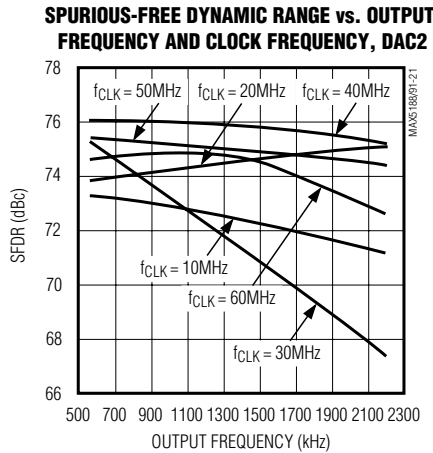
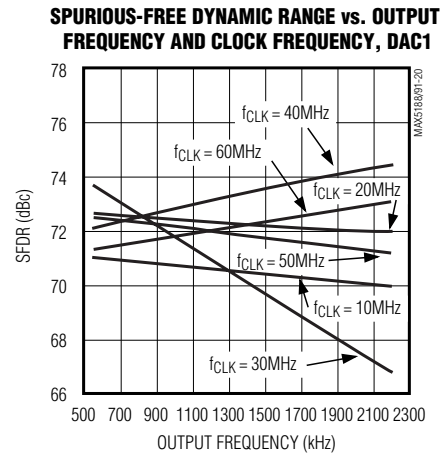
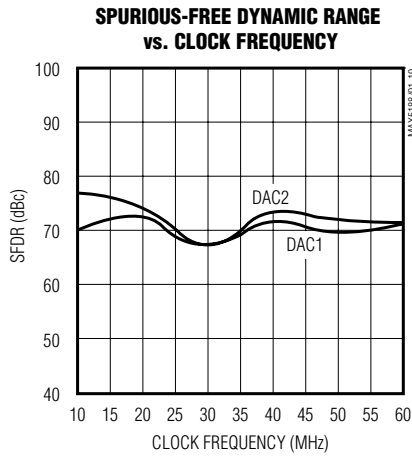
($V_{DD} = DV_{DD} = +3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

標準動作特性(続き)

($AV_{DD} = DV_{DD} = +3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

端子説明

端子	名称	機能
1	CREF1	リファレンスバイアスバイパス(DAC1)
2	OUT1P	正アナログ出力(DAC1)。MAX5188の場合は電流出力。MAX5191の場合は電圧出力。
3	OUT1N	負アナログ出力(DAC1)。MAX5188の場合は電流出力。MAX5191の場合は電圧出力。
4	AGND	アナロググランド
5	AV _{DD}	アナログ正電源(+2.7V~+3.3V)
6	DACEN	DACイネーブル、デジタル入力 0 : DACスタンバイモードに入ります(PD = DGND)。 1 : DACがパワーアップします(PD = DGND)。 X : PD = DV _{DD} の時、シャットダウンモードに入ります(X = 任意)。
7	PD	パワーダウンセレクト 0 : DACスタンバイモードに入るか(DACEN = DGND)、あるいはDACがパワーアップします(DACEN = DV _{DD})。 1 : シャットダウンモードに入ります。
8	\overline{CS}	アクティブローチップセレクト
9	CLK	クロック入力
10	N.C.	無接続。このピンには接続しないで下さい。
11	\overline{REN}	アクティブローリファレンスイネーブル。DGNDに接続すると内部+1.2Vリファレンスが起動します。
12, 13, 23	DGND	デジタルグランド
14	D0	データビットD0(LSB)
15-20	D1-D6	データビットD1~D6
21	D7	データビットD7(MSB)
22	DV _{DD}	デジタル電源(+2.7V~+3.3V)
24	REFR	リファレンス入力
25	REFO	リファレンス出力
26	OUT2N	負アナログ出力(DAC2)。MAX5188の場合は電流出力。MAX5191の場合は電圧出力。
27	OUT2P	正アナログ出力(DAC2)。MAX5188の場合は電流出力。MAX5191の場合は電圧出力。
28	CREF2	リファレンスバイアスバイパス(DAC2)

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

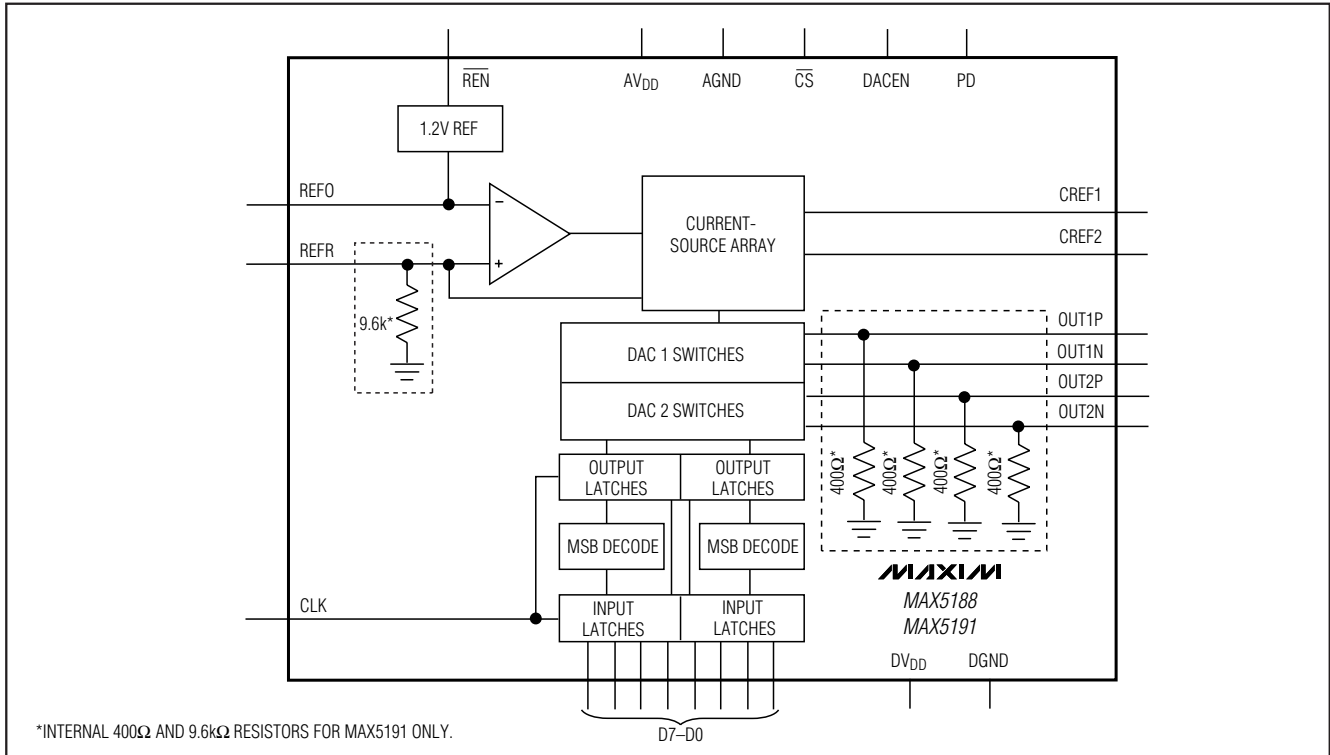


図1. ファンクションダイアグラム

詳細

MAX5188/MAX5191は、クロック速度40MHzまで動作可能なデュアル8ビットデジタルアナログコンバータ(DAC)です。いずれのデュアルコンバータも独立の入力及びDACレジスタとそれに続く電流ソースアレイ(最大1.5mAのフルスケール出力電流能力)から構成されています(図1)。内蔵+1.2V電圧リファレンス及び制御アンプがデータコンバータのフルスケール出力電流/電圧を決定します。注意深いリファレンス設計が正確な利得マッチングと優れたドリフト特性を保証します。MAX5191の電圧出力動作においては、マッチングされた400Ωのオンチップ抵抗が電流アレイの電流を電圧に変換します。

内部リファレンス及び制御アンプ

MAX5188/MAX5191は内蔵50ppm/°C、+1.2V低ノイズバンドギャップリファレンスを提供しています。このリファレンスは、外部リファレンス電圧によってディセーブル/オーバーライド可能です。REFOは外部リファレンス入力又は内蔵リファレンス出力の役割を果たします。 $\overline{\text{REN}}$ がDGNDに接続されている場合、内部リファレンス出力が選択され、REFOが+1.2Vの出力を供給し

ます。出力駆動能力が10μAに制限されているため、負荷が大きいときはREFOピンを外部アンプでバッファする必要があります。

また、MAX5188/MAX5191は、両素子の出力のフルスケール出力電流(I_{FS})を同時に制御するように設計された制御アンプを採用しています。出力電流は次式で計算できます。

$$I_{FS} = 8 \times I_{REF}$$

ここで、 I_{REF} はリファレンス出力電流($I_{REF} = V_{REFO} / R_{SET}$)、 I_{FS} はフルスケール出力電流です。 R_{SET} はMAX5188のアンプの出力電流を決定するリファレンス抵抗です(図2)。この電流は電流ソースアレイに反映(ミラー)され、そこでマッチングされた電流セグメント間に均等に流し、合計した電流からDACの有効な出力電流読取り値を生成します。

MAX5191は、2つのグランド基準の内部400Ω負荷抵抗を使用して各出力電流(DAC1及びDAC2)を出力電圧(V_{OUT1} 、 V_{OUT2})に変換します。MAX5191で内部+1.2Vリファレンス電圧を使用する場合、内部リファレンス出力電流抵抗($R_{SET} = 9.6k\Omega$)で、 I_{REF} を125μAに、 I_{FS} を1mAに設定します。

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

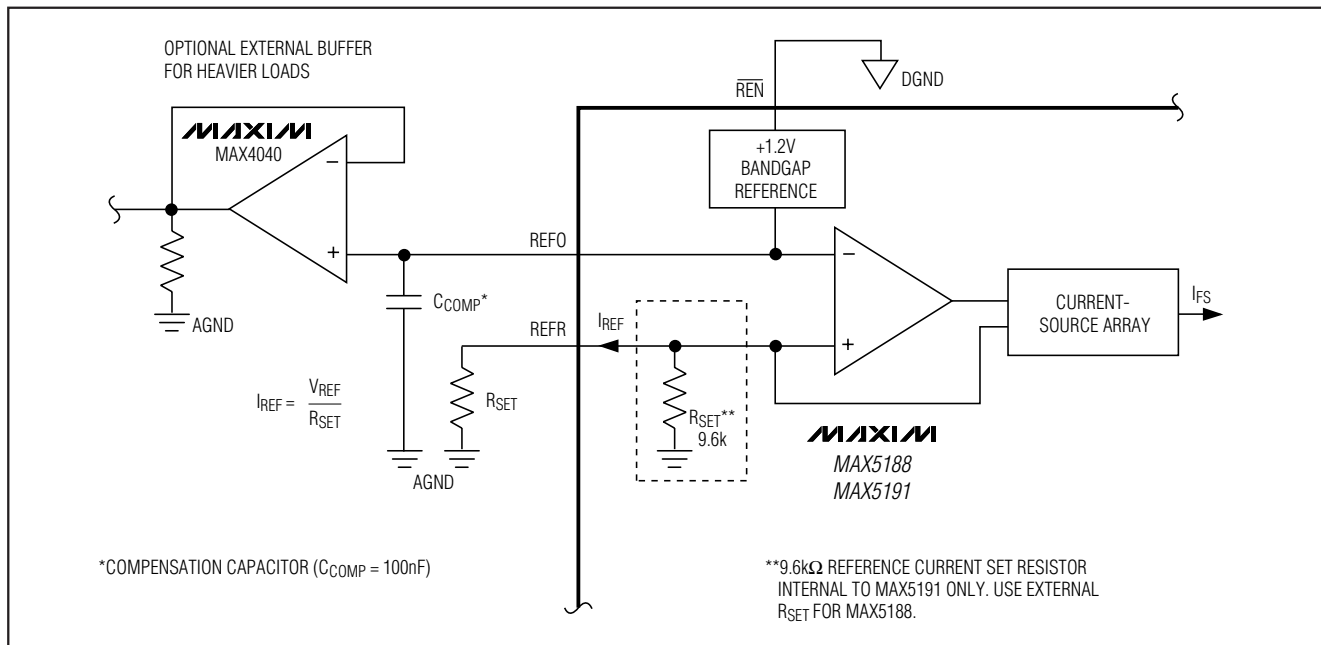


図2. 内部+1.2Vリファレンス及び制御アンプで I_{FS} を設定

外部リファレンス

MAX5188/MAX5191の内部リファレンスをディセーブルするには、RENをDV_{DD}に接続して下さい。これにより、温度安定性の良い外部リファレンスをREF0ピンに印加して駆動させることにより、フルスケール出力を設定することができます(図3)。電流アレイのカスコード電流を生成するバイアス回路を駆動するには、少なくとも150μAを供給できる電圧リファレンスを選択して下さい。精度とドリフト性能を改善するため、+1.2V、25ppm/°CのMAX6520バンドギャップリファレンス等の固定出力電圧リファレンスを選択して下さい。

スタンバイモード

低電力スタンバイモードに入るには、デジタル入力PDとDACENをDGNDに接続して下さい。スタンバイモードではリファレンス及び制御アンプの両方がアクティブになり、電流アレイはインアクティブになります。

この状態を解除するには、PDがDGNDに保持された状態でDACENをハイに引き上げる必要があります。MAX5188/MAX5191はいずれもウェイクアップして出力とリファレンスの両方がセトリングするまでに50μs(typ)を要します。

シャットダウンモード

消費電力を最も小さくする手段として、MAX5188/MAX5191はパワーダウンモードを備えています。このモードでは、リファレンス、制御アンプ及び電流アレイはインアクティブで、DACの消費電流は1μAまで低減します。このモードに入るには、PDをDV_{DD}に接続して下さい。アクティブモードに戻るには、PDをDGNDに接続して、DACENをDV_{DD}に接続して下さい。素子がシャットダウンモードを解除してシャットダウン前の出力値にセトリングするのに約50μsを要します。表1に、パワーダウンモードの選択表を示します。

表1. パワーダウンモードの選択表

PD (POWER-DOWN SELECT)	DACEN (DAC ENABLE)	POWER-DOWN MODE	OUTPUT STATE	
0	0	Standby	MAX5188	High-Z
			MAX5191	AGND
0	1	Wake-Up	Last state prior to standby mode	
1	X	Shutdown	MAX5188	High-Z
			MAX5191	AGND

X = 任意

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

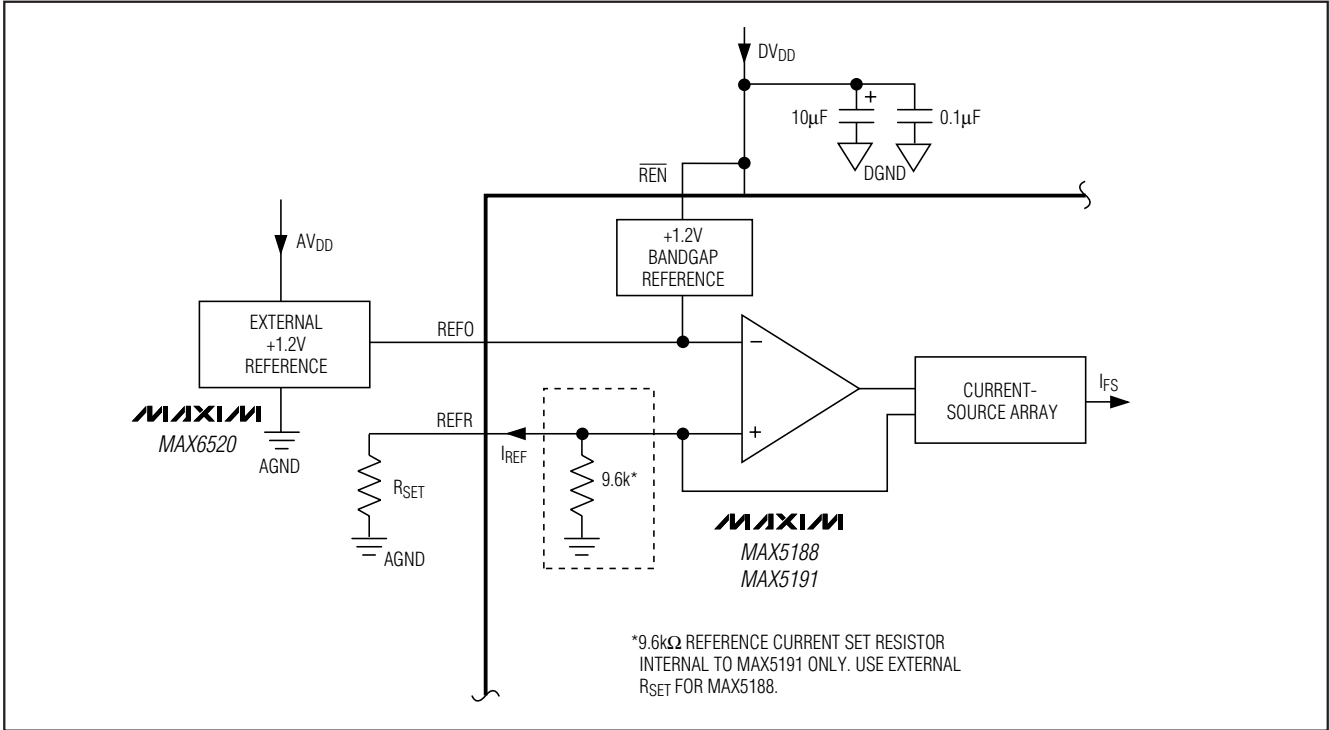


図3. MAX5188/MAX5191で外部リファレンスを使用した場合

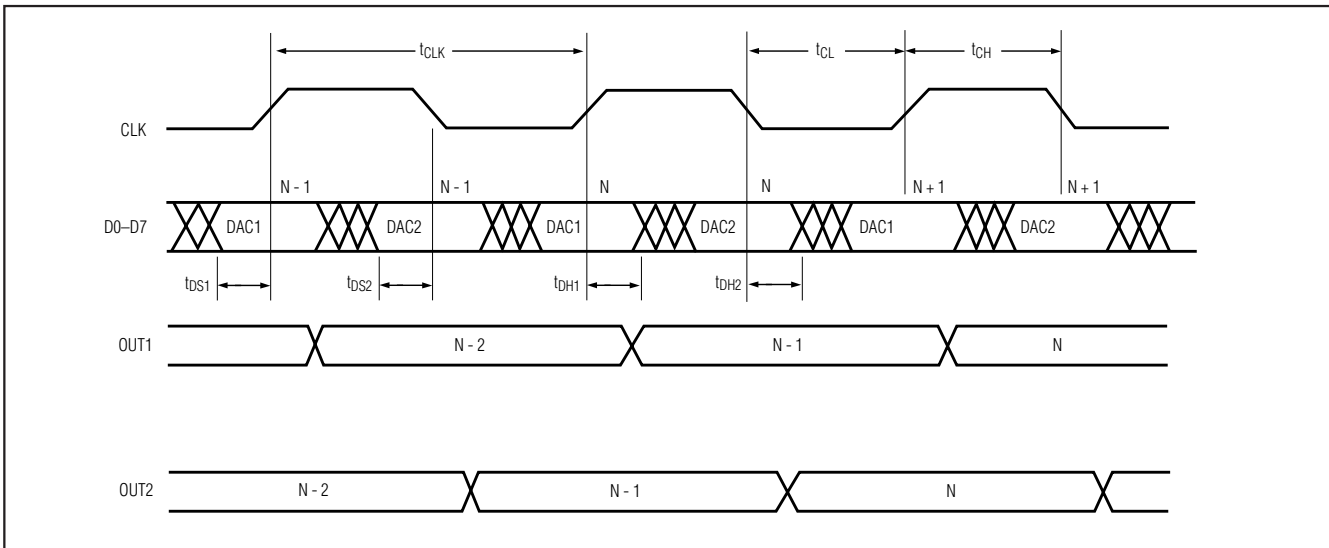


図4. タイミング図

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

タイミング情報

いずれのDACセルも交互位相で出力への書き込みを行います(図4)。第1のDAC(DAC1)の入カラッチはクロック信号がハイに遷移した後でロードされます。クロック信号がローに遷移すると、第2のDAC(DAC2)の入カラッチがロードされます。第1の入カラッチの内容は、クロックの立上がりエッジでDAC1レジスタにシフトされます。第2の入カラッチは、クロックの立下がりエッジでDAC2の入カレジスタにシフトされます。いずれの出力も、クロックの交互位相で更新されます。

出力

MAX5188の出力は、並列な400Ω負荷と5pFの容量性負荷に1mAのフルスケール電流を供給するように設計されています。MAX5191は、電流アレイに比例した

差動電圧400mVに復元する内部400Ω抵抗を備えています。これらの差動出力電圧を使用して balan 変成器又は低歪み高速オペアンプを駆動し、差動電圧をシングルエンド電圧に変換することができます。

アプリケーション情報

静的及び動的性能の定義

積分非直線性

積分非直線性(INL)(図5a)は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートライン・フィット(実際の伝達曲線に最も近い近似)、あるいはオフセット及び利得誤差をゼロ調整した後に伝達関数の終点間を結んだ線です。DACの場合、偏差は各ステップで測定されます。

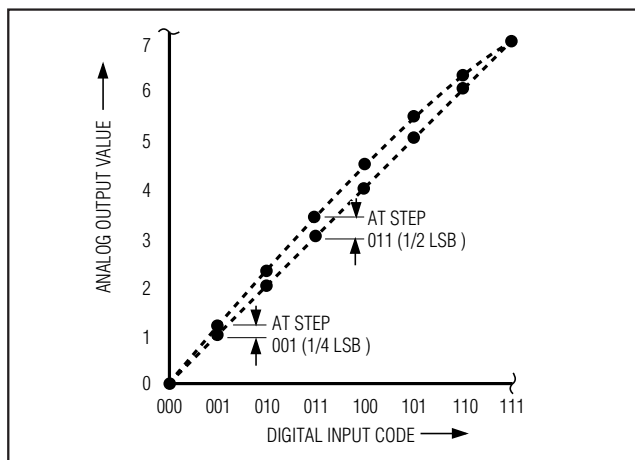


図5a. 積分非直線性

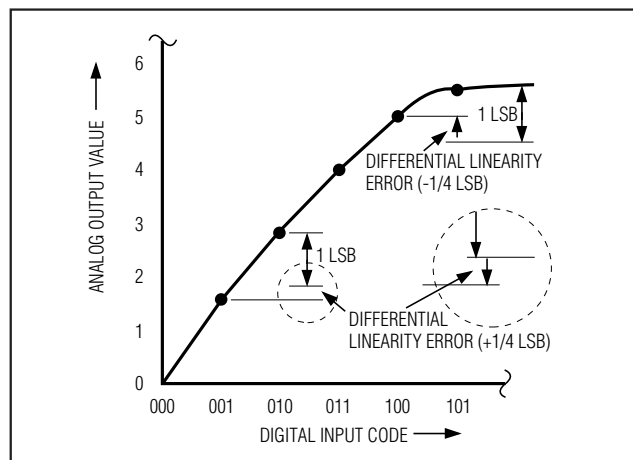


図5b. 微分非直線性

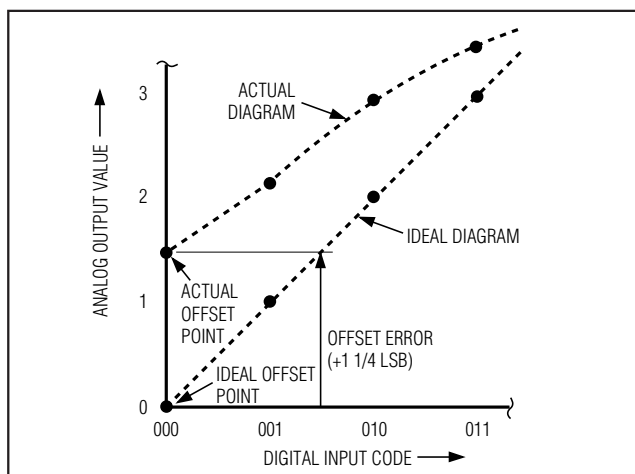


図5c. オフセット誤差

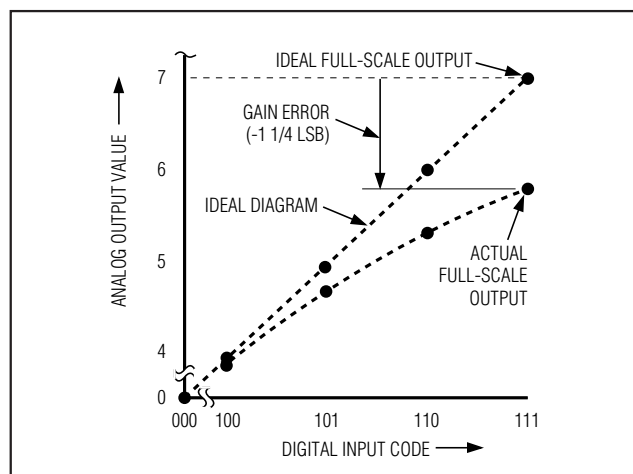


図5d. 利得誤差

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

微分非直線性

微分非直線性(DNL)(図5b)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNL誤差の大きさが1LSB未満であれば、そのDACはミッシングコードがないこと、及び伝達関数が単調であることが保証されます。

オフセット誤差

オフセット誤差(図5c)は、理想的なオフセットポイントと実際のオフセットポイント間の差です。DACの場合、オフセットポイントはデジタル入力がゼロの時のステップ値です。この誤差は全てのコードに対して同量の影響を与え、通常はトリミングによって補償できます。

利得誤差

利得誤差(図5d)は、オフセット誤差をゼロにした状態における伝達曲線のフルスケール出力電圧の理想値と実際値との差です。この誤差は伝達関数の傾きを変化させた時、各ステップで同じ比率の誤差が発生します。

セトリング時間

セトリング時間は、遷移の開始からDAC出力値がコンバータの仕様精度内の新しい出力値に落ち着くまでに要する時間です。

デジタルフィードスルー

デジタルフィードスルーは、デジタル入力の遷移時にDACの出力に生じるノイズです。このノイズは、適正な基板レイアウト及びグラウンディングによってかなり削減できますが、DACそのものに起因するフィードスルーはある程度常に存在します。

全高調波歪み

全高調波歪み(THD)は入力信号の最初の4つの高調波のRMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は基本波(最大信号成分)と次に大きな歪み成分のRMS値の比です。

差動からシングルエンドの変換

MAX4108低歪み高入力帯域幅アンプを使用して、MAX5188の電流アレイ出力から電圧を生成することができます。適切なオペアンプ構成を設計することにより、OUT1P(又はOUT2P)とOUT1N(又はOUT2N)の間の差動電圧はシングルエンド電圧に変換されます(図6)。

グラウンディング及び電源デカップリング

グラウンディングと電源デカップリングはMAX5188/MAX5191の性能に強い影響を与えます。不要なデジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、SNR又はSFDR等の動的性能に悪影響を与える可能性があります。さらに電磁干渉妨害(EMI)がMAX5188/MAX5191にカップリングして入ってくるか、あるいはMAX5188/MAX5191で発生することがあります。この為、高速高周波アプリケーション用のグラウンディング及び電源デカップリングガイドラインに忠実に従って下さい。

まず、独立したグランド及び電源プレーンを備えた多層プリント基板を推奨します。高速信号はグランドプレーンのすぐ上のインピーダンスが調節されたラインに通して下さい。MAX5188/MAX5191はアナログとデジタルのグランドバス(それぞれAGND及びDGND)が別々になっているため、プリント基板もアナログとデジタルのグランド部をそれぞれ別々にして、一点に接続する構成が最適です。デジタル信号はデジタルグランドプレーンの上に、アナログ信号はアナログ信号プレーンの上に引いて下さい。

MAX5188/MAX5191は、アナログ V_{DD} (AV_{DD})とデジタル V_{DD} (DV_{DD})の2つの電源入力を備えています。各 AV_{DD} 入力は $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列なセラミックチップコンデンサでデカップリングして下さい。その際、これらのコンデンサをできるだけピンの近くに配置し、グランドプレーンへの接続もできるだけ短くして下さい。 DV_{DD} ピンにも独立した $10\mu\text{F}$ と $0.1\mu\text{F}$ コンデンサをそれぞれのピンの近くに接続して下さい。適正な動作のためには、アナログ負荷容量を最小限に抑えて下さい。最高の性能を得るためには、CREF1とCREF2に低ESRの $0.1\mu\text{F}$ のコンデンサを用いて AV_{DD} にバイパスして下さい。

電源電圧は、大きなタンタル又は電解コンデンサを使用してプリント基板に接続するところでデカップリングして下さい。フェライトビーズにデカップリングコンデンサを追加してパイ・ネットワークを形成したものを使えば、さらに性能が向上します。

デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

MAX5188/MAX5191

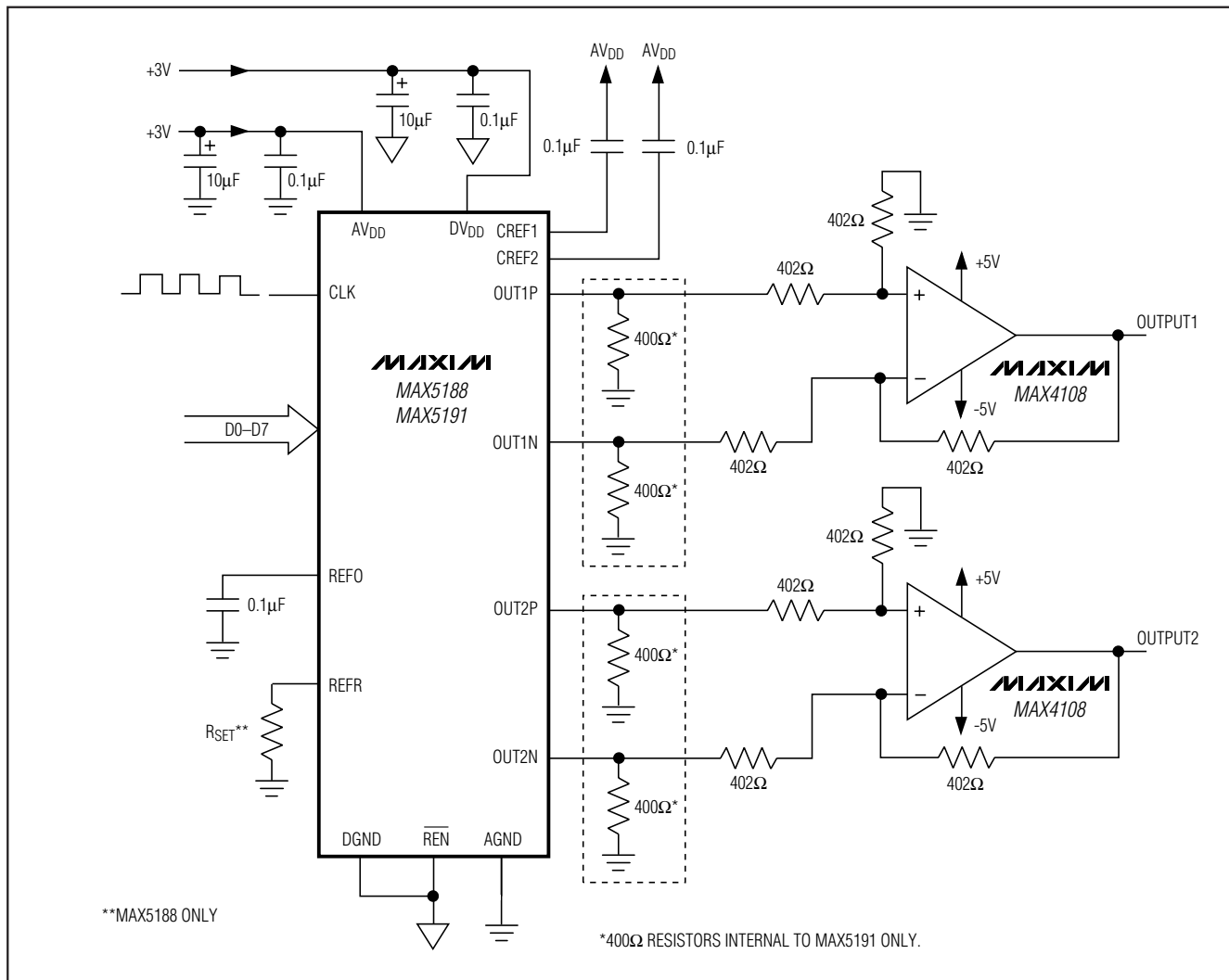


図6. MAX4108低歪みアンプを使用した差動からシングルエンドへの変換

チップ情報

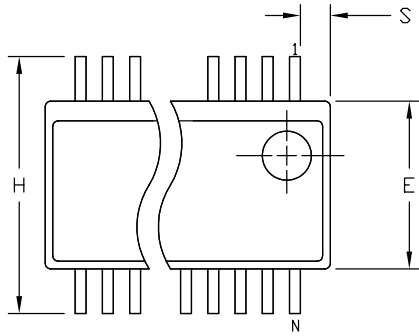
TRANSISTOR COUNT: 9464

SUBSTRATE CONNECTED TO GND

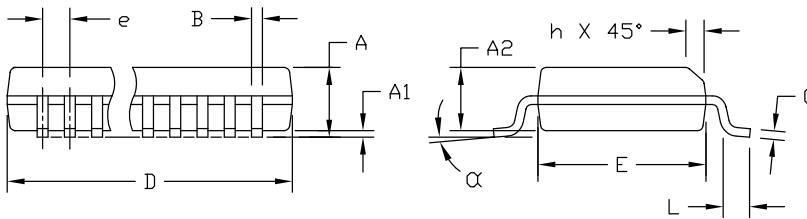
デュアル8ビット40MHz、電流/電圧 交互位相出力DAC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°



VARIATIONS:

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

	<small>PROPRIETARY INFORMATION</small>	
<small>TITLE:</small> PACKAGE OUTLINE, QSQP .150", .025" LEAD PITCH		
<small>APPROVAL:</small>	<small>DOCUMENT CONTROL NO.</small> 21-0055	<small>REV.</small> E 1/1

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。