

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

## 概要

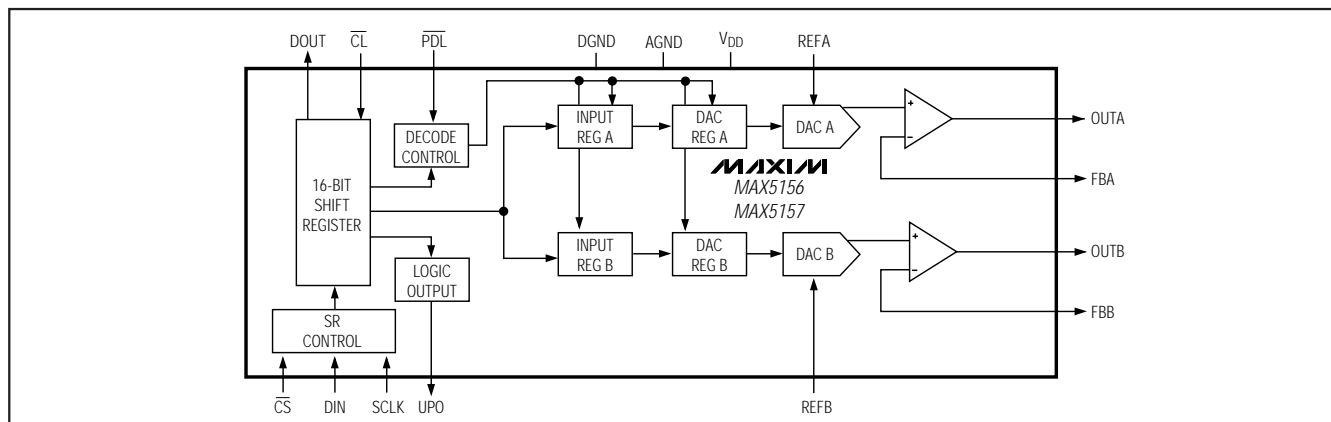
MAX5156/MAX5157は、低電力、シリアル、電圧出力、デュアル12ビットD/Aコンバータ(DAC)です。これらの製品は、単一電源+5V(MAX5156)又は+3V(MAX5157)からの消費電流が僅か500 $\mu$ Aとなっています。これらのデバイスはレイルトゥレイル<sup>®</sup>出力スイングを特長とし、省スペースの16ピンQSOP及びDIPパッケージで提供されています。反転入力へのアクセスは、特定の利得構成、リモート検出、及び高出力電流機能を可能にするため、これらのデバイスは工業プロセス制御に最適です。また、デジタルでプログラマブルな(4~20mA)電流ループにも適しています。

3線シリアルインターフェースは、SPI<sup>™</sup>/QSPI<sup>™</sup>及びMicrowire<sup>™</sup>とコンパチブルです。各DACには、入力レジスタとして構成したダブルバッファ入力と、入力レジスタ及びDACレジスタを個別又は同時に更新できるDACレジスタを備えています。さらに、プログラマブルシャットダウン(2 $\mu$ A)、ハードウェアシャットダウンロックアウト、各DAC用の個別電圧リファレンス、パワーオンリセット、及び全てのレジスタとDACをゼロにリセットするアクティブロークリア入力( $\overline{CL}$ )も備えています。MAX5156/MAX5157では、機能拡張用のプログラマブルロジックピンに加え、デジチェーン構成用のシリアルデータ出力ピンも提供されます。

## アプリケーション

工業プロセス制御	モーション制御
デジタルオフセット 及び利得調整	デジタルでプログラマブルな 4~20mA電流ループ
リモート工業制御	自動テスト装置(ATE)

## ファンクションダイアグラム



レイルトゥレイルは日本モトローラの登録商標です。SPI及びQSPIはモトローラの商標です。MicrowireはNational Semiconductor Corp.の商標です。

## 特長

- ◆ 構成可能な出力アンプを備えた12ビットデュアルDAC
- ◆ 単一電源動作: +5V (MAX5156) +3V (MAX5157)
- ◆ レイルトゥレイル出力スイング
- ◆ 低自己消費電流: 500 $\mu$ A(通常動作時) 2 $\mu$ A(シャットダウンモード時)
- ◆ パワーオンリセットによってレジスタとDACをゼロにクリア
- ◆ SPI/QSPI及びMicrowireとコンパチブル
- ◆ 省スペースの16ピンQSOPパッケージ

## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5156ACPE	0°C to +70°C	16 Plastic DIP	$\pm 1/2$
MAX5156BCPE	0°C to +70°C	16 Plastic DIP	$\pm 1$
MAX5156ACEE	0°C to +70°C	16 QSOP	$\pm 1/2$
MAX5156BCEE	0°C to +70°C	16 QSOP	$\pm 1$

Ordering Information continued at end of data sheet.

Pin Configuration appears at end of data sheet.

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND.....	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
V <sub>DD</sub> to DGND .....	-0.3V to +6V	Plastic DIP (derate 10.5mW/°C above +70°C) .....	593mW
AGND to DGND.....	±0.3V	QSOP (derate 8.30mW/°C above +70°C) .....	667mW
FBA, FBB to AGND.....	-0.3V to (V <sub>DD</sub> + 0.3V)	CERDIP (derate 10.00mW/°C above +70°C) .....	800mW
REF <sub>-</sub> , OUT <sub>-</sub> to AGND.....	-0.3V to (V <sub>DD</sub> + 0.3V)	Operating Temperature Ranges	
Digital Inputs (SCLK, DIN, CS, CL, PDL)		MAX5152_C_E/MAX5153_C_E .....	0°C to +70°C
to DGND .....	-0.3V to +6V	MAX5152_E_E/MAX5153_E_E.....	-40°C to +85°C
Digital Outputs (DOUT, UPO) to DGND.....	-0.3V to (V <sub>DD</sub> + 0.3V)	MAX5152_MJE/MAX5153_MJE .....	-55°C to +125°C
Maximum Current into Any Pin .....	±20mA	Storage Temperature Range .....	-65°C to +160°C
		Lead Temperature (soldering, 10sec) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS—MAX5156

(V<sub>DD</sub> = +5V ±10%, V<sub>REFA</sub> = V<sub>REFB</sub> = 2.5V, R<sub>L</sub> = 10kΩ, C<sub>L</sub> = 100pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C, output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution	N		12			Bits
Integral Nonlinearity	INL	(Note 1)			±1/2	LSB
			MAX5156A		±1	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Offset Error	V <sub>OS</sub>	Code = 10			±6	mV
Offset Tempco	TCV <sub>OS</sub>	Normalized to 2.5V		3		ppm/°C
Gain Error				-0.5	±3	LSB
Gain-Error Tempco		Normalized to 2.5V		3		ppm/°C
V <sub>DD</sub> Power-Supply Rejection Ratio	PSRR	4.5V ≤ V <sub>DD</sub> ≤ 5.5V		20	200	μV/V
<b>REFERENCE INPUT</b>						
Reference Input Range	REF		0		V <sub>DD</sub> - 1.4	V
Reference Input Resistance	R <sub>REF</sub>	Minimum with code 1554 hex	14	20		kΩ
<b>MULTIPLYING-MODE PERFORMANCE</b>						
Reference 3dB Bandwidth		Input code = 1FFE hex, V <sub>REF</sub> = 0.67V <sub>p-p</sub> at 2.5V <sub>DC</sub>		600		kHz
Reference Feedthrough		Input code = 0000 hex, V <sub>REF</sub> = (V <sub>DD</sub> - 1.4V <sub>p-p</sub> ) at 1kHz		-85		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 1FFE hex, V <sub>REF</sub> = 1V <sub>p-p</sub> at 2.5V <sub>DC</sub> , f = 25kHz		82		dB
<b>DIGITAL INPUTS</b>						
Input High Voltage	V <sub>IH</sub>	CL, PDL, CS, DIN, SCLK	3			V
Input Low Voltage	V <sub>IL</sub>	CL, PDL, CS, DIN, SCLK			0.8	V
Input Hysteresis	V <sub>HYS</sub>			200		mV
Input Leakage Current	I <sub>IN</sub>	V <sub>IN</sub> = 0V to V <sub>DD</sub>		0.001	±1	μA
Input Capacitance	C <sub>IN</sub>			8		pF

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## ELECTRICAL CHARACTERISTICS—MAX5156 (continued)

( $V_{DD} = +5V \pm 10\%$ ,  $V_{REFA} = V_{REFB} = 2.5V$ ,  $R_L = 10k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ , output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DIGITAL OUTPUTS (DOUT, UPO)</b>						
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	$V_{OL}$	$I_{SINK} = 2mA$		0.13	0.40	V
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.75		V/ $\mu s$
Output Settling Time		To 1/2LSB of full-scale, $V_{STEP} = 2.5V$		15		$\mu s$
Output Voltage Swing		Rail-to-rail (Note 2)		0 to $V_{DD}$		V
Current into FBA or FBB	$I_{FB}$			0	$\pm 0.1$	$\mu A$
Time Required to Exit Shutdown				25		$\mu s$
Digital Feedthrough		$\overline{CS} = V_{DD}$ , $f_{DIN} = 100kHz$ , $V_{SCLK} = 5Vp-p$		5		nV-s
Digital Crosstalk				5		nV-s
<b>POWER SUPPLIES</b>						
Positive Supply Voltage	$V_{DD}$		4.5		5.5	V
Power-Supply Current	$I_{DD}$	(Note 3)		0.5	0.65	mA
Power-Supply Current in Shutdown	$I_{DD(SHDN)}$	(Note 3)		2	10	$\mu A$
Reference Current in Shutdown				0	$\pm 1$	$\mu A$
<b>TIMING CHARACTERISTICS</b>						
SCLK Clock Period	$t_{CP}$	(Note 4)	100			ns
SCLK Pulse Width High	$t_{CH}$		40			ns
SCLK Pulse Width Low	$t_{CL}$		40			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		40			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CHS}$		0			ns
DIN Setup Time	$t_{DS}$		40			ns
DIN Hold Time	$t_{DH}$		0			ns
SCLK Rise to DOUT Valid Propagation Delay	$t_{DO1}$	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	$t_{DO2}$	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold	$t_{CS1}$		40			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		100			ns

**Note 1:** Accuracy is specified from code 10 to code 4095.

**Note 2:** Accuracy is better than 1LSB for  $V_{OUT}$  greater than 6mV and less than  $V_{DD} - 50mV$ . Guaranteed by PSRR test at the end points.

**Note 3:** Digital inputs are set to either  $V_{DD}$  or DGND, code = 0000 hex,  $R_L = \infty$ .

**Note 4:** SCLK minimum clock period includes rise and fall times.

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## ELECTRICAL CHARACTERISTICS—MAX5157

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $V_{REFA} = V_{REFB} = 1.25V$ ,  $R_L = 10k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ , output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution	N		12			Bits
Integral Nonlinearity	INL	(Note 5)	MAX5157A		$\pm 1$	LSB
			MAX5157B		$\pm 2$	
Differential Nonlinearity	DNL	Guaranteed monotonic			$\pm 1$	LSB
Offset Error	$V_{OS}$	Code = 20			$\pm 6$	mV
Offset Tempco	$TCV_{OS}$	Normalized to 1.25V		6		ppm/ $^\circ C$
Gain Error				-0.5	$\pm 4$	LSB
Gain-Error Tempco		Normalized to 1.25V		6		ppm/ $^\circ C$
$V_{DD}$ Power-Supply Rejection Ratio	PSRR	$2.7V \leq V_{DD} \leq 3.6V$		20	320	$\mu V/V$
<b>REFERENCE INPUT (<math>V_{REF}</math>)</b>						
Reference Input Range	REF		0		$V_{DD} - 1.4$	V
Reference Input Resistance	$R_{REF}$	Minimum with code 1554 hex	14	20		$k\Omega$
<b>MULTIPLYING-MODE PERFORMANCE</b>						
Reference 3dB Bandwidth		Input code = 1FFE hex, $V_{REF(AC)} = 0.67V_{p-p}$ at 1.25V <sub>DC</sub>		600		kHz
Reference Feedthrough		Input code = 0000 hex, $V_{REF} = (V_{DD} - 1.4V)$ at 1kHz		-92		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 1FFE hex, $V_{REF} = 1V_{p-p}$ at 1.25V <sub>DC</sub> , $f = 15kHz$		73		dB
<b>DIGITAL INPUTS</b>						
Input High Voltage	$V_{IH}$	$\overline{CL}$ , $\overline{PDL}$ , $\overline{CS}$ , DIN, SCLK	2.2			V
Input Low Voltage	$V_{IL}$	$\overline{CL}$ , $\overline{PDL}$ , $\overline{CS}$ , DIN, SCLK			0.8	V
Input Hysteresis	$V_{HYS}$			200		mV
Input Leakage Current	$I_{IN}$	$V_{IN} = 0V$ to $V_{DD}$		0	$\pm 0.1$	$\mu A$
Input Capacitance	$C_{IN}$			8		pF
<b>DIGITAL OUTPUTS (DOUT, UPO)</b>						
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	$V_{OL}$	$I_{SINK} = 2mA$		0.13	0.4	V
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.75		V/ $\mu s$
Output Settling Time		To 1/2LSB of full-scale, $V_{STEP} = 1.25V$		18		$\mu s$
Output Voltage Swing		Rail-to-rail (Note 6)		0 to $V_{DD}$		V
Current into FBA or FBB	$I_{FB}$			0	$\pm 0.1$	$\mu A$
Time Required to Exit Shutdown				25		$\mu s$
Digital Feedthrough		$\overline{CS} = V_{DD}$ , $f_{DIN} = 100kHz$ , $V_{SCLK} = 3V_{p-p}$		5		nV-s
Digital Crosstalk				5		nV-s

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## ELECTRICAL CHARACTERISTICS—MAX5157 (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $V_{REFA} = V_{REFB} = 1.25V$ ,  $R_L = 10k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ , output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER SUPPLIES</b>						
Positive Supply Voltage	$V_{DD}$		2.7		3.6	V
Power-Supply Current	$I_{DD}$	(Note 7)		0.5	0.6	mA
Power-Supply Current in Shutdown	$I_{DD}(SHDN)$	(Note 7)		1	8	$\mu A$
Reference Current in Shutdown					$\pm 1$	$\mu A$
<b>TIMING CHARACTERISTICS</b>						
SCLK Clock Period	$t_{CP}$	(Note 4)	100			ns
SCLK Pulse Width High	$t_{CH}$		40			ns
SCLK Pulse Width Low	$t_{CL}$		40			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		40			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CHS}$		0			ns
DIN Setup Time	$t_{DS}$		50			ns
DIN Hold Time	$t_{DH}$		0			ns
SCLK Rise to DOUT Valid Propagation Delay	$t_{DO1}$	$C_{LOAD} = 200pF$			120	ns
SCLK Fall to DOUT Valid Propagation Delay	$t_{DO2}$	$C_{LOAD} = 200pF$			120	ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold	$t_{CS1}$		40			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		100			ns

**Note 5:** Accuracy is specified from code 20 to code 4095.

**Note 6:** Accuracy is better than 1LSB for  $V_{OUT}$  greater than 6mV and less than  $V_{DD} - 100mV$ . Guaranteed by PSRR test at the end points.

**Note 7:** Digital inputs are set to either  $V_{DD}$  or DGND, code = 0000 hex,  $R_L = \infty$ .

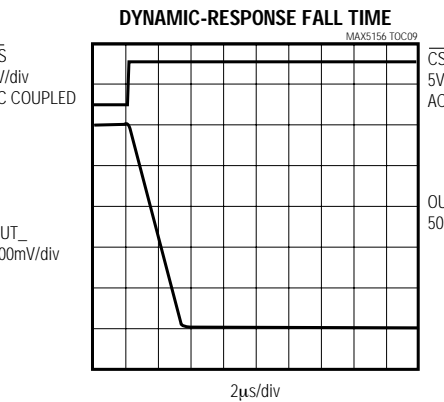
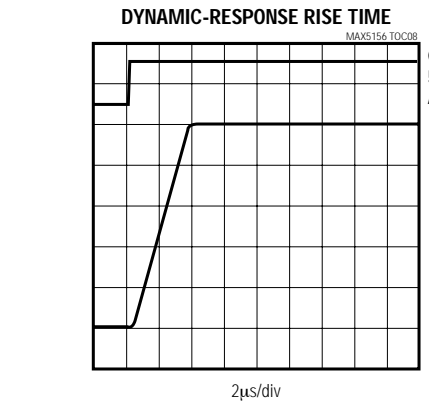
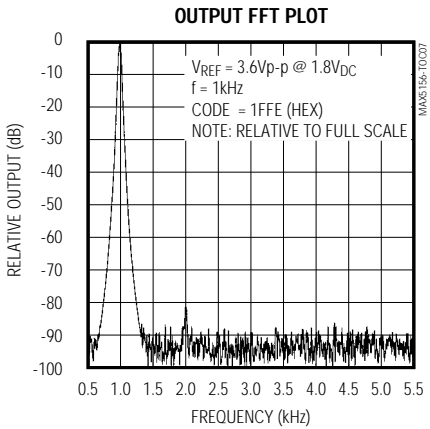
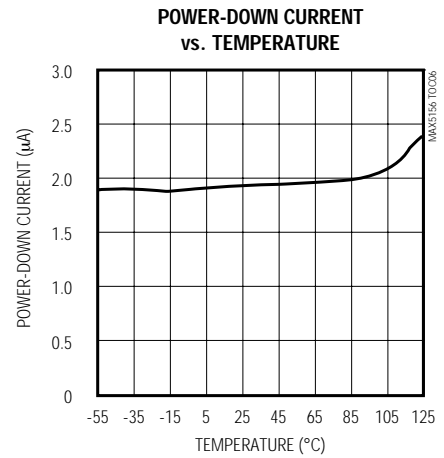
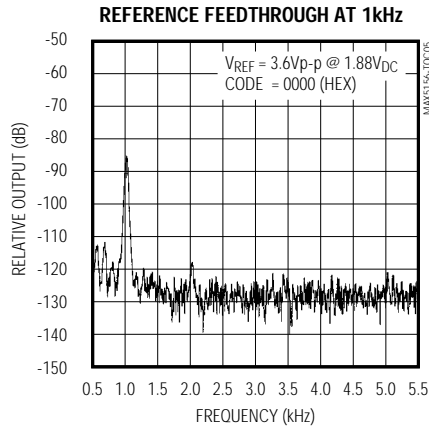
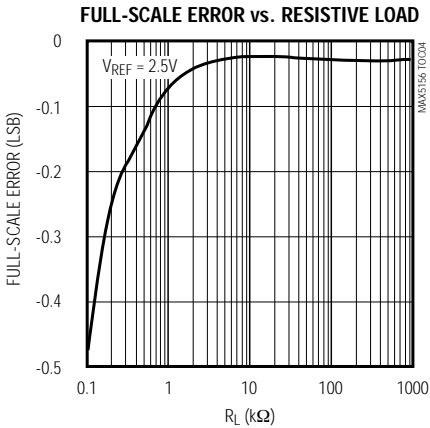
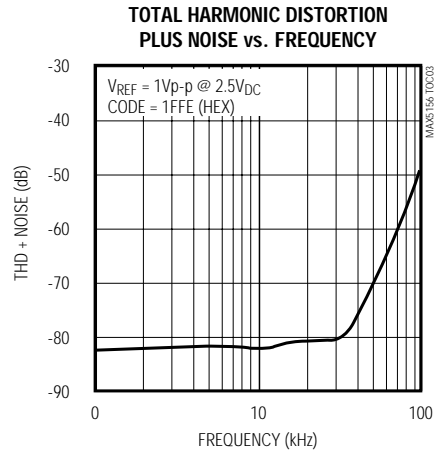
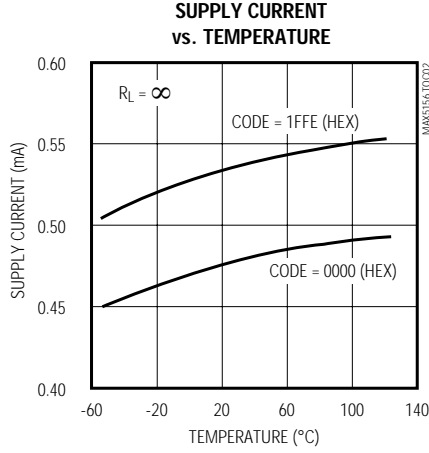
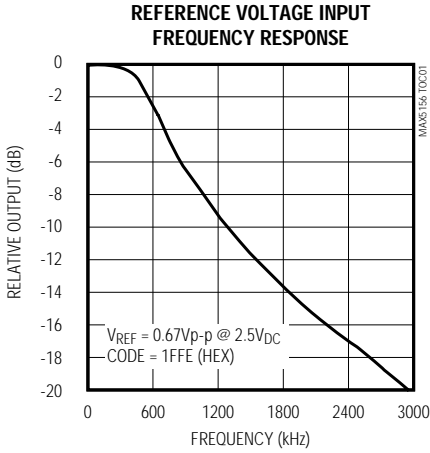
# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## 標準動作特性

( $V_{DD} = +5V$ ,  $R_L = 10k\Omega$ ,  $C_L = 100pF$ ,  $FB_+$  connected to  $OUT_+$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5156



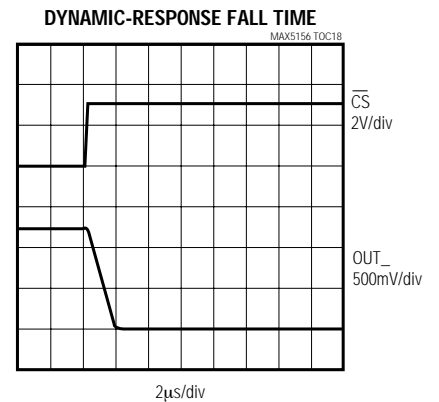
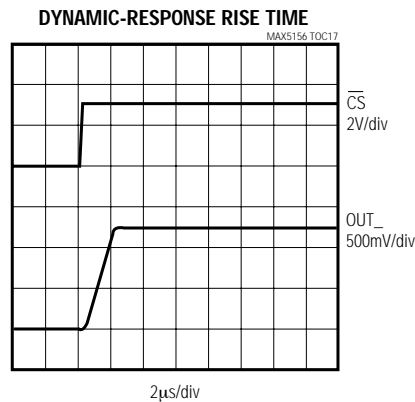
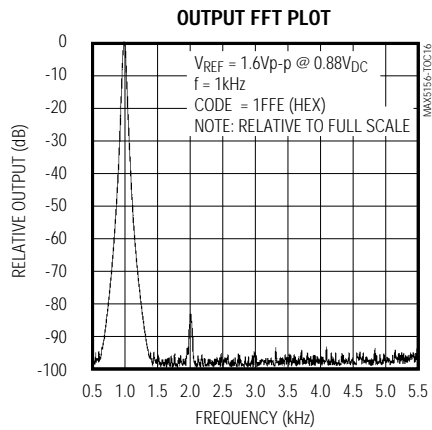
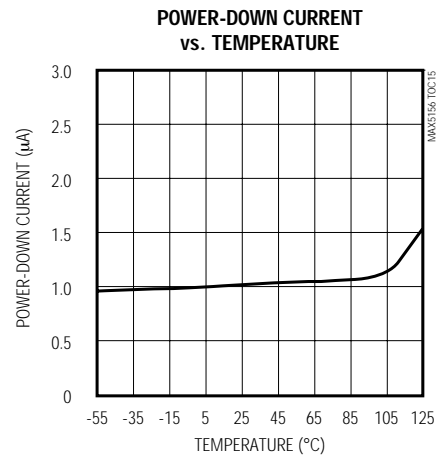
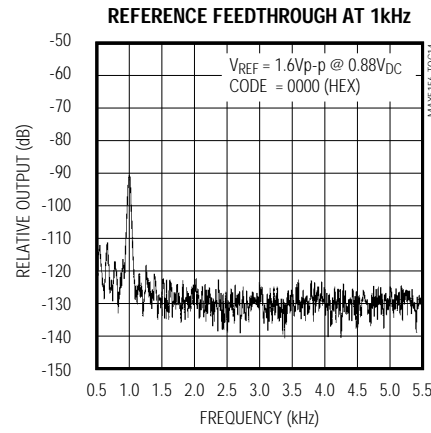
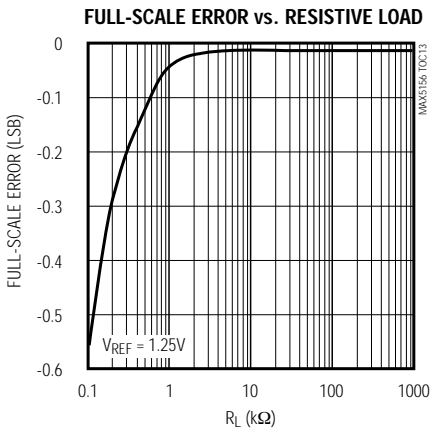
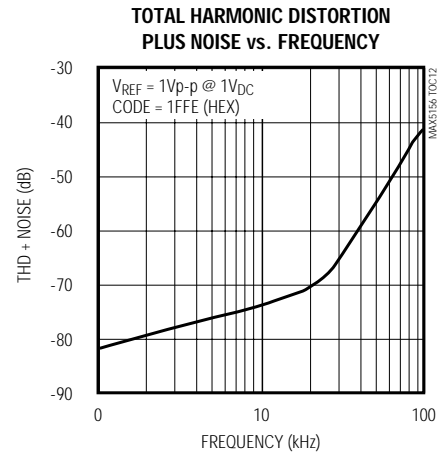
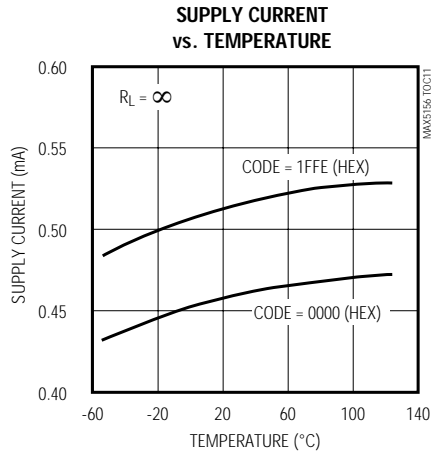
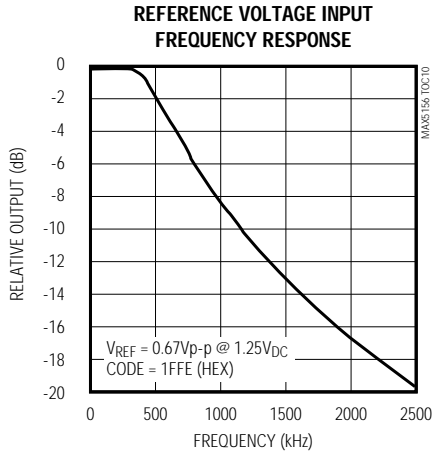
# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## 標準動作特性(続き)

( $V_{DD} = +3V$ ,  $R_L = 10k\Omega$ ,  $C_L = 100pF$ ,  $FB_+$  connected to  $OUT_-$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5157



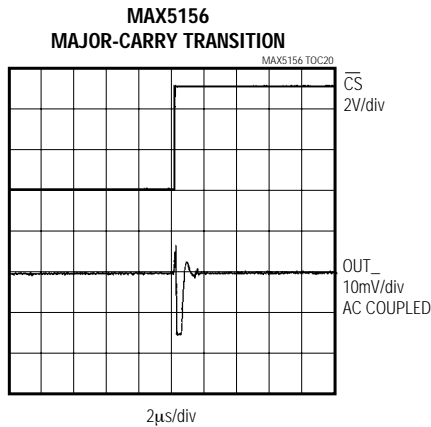
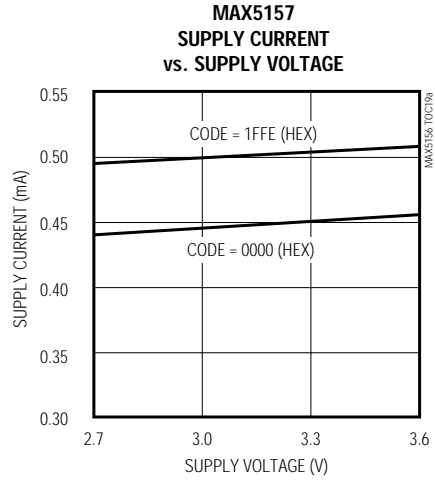
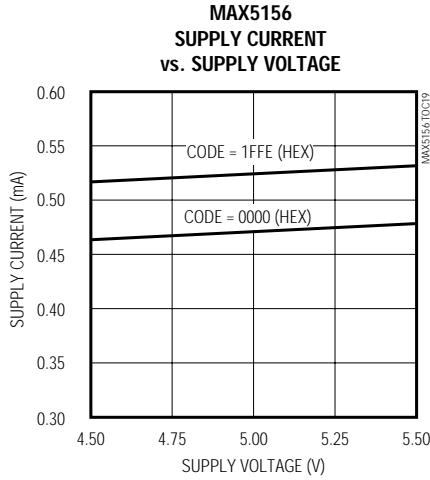
# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

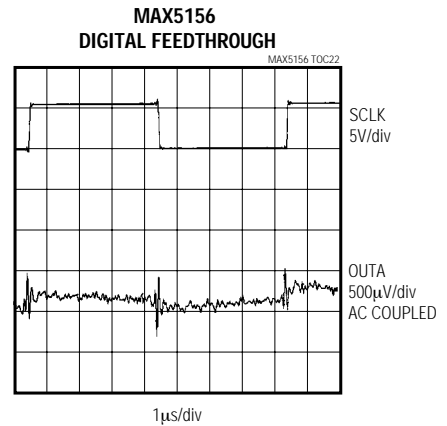
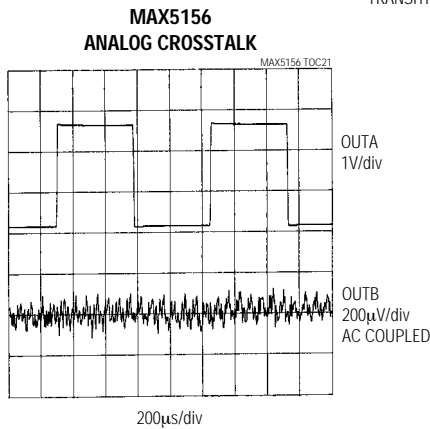
## 標準動作特性(続き)

( $V_{DD} = +5V$  (MAX5156),  $V_{DD} = +3V$  (MAX5157),  $R_L = 10k\Omega$ ,  $C_L = 100pF$ ,  $FB_-$  connected to  $OUT_-$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

### MAX5156/MAX5157



TRANSITION FROM 1000 (HEX) TO 00FE (HEX)





# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## 端子説明

端子	名称	機能
1	AGND	アナロググランド
2	OUTA	DAC A出力電圧
3	FBA	DAC A出力アンプフィードバック入力。出力アンプの反転入力。
4	REFA	DAC Aのリファレンス
5	$\overline{CL}$	アクティブロークリア入力。全レジスタをゼロにリセットします。DAC出力は0Vになります。
6	$\overline{CS}$	チップセレクト入力
7	DIN	シリアルデータ入力
8	SCLK	シリアルクロック入力
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザープログラマブル出力
12	$\overline{PDL}$	パワーダウンロックアウト。 $\overline{PDL}$ がローの時は、デバイスをパワーダウンすることはできません。
13	REFB	DAC Bのリファレンス入力
14	FBB	DAC B出力アンプフィードバック入力。出力アンプの反転入力。
15	OUTB	DAC B出力電圧
16	VDD	正電源

## 詳細

MAX5156/MAX5157デュアル、12ビット、電圧出力DACは、3線シリアルインタフェースで容易に構成できます。これらのデバイスは、16ビットデータイン/データアウトシフトレジスタを含み、各DACには入力レジスタ及びDACレジスタから構成されるダブルバッファ入力があります(「ファンクションダイアグラム」参照)。これらのDACは、入力電圧に比例した重み付け電圧を発生する反転R-2Rラダーネットワークを使用しています。各DACには専用のリファレンス入力があり、独立したフルスケール値を提供します。図1に、これらのDACの概略回路図を示します。

### リファレンス入力

リファレンス入力は、 $0V \sim (V_{DD} - 1.4V)$ の範囲のAC値及びDC値の両方を受け付けます。出力電圧は次式で計算できます：

$$V_{OUT} = V_{REF} \times NB / 4096$$

ここで、NBはDACのバイナリ入力コードの数値(0 ~ 4095)を示し、 $V_{REF}$ はリファレンス電圧を示します。

リファレンス入力インピーダンスの範囲は、14k (16進表示：1554) ~ 数ギガオーム(入力コードの16進表示：0000)です。リファレンス入力キャパシタンスはコードに依存し、通常15pF(入力コードが全部ゼロの場合)から50pF(フルスケール入力コード)の範囲になります。

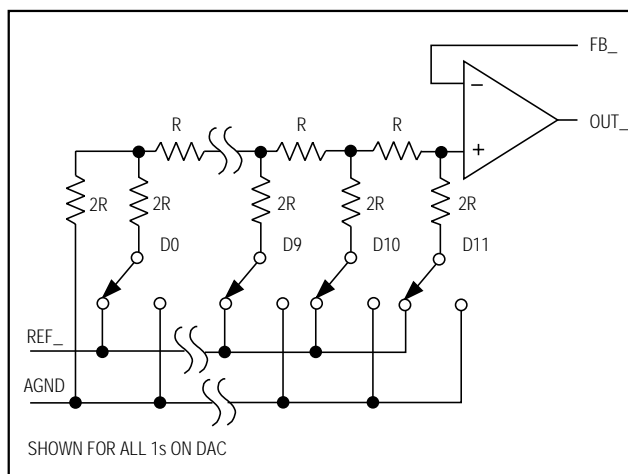


図1. ACの概略回路図

### 出力アンプ

出力アンプの反転入力はユーザが利用できるため、リモート検出や特定の利得構成でフォース及びセンス機能が達成できます。この反転入力を出力に接続すると、ユニティゲインバッファ出力を得ることができます。負荷10kΩを100pFと並列に接続した場合、出力アンプのスルーレートは $0.75V/\mu s$ (typ)で、15 $\mu s$ 以内に1/2LSBにセトリングします。2kΩ以下の負荷では性能が低下します。

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

表1. シリアルインタフェースプログラミングコマンド

16ビットシリアルワード					機能
A0	C1	C0	D11.....D0 MSB                                  LSB	S0	
0	0	1	12ビットのDACデータ	0	入力レジスタAをロード。DACレジスタは不変。
1	0	1	12ビットのDACデータ	0	入力レジスタBをロード。DACレジスタは不変。
0	1	0	12ビットのDACデータ	0	入力レジスタAをロード。全てのDACレジスタを更新。
1	1	0	12ビットのDACデータ	0	入力レジスタBをロード。全てのDACレジスタを更新。
0	1	1	12ビットのDACデータ	0	シフトレジスタから全てのDACレジスタへロード(両方のDACを新しいデータでスタートアップ)。
1	0	0	XXXXXXXXXXXX	0	両方のDACレジスタを各々の入力レジスタで更新(両方のDACを入力レジスタに既に保存されているデータでスタートアップ)。
1	1	1	XXXXXXXXXXXX	0	$\overline{\text{PDL}} = 1$ の場合に両方のDACをシャットダウン。
0	0	0	0 0 1 x XXXXXXXX	0	DACレジスタAを入力レジスタAで更新(DAC Aを入力レジスタAに既に保存されているデータでスタートアップ)。
0	0	0	1 0 1 x XXXXXXXX	0	DACレジスタBを入力レジスタBで更新(DAC Bを入力レジスタBに既に保存されているデータでスタートアップ)。
0	0	0	1 1 0 x XXXXXXXX	0	$\overline{\text{PDL}} = 1$ の場合にDAC Aをシャットダウン。
0	0	0	1 1 1 x XXXXXXXX	0	$\overline{\text{PDL}} = 1$ の場合にDAC Bをシャットダウン。
0	0	0	0 1 0 x XXXXXXXX	0	UPOがローになります(デフォルト)。
0	0	0	0 1 1 x XXXXXXXX	0	UPOがハイになります。
0	0	0	1 0 0 1 XXXXXXXX	0	モード1、DOUTはSCLKの立上がりエッジでクロック出力。
0	0	0	1 0 0 0 XXXXXXXX	0	モード0、DOUTはSCLKの立下がりエッジでクロック出力(デフォルト)。
0	0	0	0 0 0 x XXXXXXXX	0	ノーオペレーション(NOP)

X=任意

注記：A0、C1及びC0 = "0"の場合、D11、D10、D9及びD8が制御ビットになります。S0はサブビットで常にゼロです。

## パワーダウンモード

MAX5156/MAX5157は、公称消費電流を2µAに低減するソフトウェアプログラマブル シャットダウンモードを備えています。これら2つのDACは、プログラミング言語で個別又は同時にシャットダウンできます。例えば、入力制御ワード「111XXXXXXXXXXXX0」を記述すると、(両方のDACが)シャットダウンモードに入ります(表1)。シャットダウンモードにすると、リファレンス入力及びアンプ出力がハイインピーダンスになり、シリアルインタフェースはアクティブのまま維持されます。この時入力レジスタ内のデータは保存されているため、通常モードに切り替えた時には、MAX5156/MAX5157をシャットダウン直前の出力状態に戻すことができます。シャットダウンモードを終了するには、

直前の状態を復元するか、又はDACを別の情報で更新します。(シャットダウンモードを終了し)通常動作に切り替えた時は、出力を安定させるために20µs待ってください。

## シリアルインタフェース

MAX5156/MAX5157 3線シリアルインタフェースは、Microwire(図2)及びSPI/QSPI(図3)シリアルインタフェース標準とコンパチブルです。16ビットのシリアル入力ワードは、図4に示すように1ビットのアドレスビット、2ビットの制御ビット、12ビットのデータ(MSBからLSB)及び1ビットのサブビットから構成されています。MAX5156/MAX5157の応答は、表1に示すようにアドレスビット及び制御ビットで決まります。

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

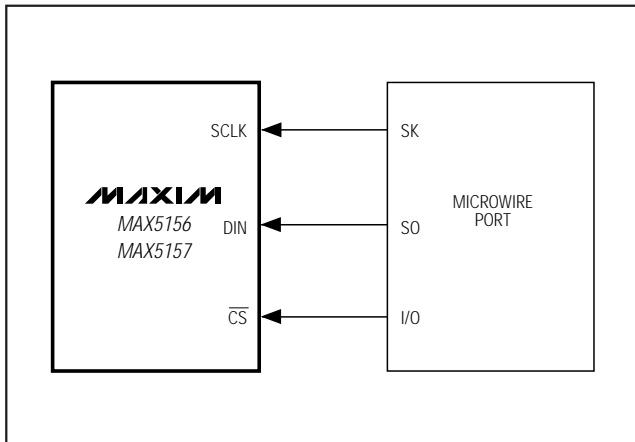


図2. Microwireの接続

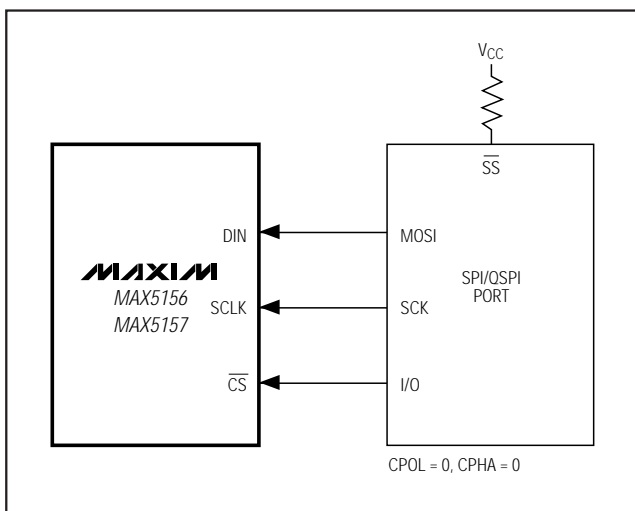


図3. SPI/QSPIの接続

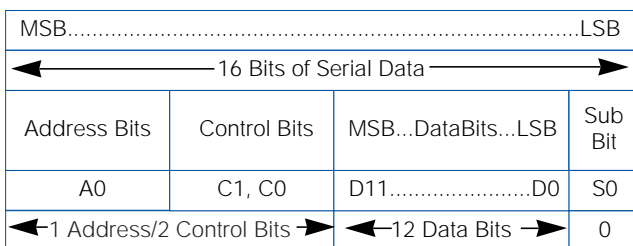


図4. シリアルデータフォーマット

MAX5156/MAX5157のデジタル入力はダブルバッファ構成になっているため、DACレジスタを更新することなく入力レジスタをロードすることも、入力レジスタからDACレジスタを更新することも、又入力レジスタとDACレジスタを同時に更新することもできます。DACは、これらのアドレスビットと制御ビットによって個別に動作させることができます。

この期間は、 $\overline{CS}$ がローの状態、16ビットデータを1つの16ビットワード(QSPI)又は2つの8ビットパケット(SPI、Microwire)として送信します。このアドレス及び制御ビットは、更新するレジスタとシャットダウンモードを終了する時のレジスタの状態を決定します。3ビットのアドレス/制御は、次の事項を決定します。

- 更新するレジスタ
- シリアルデータ出力(DOUT)を介してクロックエッジをクロックアウトするデータ(DOUT)
- ユーザプログラマブルロジック出力の状態
- シャットダウン後のデバイス構成

図5のタイミング図は、データがどのように取得されるかを示したものです。データは、 $\overline{CS}$ をローで駆動すると受信できます。これ以外の状態では、インタフェース制御回路がディセーブルされます。 $\overline{CS}$ がローの時は、DINのデータがSCLKの立上りエッジでレジスタ内にクロックされます。 $\overline{CS}$ がハイになると、アドレスビットと制御ビットに従って、入力レジスタ及び(又は)DACレジスタ内にデータがラッチされます。正しい動作を保証できる最大クロック周波数は10MHzです。図6に、シリアルインタフェースのより詳細なタイミングを示します。

### シリアルデータ出力(DOUT)

DOUTは、内部シフトレジスタの出力です。DOUTは、デバイスのデジチェーン構成やデータのリードバックを可能にします。MAX5156/MAX5157は、SCLKの立下りエッジ(モード0)又は立上りエッジ(モード1)でDOUTのデータをシフトするようにプログラムできます。モード0は16クロックサイクルの遅れを提供し、SPI/QSPI及びMicrowireインタフェースとの互換性を維持します。モード1では、出力データの遅れが15.5クロックサイクルになります。パワーアップ時はデバイスがモード0(標準設定)に設定されます。

### ユーザプログラマブルロジック出力(UPO)

UPOは、MAX5156/MAX5157のシリアルインタフェースを介した外部デバイスの制御を可能にするため(表1)、必要なマイクロコントローラI/Oピンの数が低減できます。パワーアップ時はUPOがローになります。

### パワーダウンロックアウト入力( $\overline{PDL}$ )

$\overline{PDL}$ がローの時は、ソフトウェアシャットダウンがディセーブルされます。シャットダウン時に $\overline{PDL}$ をハイからローに設定すると、シャットダウン前の出力状態でデバイスがウェイクアップされます。この $\overline{PDL}$ は、デバイスを非同期でウェイクアップするために利用することもできます。

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

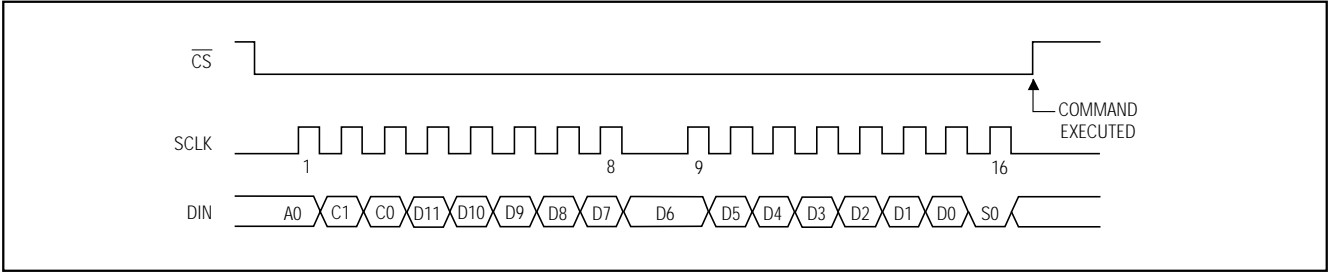


図5. シリアルインタフェースのタイミング図

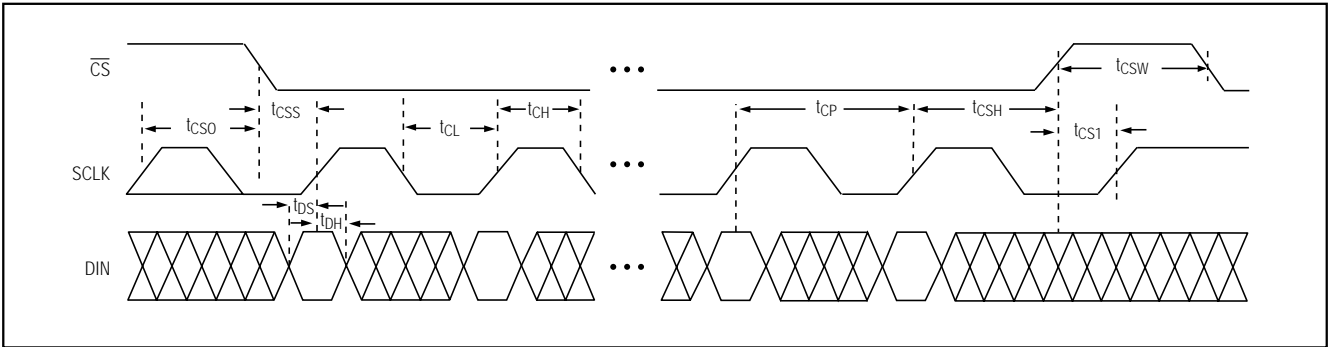


図6. 詳細なシリアルインタフェースタイミング図

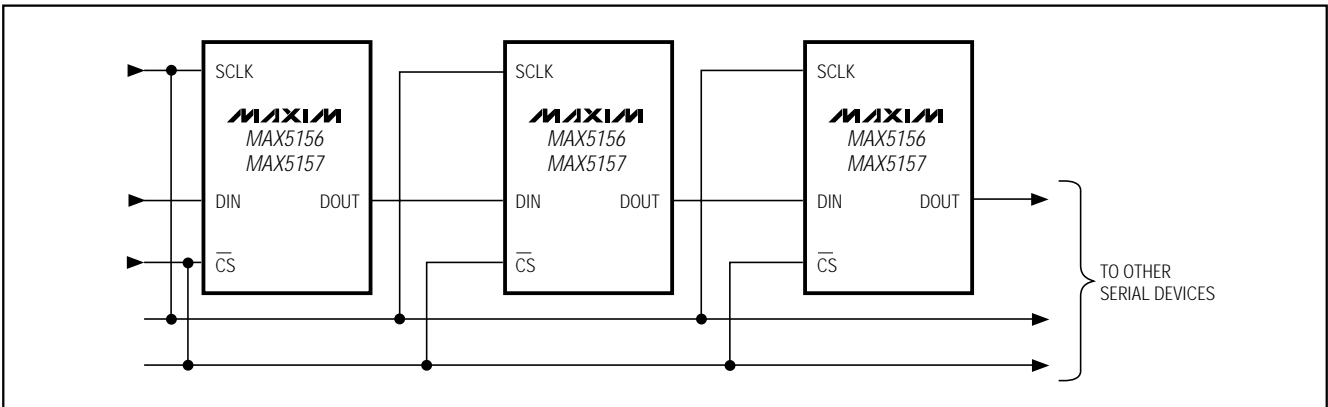


図7. MAX5156/MAX5157をデージーチェーン構成した場合

## デバイスのデージーチェーン構成

MAX5156/MAX5157のDOUTピンを別のMAX5156/MAX5157のDINピンに接続することにより、複数のMAX5156/MAX5157をデージーチェーン式に構成できます(図7)。

MAX5156/MAX5157のDOUTピンには内部アクティブプルアップが備わっているため、容量性負荷の放電/充電に掛かる時間は、DOUTシンク/ソース機能によっ

て決まります。「Electrical Characteristics」のデジタル出力 $V_{OH}$ 及び $V_{OL}$ の仕様を参照してください。

図8に、いくつかのMAX5156/MAX5157を別方法で接続した場合を示します。この構成では、全デバイスに対して共通のデータバスを使用しているため、データはデージーチェーンでシフトされません。この場合、各ICに専用のチップセレクト入力(CS)が必要のため、より多くのI/Oラインが必要になります。

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

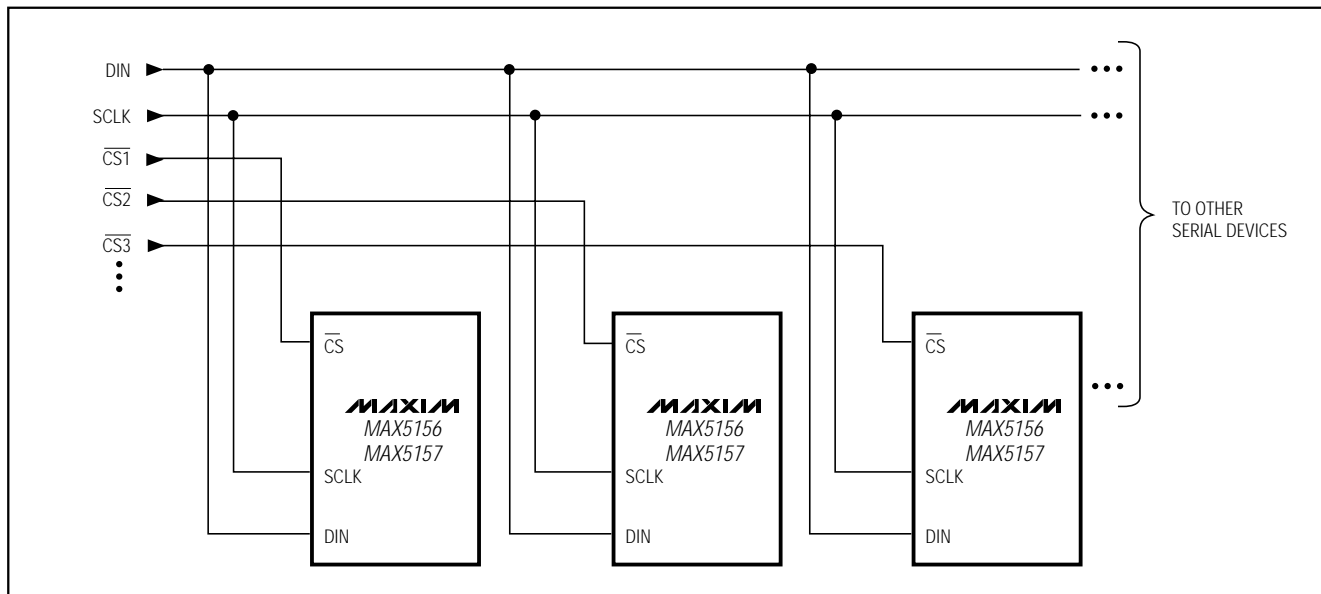


図8. 複数のMAX5156/MAX5157でDINラインを共用した場合

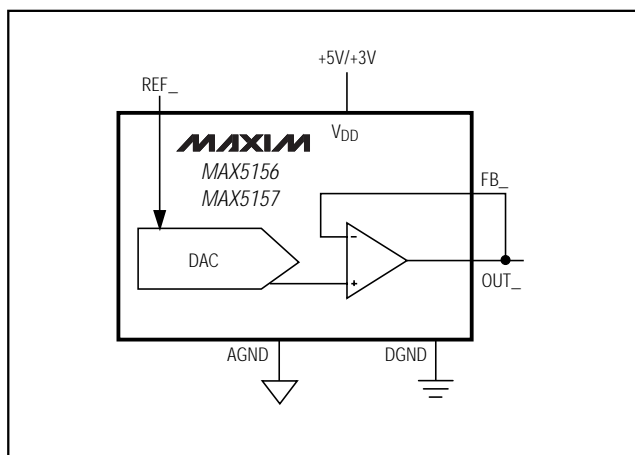


図9. ユニポーラ出力回路

表2. ユニポーラコード表(利得 = +1)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
1111	1111 1111(0)	$+V_{REF} \left( \frac{4095}{4096} \right)$
1000	0000 0001(0)	$+V_{REF} \left( \frac{2049}{4096} \right)$
1000	0000 0000(0)	$+V_{REF} \left( \frac{2048}{4096} \right) = \frac{V_{REF}}{2}$
0111	1111 1111(0)	$+V_{REF} \left( \frac{2047}{4096} \right)$
0000	0000 0001(0)	$+V_{REF} \left( \frac{1}{4096} \right)$
0000	0000 0000(0)	0V

Note: ( ) are for the sub bit.

## アプリケーション情報

### ユニポーラ出力

図9に、ユニティーゲイン、ユニポーラ動作用に構成したMAX5156/MAX5157を示します。又、表2にユニポーラ出力コードを示します。ダイナミックレンジを増大するには、図10に示すような特定の利得構成を使用することができます。

### バイポーラ出力

MAX5156/MAX5157は、図11に示すようにバイポーラ出力用として構成できます。出力電圧は次式から得られます。

$$V_{OUT} = V_{REF} \left[ \left( \frac{2 \times NB}{4096} \right) - 1 \right]$$

ここで、NBは、DACのバイナリ入力コードの数値を示します。表3に、図11の回路のデジタルコードとこれに該当する出力電圧を示します。

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

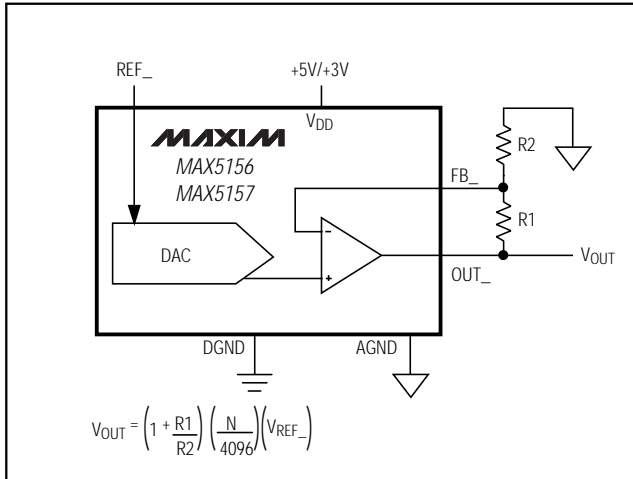


図10. 構成可能な出力利得

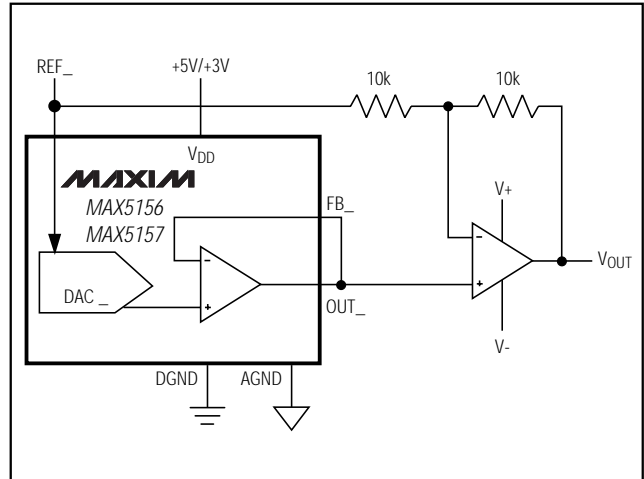


図11. バイポーラ出力回路

表3. バイポーラコード表

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	1111(0)	$+V_{REF} \left(\frac{2047}{2048}\right)$
1000	0000	0001(0)	$+V_{REF} \left(\frac{1}{2048}\right)$
1000	0000	0000(0)	0V
0111	1111	1111(0)	$-V_{REF} \left(\frac{1}{2048}\right)$
0000	0000	0001(0)	$-V_{REF} \left(\frac{2047}{2048}\right)$
0000	0000	0000(0)	$-V_{REF} \left(\frac{2048}{2098}\right) = -V_{REF}$

Note: ( ) are for the sub bit.

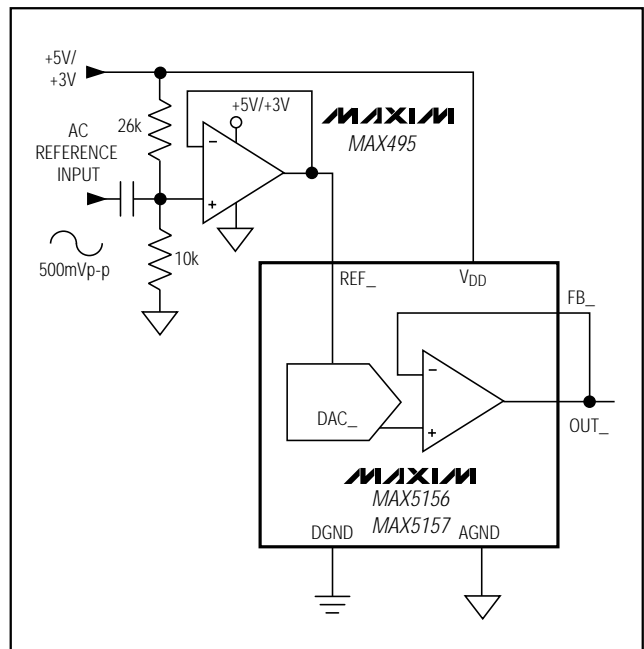


図12. ACリファレンス入力回路

## ACリファレンスの使用

リファレンスにAC信号コンポーネントが伴うアプリケーションでは、MAX5156/MAX5157がリファレンス入力電圧範囲仕様内で乗算能力があります。図12は、正弦波入力をREF\_に適用する方法を示したもので、AC信号はリファレンス入力に送られる前にオフセットされます。

## 高調波歪み及びノイズ

全高調波歪み及びノイズ(THD+N)は、5kHzの1Vp-p入力シング、フルスケールで通常-80dB以下です。-3dB周波数は、「標準動作特性」で示すように両方のデバイスとも600kHzです。

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

## デジタルキャリブレーション及び スレッシュホールド選択

図13に、デジタルキャリブレーションアプリケーションに適用したMAX5156/MAX5157を示します。光ダイオード(オン)に明るい光値を送り、コンパレータがトリップするまでDACがデジタル的にランプアップします。この“ハイ”キャリブレーション値はマイクロプロセッサに保存します。暗い光(オフ)でこのプロセスを繰り返し、暗電流キャリブレーションを行います。その後マイクロプロセッサは、出力電圧がこれら2つのキャリブレーション値の間になるように、DACをプログラムします。アプリケーションとしては、タコメータ、モーションセンサ、自動リーダ及び液体鮮度分析が挙げられます。

## 利得及びオフセットのデジタル制御

MAX5156/MAX5157の2つのDACは、トランスデューサ線形化やアナログ圧縮/拡張アプリケーションのような、カーブフィッティング非線形機能のオフセット及び利得を制御する目的に使用できます。この場合、入力信号は利得調整DACのリファレンスとして使用し、DACの出力はオフセット調整DACの出力と加算します。各DAC出力の相対重みは、R1、R2、R3及びR4で調整します(図14)。

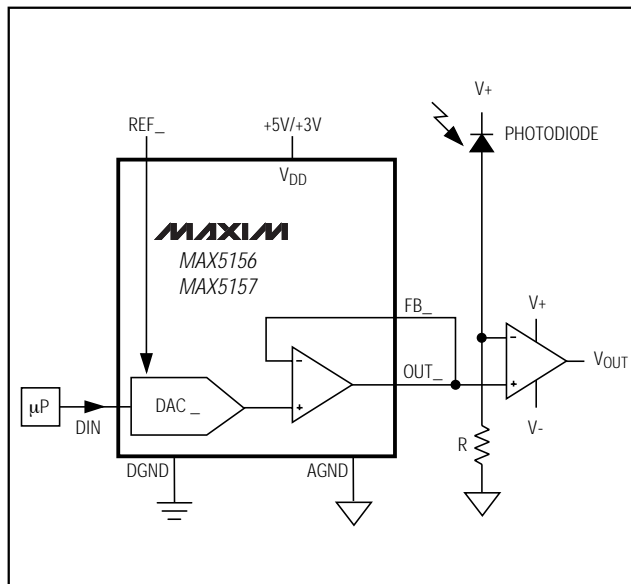


図13. デジタルキャリブレーション

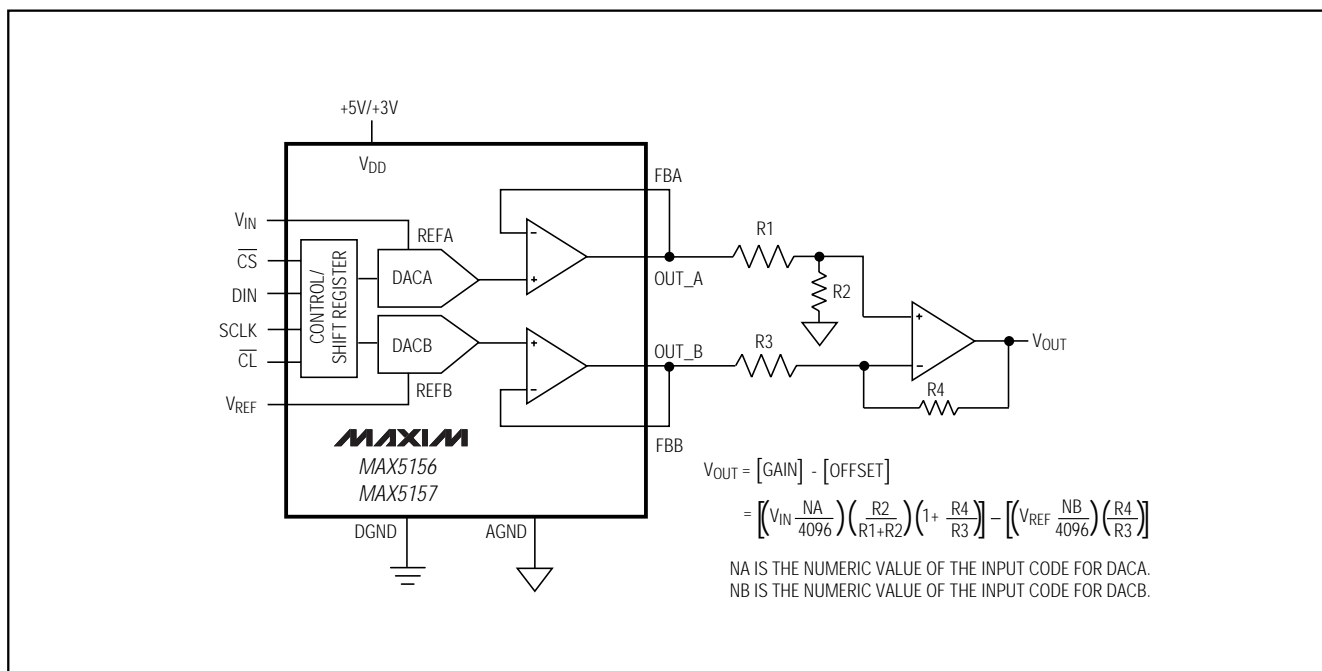


図14. 利得とオフセットのデジタル制御

# 低電力、デュアル12ビット、電圧出力DAC 出力構成設定可能

MAX5156/MAX5157

デジタルプログラマブルの電流ソース

図15は、工業制御アプリケーションで利用できるデジタルプログラマブルの単方向電流ソースです。出力電流は次のようになります。

$$I_{OUT} = (V_{REF} / R) (NB / 4096)$$

ここで、NBはDACコードを示し、Rはセンス抵抗を示します。

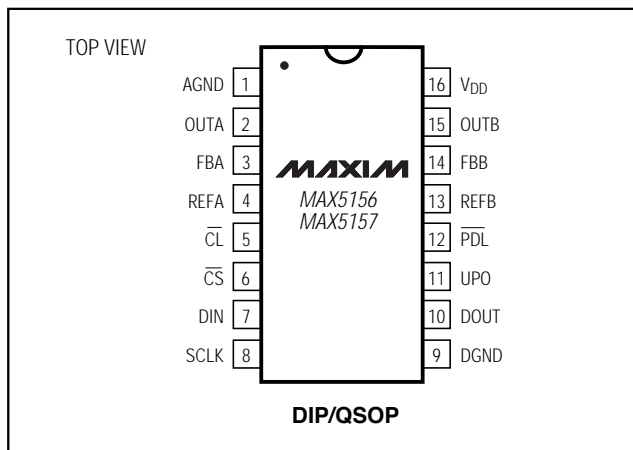
## 電源の留意点

パワーアップ時には、入力及びDACレジスタがクリア（ゼロのコードに設定）されます。定格性能では、 $V_{REF}$  が少なくとも $V_{DD}$ の1.4V以下になることが必要です。電源は、AGNDへの0.1 $\mu$ Fコンデンサと並列に接続した4.7 $\mu$ Fコンデンサでバイパスしてください。

## グランド及びレイアウトの留意点

AGNDのデジタル及びAC過渡信号は、出力段でのノイズ発生原因になります。AGNDは最高品質のグランドに接続してください。この場合、低インダクタンスグランドプレーンを持つ多層ボードなどの正しいグランド方法を使用します。チャンネル間のトレースは、ACクロスカップリングやクロストークを低減できるように配線します。ワイヤーラップ式ボードやソケットの使用は避けてください。ノイズが問題になる場合は、シールドを使用してください。

## ピン配置



## チップ情報

TRANSISTOR COUNT: 3053

SUBSTRATE CONNECTED TO AGND

# マキシム・ジャパン株式会社

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1997 Maxim Integrated Products

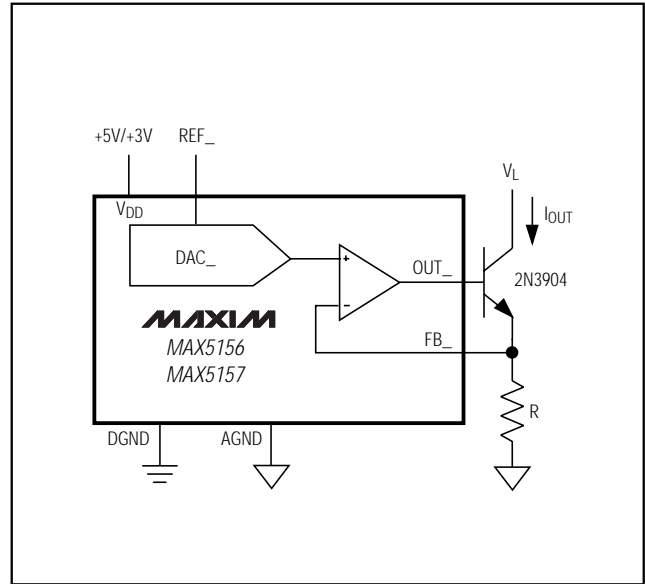


図15. デジタルプログラマブルの電流ソース

## 型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5156AEPE	-40°C to +85°C	16 Plastic DIP	±1/2
MAX5156BEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX5156AEEE	-40°C to +85°C	16 QSOP	±1/2
MAX5156BEEE	-40°C to +85°C	16 QSOP	±1
MAX5156BMJE	-55°C to +125°C	16 CERDIP*	±1
<b>MAX5157ACPE</b>	0°C to +70°C	16 Plastic DIP	±1
MAX5157BCPE	0°C to +70°C	16 Plastic DIP	±2
MAX5157ACEE	0°C to +70°C	16 QSOP	±1
MAX5157BCEE	0°C to +70°C	16 QSOP	±2
MAX5157AEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX5157BEPE	-40°C to +85°C	16 Plastic DIP	±2
MAX5157AEEE	-40°C to +85°C	16 QSOP	±1
MAX5157BEEE	-40°C to +85°C	16 QSOP	±2
MAX5157BMJE	-55°C to +125°C	16 CERDIP*	±2

\*Contact factory for availability.

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

MAXIM is a registered trademark of Maxim Integrated Products.