

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

概要

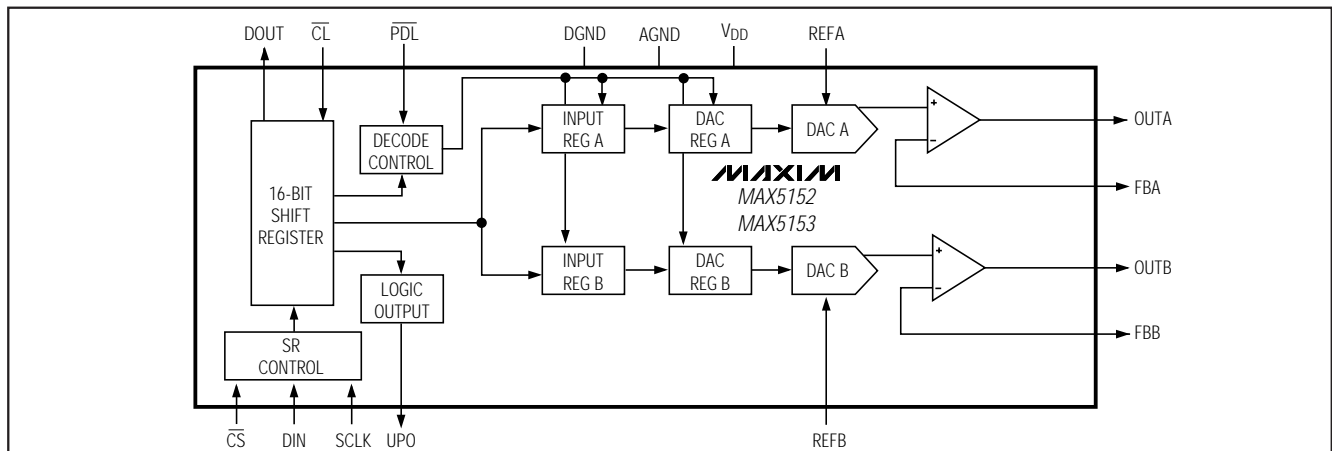
MAX5152/MAX5153は、低電力、シリアル、電圧出力、デュアル、13ビットデジタルアナログコンバータ(DAC)です。+5V(MAX5152)又は+3V(MAX5153)の単一電源動作で、消費電流は僅か500 μ Aとなっています。これらのデバイスは、レイルトゥレイル®の出力スイングを特長とし、省スペースの16ピンQSOP及びDIPパッケージで提供されています。反転入力の使用により、特定の利得設定、リモートセンシング及び大出力駆動能力の実現できるため、工業用プロセス制御アプリケーションに最適です。また、デジタル設定の(4~20mA)電流ループにも適しています。

3線シリアルインタフェースは、SPI™/QSPI™及びMicrowire™とコンパチブルです。各DACは、入力レジスタにDACレジスタが続く構成のダブルバッファ付入力を備えています。このため、入力及びDACレジスタはそれぞれ独立に、あるいは同時に更新できます。その他の特長としては、プログラマブルシャットダウン(2 μ A)、ハードウェアシャットダウンロックアウト、DACごとに独立した電圧リファレンス、パワーオンリセット及び全てのレジスタとDACをゼロにリセットするアクティブローのクリア入力(\overline{CL})等が挙げられます。MAX5152/MAX5153は、機能性を増すプログラマブルロジック出力及びデジタイズチェーン接続用のシリアルデータ出力を備えています。

アプリケーション

工業用プロセス制御	モーション制御
デジタルオフセット 及び利得調節	デジタル設定の 4~20mA電流ループ
遠隔工業用制御	自動テスト機器(ATE)

ファンクションダイアグラム



レイルトゥレイルは日本モトローラの登録商標です。SPI及びQSPIはMotorola Inc.の商標です。MicrowireはNational Semiconductor Corp.の商標です。

特長

- ◆ 設定可能な出力アンプ付13ビットデュアルDAC
- ◆ 単一電源動作：+5V(MAX5152)
+3V(MAX5153)
- ◆ レイルトゥレイル出力スイング
- ◆ 低自己消費電流：500 μ A(通常動作時)
2 μ A(シャットダウンモード時)
- ◆ パワーオンリセットによりDAC出力をゼロにクリア
- ◆ SPI/QSPI及びMicrowireコンパチブル
- ◆ パッケージ：省スペースの16ピンQSOP
- ◆ ピンコンパチブルの12ビットバージョン：
MAX5156/MAX5157

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5152ACPE	0°C to +70°C	16 Plastic DIP	$\pm 1/2$
MAX5152BCPE	0°C to +70°C	16 Plastic DIP	± 1
MAX5152ACEE	0°C to +70°C	16 QSOP	$\pm 1/2$
MAX5152BCEE	0°C to +70°C	16 QSOP	± 1
MAX5152BC/D	0°C to +70°C	Dice*	± 1

型番の続きはデータシートの最後に記載されています。

*Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

ピン配置はデータシートの最後に記載されています。

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND.....	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
V _{DD} to DGND	-0.3V to +6V	Plastic DIP (derate 10.5mW/°C above +70°C)	593mW
AGND to DGND.....	±0.3V	QSOP (derate 8.30mW/°C above +70°C)	667mW
FBA, FBB to AGND.....	-0.3V to (V _{DD} + 0.3V)	CERDIP (derate 10.00mW/°C above +70°C)	800mW
REF ₋ , OUT ₋ to AGND.....	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Ranges	
Digital Inputs (SCLK, DIN, \overline{CS} , \overline{CL} , PDL)		MAX5152_C_E/MAX5153_C_E	0°C to +70°C
to DGND	-0.3V to +6V	MAX5152_E_E/MAX5153_E_E.....	-40°C to +85°C
Digital Outputs (DOUT, UPO) to DGND	-0.3V to (V _{DD} + 0.3V)	MAX5152_MJE/MAX5153_MJE	-55°C to +125°C
Maximum Current into Any Pin	±20mA	Storage Temperature Range	-65°C to +150°C
		Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5152

(V_{DD} = +5V ±10%, V_{REFA} = V_{REFB} = 2.5V, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C, output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		13			Bits
Integral Nonlinearity	INL	(Note 1)	MAX5152A		±1/2	LSB
			MAX5152B		±1	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Offset Error	V _{OS}	Code = 20			±6	mV
Offset Tempco	TCV _{OS}	Normalized to 2.5V		3		ppm/°C
Gain Error				-0.5	±6	LSB
Gain-Error Tempco		Normalized to 2.5V		3		ppm/°C
V _{DD} Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		20	200	μV/V
REFERENCE INPUT						
Reference Input Range	REF		0		V _{DD} - 1.4	V
Reference Input Resistance	R _{REF}	Minimum with code 1555 hex	14	20		kΩ
MULTIPLYING-MODE PERFORMANCE						
Reference 3dB Bandwidth		Input code = 1FFF hex, V _{REF} = 0.67Vp-p at 2.5V _{DC}		600		kHz
Reference Feedthrough		Input code = 0000 hex, V _{REF} = (V _{DD} - 1.4Vp-p) at 1kHz		-85		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 1FFF hex, V _{REF} = 1Vp-p at 2.5V _{DC} , f = 25kHz		82		dB
DIGITAL INPUTS						
Input High Voltage	V _{IH}	\overline{CL} , PDL, \overline{CS} , DIN, SCLK	3.0			V
Input Low Voltage	V _{IL}	\overline{CL} , PDL, \overline{CS} , DIN, SCLK			0.8	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	V _{IN} = 0V to V _{DD}		0.001	±1	μA
Input Capacitance	C _{IN}			8		pF

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

ELECTRICAL CHARACTERISTICS—MAX5152 (continued)

($V_{DD} = +5V \pm 10\%$, $V_{REFA} = V_{REFB} = 2.5V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS (DOUT, UPO)						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.40	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.75		V/ μs
Output Settling Time		To 1/2LSB of full-scale, $V_{STEP} = 2.5V$		20		μs
Output Voltage Swing		Rail-to-rail (Note 2)		0 to V_{DD}		V
Current into FBA or FBB	$I_{FB_}$			0	± 0.1	μA
Time Required to Exit Shutdown				25		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{DIN} = 100kHz$, $V_{SCLK} = 5Vp-p$		5		nV-s
Digital Crosstalk				5		nV-s
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current	I_{DD}	(Note 3)		0.5	0.65	mA
Power-Supply Current in Shutdown	$I_{DD}(SHDN)$	(Note 3)		2	10	μA
Reference Current in Shutdown					± 1	μA
TIMING CHARACTERISTICS						
SCLK Clock Period	t_{CP}	(Note 4)	100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CHS}		0			ns
DIN Setup Time	t_{DS}		40			ns
DIN Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{DO1}	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{DO2}	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

Note 1: Accuracy is specified from code 20 to code 8191.

Note 2: Accuracy is better than 1LSB for V_{OUT} greater than 6mV and less than $V_{DD} - 50mV$. Guaranteed by PSRR test at the end points.

Note 3: Digital inputs are set to either V_{DD} or DGND, code = 0000 hex, $R_L = \infty$.

Note 4: SCLK minimum clock period includes rise and fall times.

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

ELECTRICAL CHARACTERISTICS—MAX5153

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REFA} = V_{REFB} = 1.25V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		13			Bits
Integral Nonlinearity	INL	(Note 5)	MAX5153A		± 1	LSB
			MAX5153B		± 2	
Differential Nonlinearity	DNL	Guaranteed monotonic			± 1	LSB
Offset Error	V_{OS}	Code = 40			± 6	mV
Offset Tempco	TCVos	Normalized to 1.25V		6		ppm/ $^\circ C$
Gain Error				-0.5	± 8	LSB
Gain-Error Tempco		Normalized to 1.25V		6		ppm/ $^\circ C$
V_{DD} Power-Supply Rejection Ratio	PSRR	$2.7V \leq V_{DD} \leq 3.6V$		20	320	$\mu V/V$
REFERENCE INPUT (V_{REF})						
Reference Input Range	REF		0		$V_{DD} - 1.4$	V
Reference Input Resistance	R_{REF}	Minimum with code 1555 hex	14			$k\Omega$
MULTIPLYING-MODE PERFORMANCE						
Reference 3dB Bandwidth		Input code = 1FFF hex, $V_{REF(AC)} = 0.67V_{p-p}$ at 1.25VDC		600		kHz
Reference Feedthrough		Input code = 0000 hex, $V_{REF} = (V_{DD} - 1.4V)$ at 1kHz		-92		dB
Signal-to-Noise plus Distortion Ratio	SINAD	Input code = 1FFF hex, $V_{REF} = 1V_{p-p}$ at 1.25VDC, $f = 15kHz$		73		dB
DIGITAL INPUTS						
Input High Voltage	V_{IH}	\overline{CL} , \overline{PDL} , \overline{CS} , DIN, SCLK	2.2			V
Input Low Voltage	V_{IL}	\overline{CL} , \overline{PDL} , \overline{CS} , DIN, SCLK			0.8	V
Input Hysteresis	V_{HYS}			200		mV
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ to V_{DD}		0	± 0.1	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUTS ($DOUT$, UPO)						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.4	V

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

ELECTRICAL CHARACTERISTICS—MAX5153 (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REFA} = V_{REFB} = 1.25V$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.75		V/ μs
Output Settling Time		To 1/2LSB of full-scale, $V_{STEP} = 1.25V$		25		μs
Output Voltage Swing		Rail-to-rail (Note 6)		0 to V_{DD}		V
Current into FBA or FBB	$I_{FB_}$			0	± 0.1	μA
Time Required to Exit Shutdown				25		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{DIN} = 100kHz$, $V_{SCLK} = 3Vp-p$		5		nV-s
Digital Crosstalk				5		nV-s
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		2.7		3.6	V
Power-Supply Current	I_{DD}	(Note 7)		0.5	0.6	mA
Power-Supply Current in Shutdown	$I_{DD}(SHDN)$	(Note 7)		1	8	μA
Reference Current in Shutdown					± 1	μA
TIMING CHARACTERISTICS						
SCLK Clock Period	t_{CP}	(Note 4)	100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CHS}		0			ns
DIN Setup Time	t_{DS}		50			ns
DIN Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay	t_{DO1}	$C_{LOAD} = 200pF$			120	ns
SCLK Fall to DOUT Valid Propagation Delay	t_{DO2}	$C_{LOAD} = 200pF$			120	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

Note 4: SCLK minimum clock period includes rise and fall times.

Note 5: Accuracy is specified from code 40 to code 8191.

Note 6: Accuracy is better than 1LSB for V_{OUT} greater than 6mV and less than $V_{DD} - 100mV$. Guaranteed by PSRR test at the end points.

Note 7: Digital inputs are set to either V_{DD} or DGND, code = 0000 hex, $R_L = \infty$.

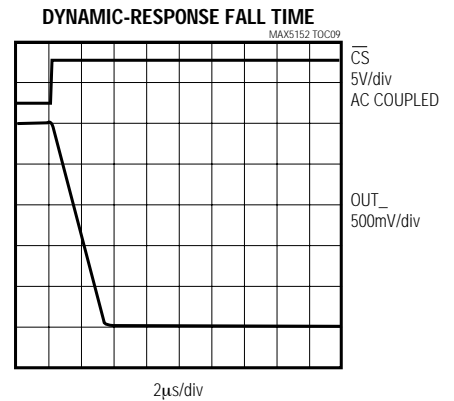
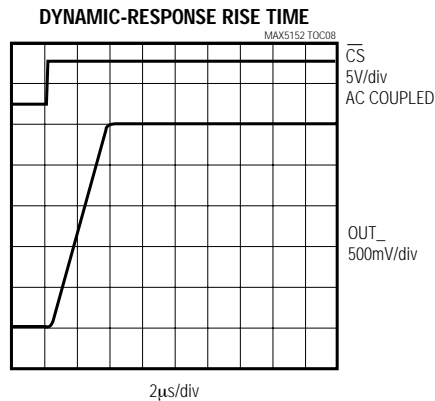
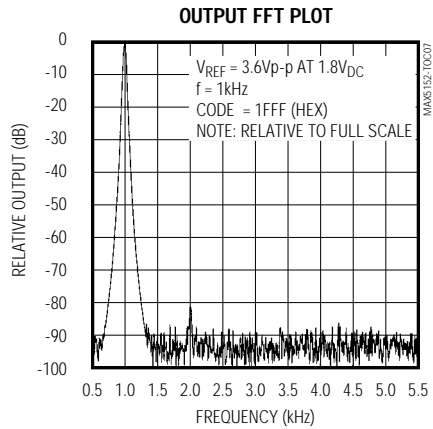
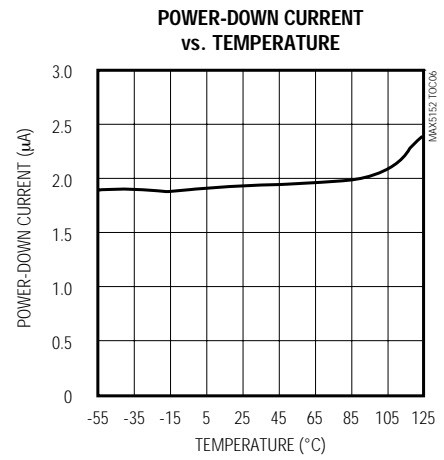
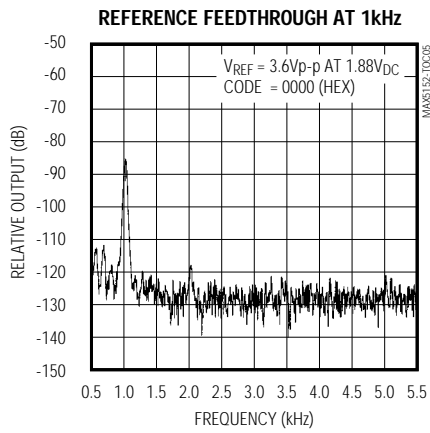
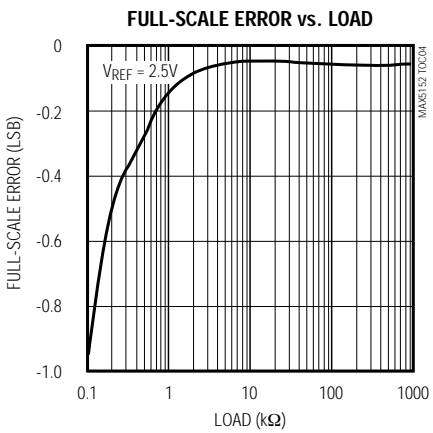
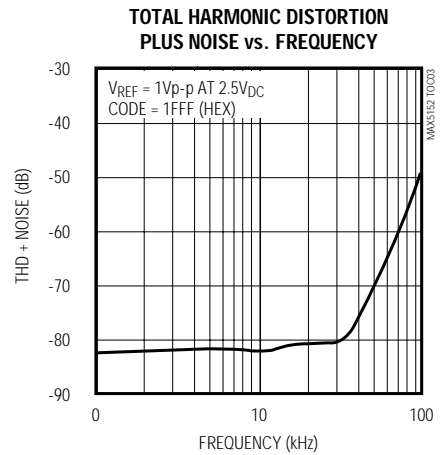
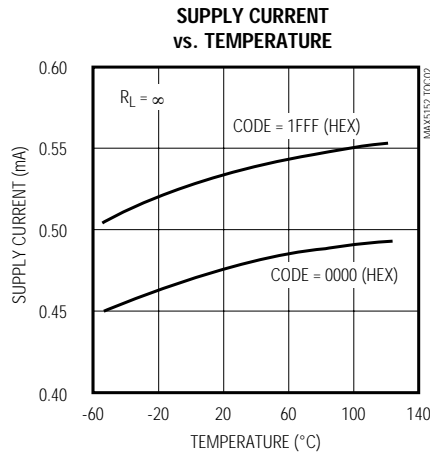
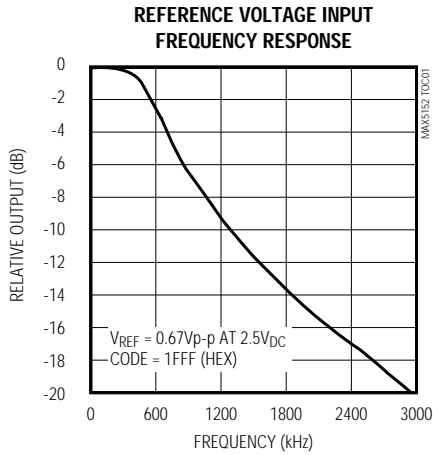
低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

標準動作特性

($V_{DD} = +5V$, $R_L = 10k\Omega$, $C_L = 100pF$, FB_- tied to OUT_- , $T_A = +25^\circ C$, unless otherwise noted.)

MAX5152



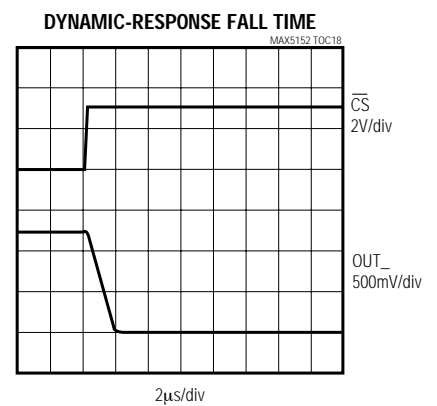
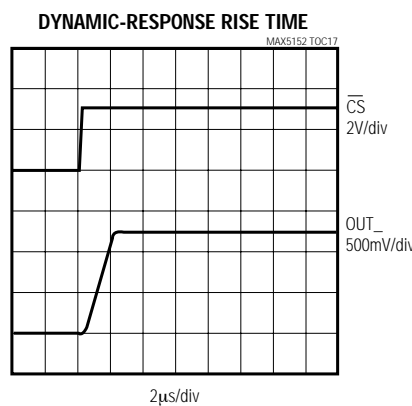
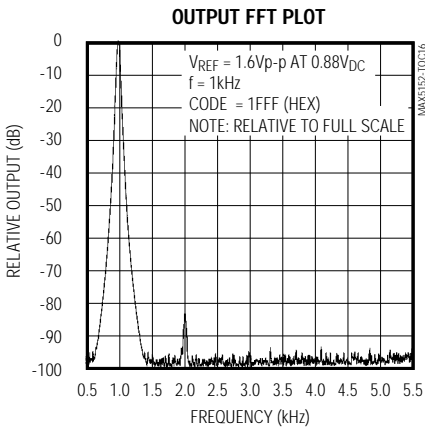
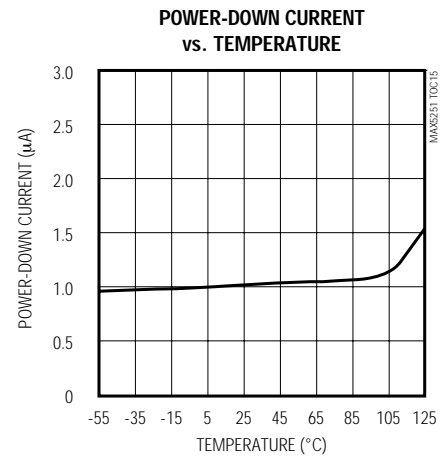
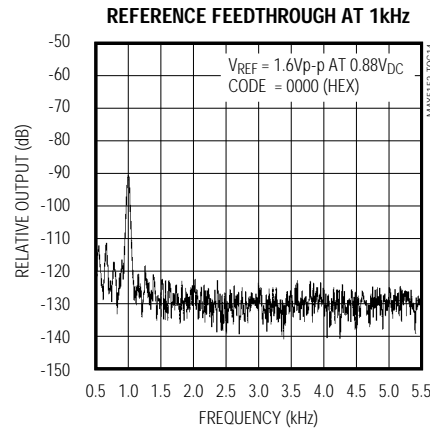
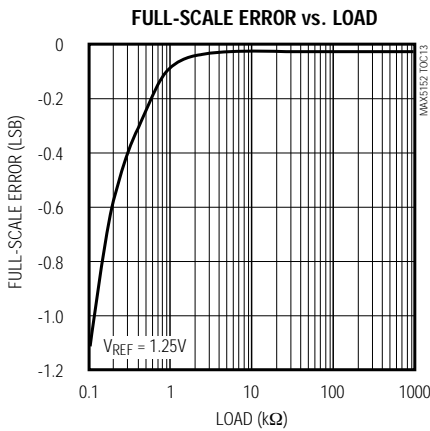
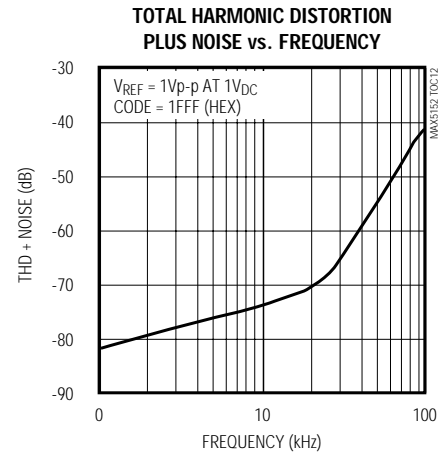
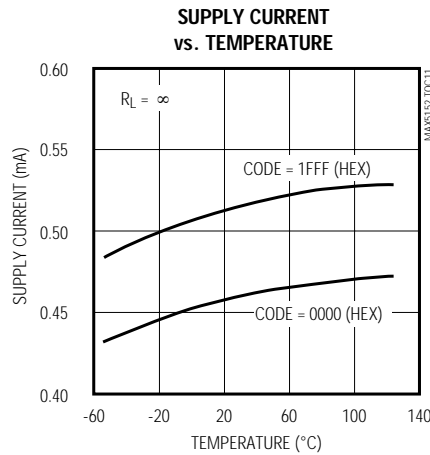
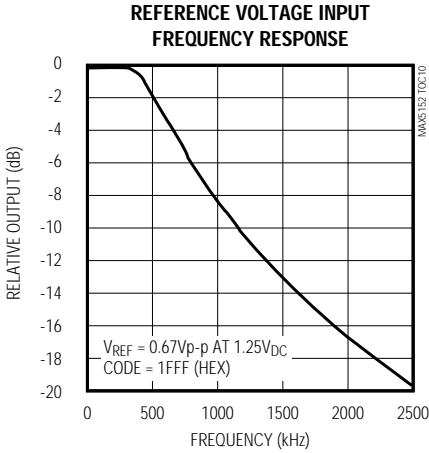
低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

標準動作特性(続き)

($V_{DD} = +3V$, $R_L = 10k\Omega$, $C_L = 100pF$, FB_- tied to OUT_- , $T_A = +25^\circ C$, unless otherwise noted.)

MAX5152/MAX5153

MAX5153



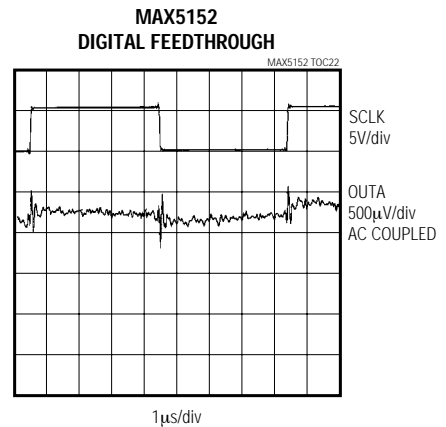
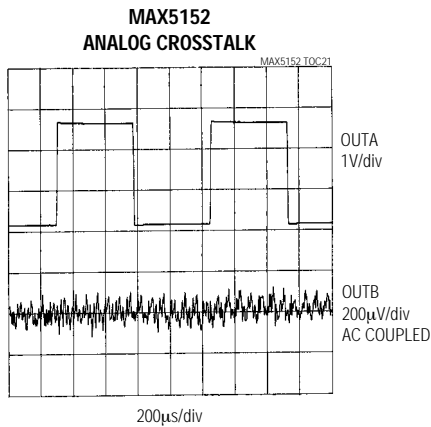
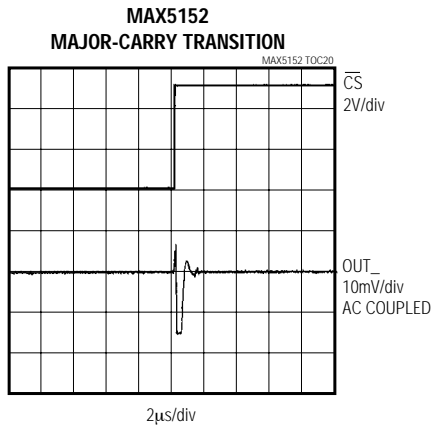
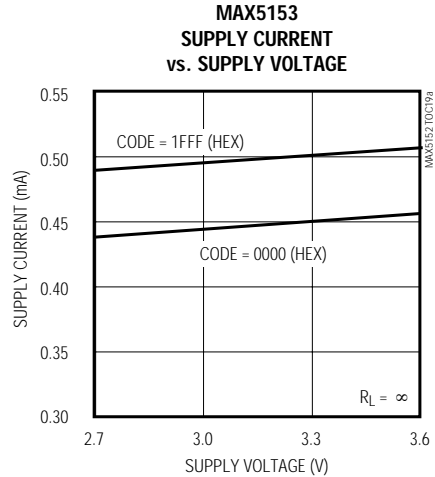
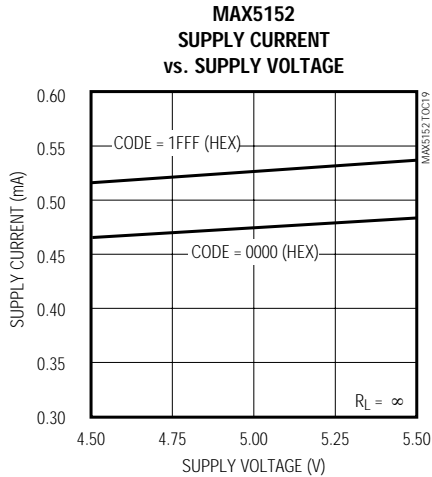
低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

標準動作特性(続き)

($V_{DD} = +5V$ (MAX5152), $V_{DD} = +3V$ (MAX5153), $R_L = 10k\Omega$, $C_L = 100pF$, FB_- tied to OUT_- , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

MAX5152/MAX5153



低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

端子説明

端子	名称	機能
1	AGND	アナロググランド
2	OUTA	DAC A出力電圧
3	FBA	DAC A出力アンプフィードバック入力。出力アンプの反転入力。
4	REFA	DAC Aのリファレンス
5	\overline{CL}	アクティブロークリア入力。全てのレジスタをゼロにリセット。DAC出力は0V。
6	\overline{CS}	チップセレクト入力
7	DIN	シリアルデータ入力
8	SCLK	シリアルクロック入力
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザプログラマブル出力
12	\overline{PDL}	パワーダウンロックアウト。 \overline{PDL} がローの時は、デバイスをパワーダウンできません。
13	REFB	DAC Bのリファレンス入力。
14	FBB	DAC B出力アンプフィードバック入力。出力アンプの反転入力。
15	OUTB	DAC B出力電圧
16	VDD	正電源

詳細

MAX5152/MAX5153デュアル13ビット電圧出力DACは、シンプルな3線シリアルインタフェースで簡単に設定できます。これらのデバイスは、16ビットデータイン/データアウトシフトレジスタを備え、各DACは入力レジスタとDACレジスタからなるダブルバッファ付入力を備えています(ファンクションダイアグラムを参照)。DACには、印加されたリファレンス電圧入力に比例する等価アナログ出力電圧を生成する反転R-2Rラダーネットワークが使用されています。各DACがそれぞれ自体のリファレンス入力を持っているため、フルスケール値を独立に設定しやすくなっています。図1に、2つのDACの内の1つの概略回路図を示します。

リファレンス入力

リファレンス入力は0V ~ ($V_{DD} - 1.4V$)のDC及びAC値を受け入れます。次式で出力電圧を求めます。

$$V_{OUT} = V_{REF} \times NB/8192$$

ここで、NBはDACのバイナリ入力コードの数値(0 ~ 8191)です。 V_{REF} は、リファレンス電圧です。

リファレンス入力インピーダンスは、14k (1555hex)から数G (入力コード0000hex)の範囲となっています。リファレンス入力容量はコードに依存し、その範囲は入力コードが全て0の時に15pF(typ)、入力コードが全て1の時に50pFです。

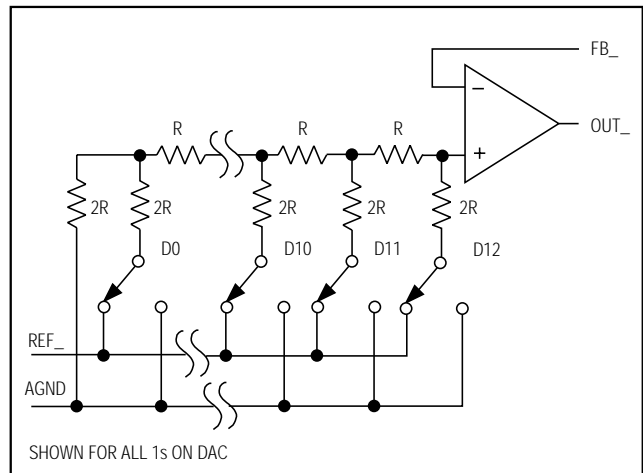


図1. DACの概略回路図

出力アンプ

ユーザは、出力アンプの反転入力にアクセスできるため、特定の利得に設定したり、リモートセンシング用のフォース及びセンス機能を実現できます。反転入力を出力に接続することにより、ユニティゲインバッファ出力力が得られます。出力アンプのスルーレートは0.75V/ μ s(typ)で、1/2LSBへの標準セトリング時間は、負荷が10k と100pFの並列の時に25 μ sです。負荷が2k 以下になると性能が劣化します。

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

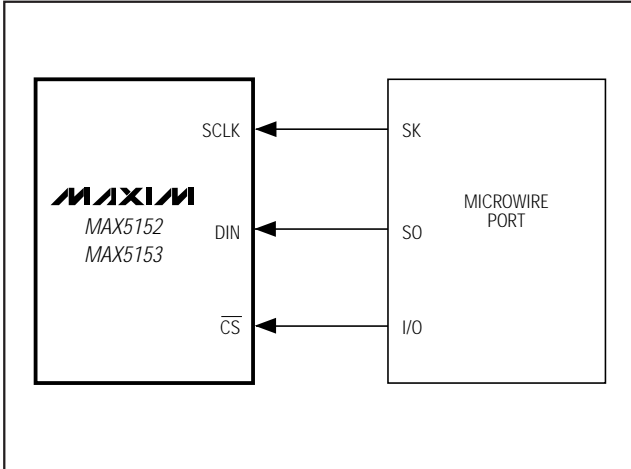


図2. Microwire用の接続

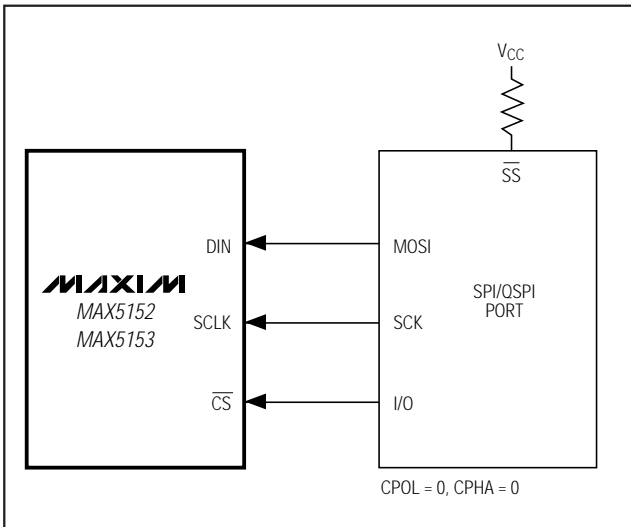


図3. SPI/QSPI用の接続

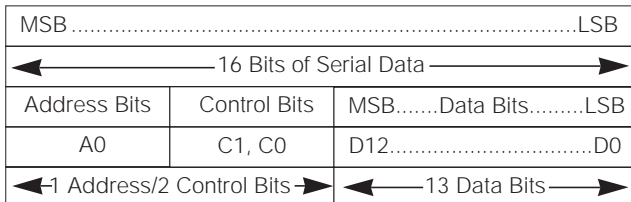


図4. シリアルデータフォーマット

ダウンを解除した時のレジスタの状態が決まります。3ビットアドレス/制御で下記の事項が決まります。

- 更新すべきレジスタ
- どのクロックエッジでデータがシリアルデータ出力 (DOUT)からクロック出力されるか
- ユーザプログラマブルロジック出力の状態
- シャットダウンモードから復帰した時のデバイスの構成設定

図5の一般タイミング図に、データの取り込み方が示されています。 \overline{CS} をローにすると、デバイスはデータを受け入れられるようになります。 \overline{CS} がローでない場合は、インタフェース制御回路がディセーブルされます。 \overline{CS} がローの時、DINのデータがSCLKの立上がりエッジでレジスタにクロック入力されます。 \overline{CS} がハイになると、アドレスビット及び制御ビットに従ってデータは入力レジスタ及び/又はDACレジスタにラッチされます。動作可能な最大保証クロック周波数は、10MHzです。図6に、シリアルインタフェースのタイミングの詳細を示します。

シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。これにより、デジチェーン接続及びデータの読み戻しが可能です。MAX5152/MAX5153は、データをDOUTからクロックアウトするタイミングをSCLKの立上がりエッジ(モード1)にするか立下がりエッジ(モード0)にするかをプログラムできます。モード0は遅れが16クロックサイクルであるため、SPI/QSPI及びMicrowireシリアルインタフェースとのコンパチビリティが保持されます。モード1では、遅れが15.5クロックサイクルになります。パワーアップ時のDOUTは、デフォルトでモード0のタイミングになります。

ユーザプログラマブルロジック出力(UPO)

ユーザプログラマブルロジック出力(UPO)を使用すると、MAX5152/MAX5153のシリアルインタフェースを通じて外部デバイスを制御できます(表1)。これにより、必要なマイクロコントローラI/Oピンの数を減らすことができます。パワーアップ時にはUPOはローです。

パワーダウンロックアウト入力(PDL)

\overline{PDL} がローの時は、ソフトウェアシャットダウンがディセーブルされます。シャットダウン中に \overline{PDL} がハイからローに遷移すると、デバイスはウェイクアップし、シャットダウン前の出力状態になります。 \overline{PDL} は、非同期でデバイスをウェイクアップするためにも使用できます。

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

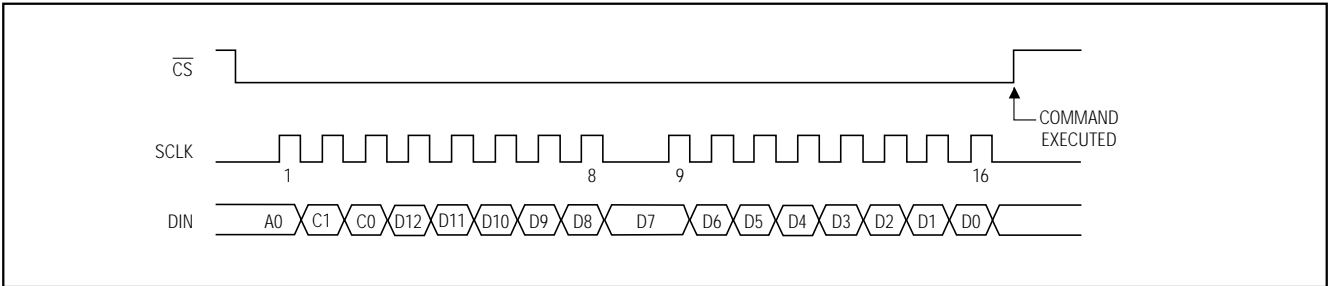


図5. シリアルインタフェースタイミング図

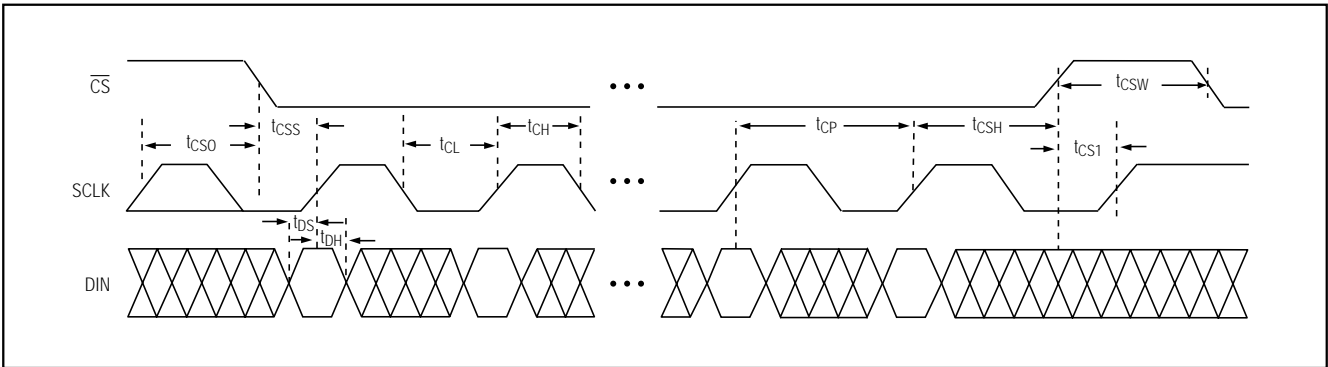


図6. シリアルインタフェースタイミング詳細図

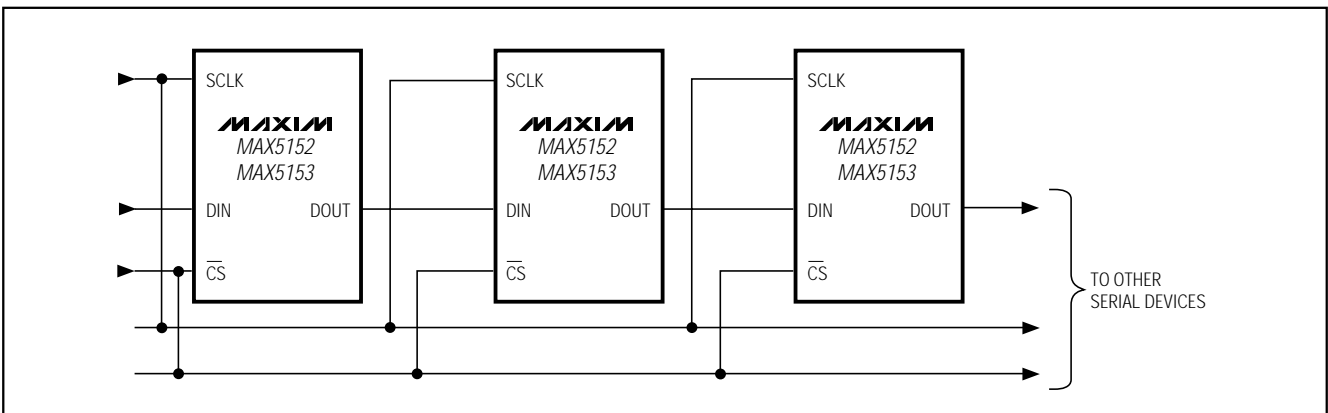


図7. MAX5152/MAX5153のデージーチェーン接続

デージーチェーン接続

MAX5152/MAX5153は、任意の数をデージーチェーン接続できます。そのためには、チェーンの中の1つのデバイスのDOUTピンを次のデバイスのDINピンに接続します(図7)。

MAX5152/MAX5153のDOUTピンは、内部にアクティブなプルアップを備えているため、DOUTのシンク/ソース能力により容量性負荷の放電/充電に必要な時間

が決定されます。「Electrical Characteristics」のシリアルデータ出力 V_{OH} 及び V_{OL} の仕様を参照して下さい。

図8に、幾つかのMAX5152/MAX5153を接続するための別方法を示します。この構成では、データバスが全てのデバイスに共通になっており、データはデージーチェーンを通じてシフトされません。この構成では、各ICに対し専用のチップセレクト入力(CS)を要するため、必要なI/Oラインの数が増えます。

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

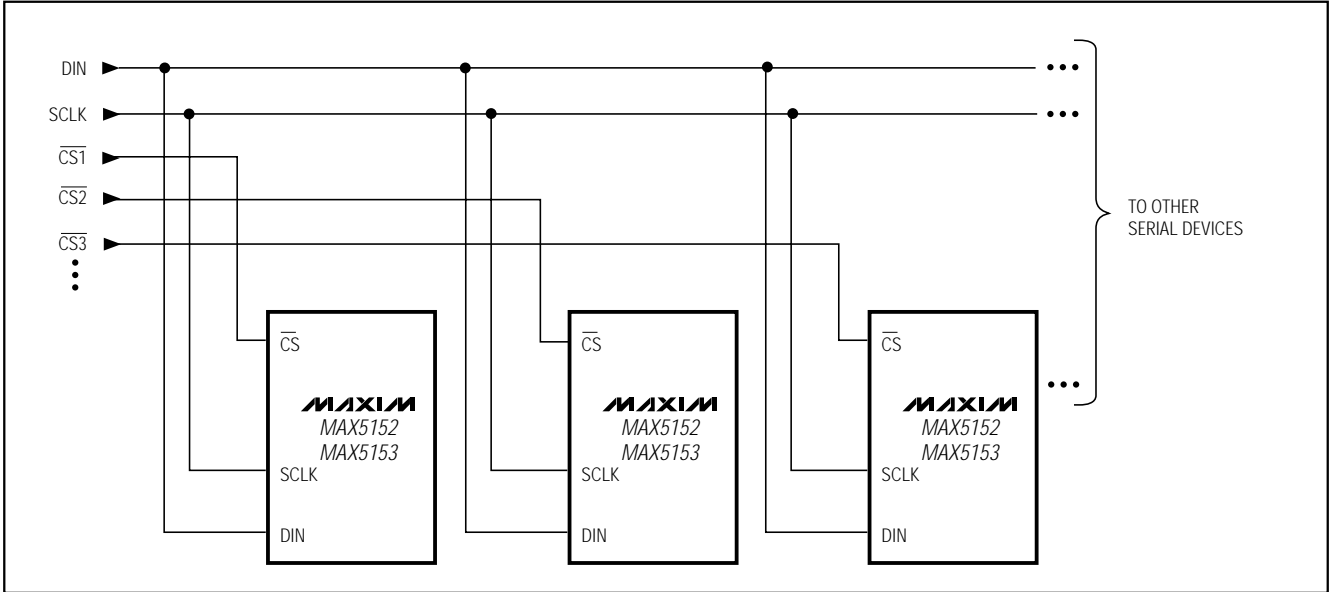


図8. 複数のMAX5152/MAX5153が共通DINラインを共有

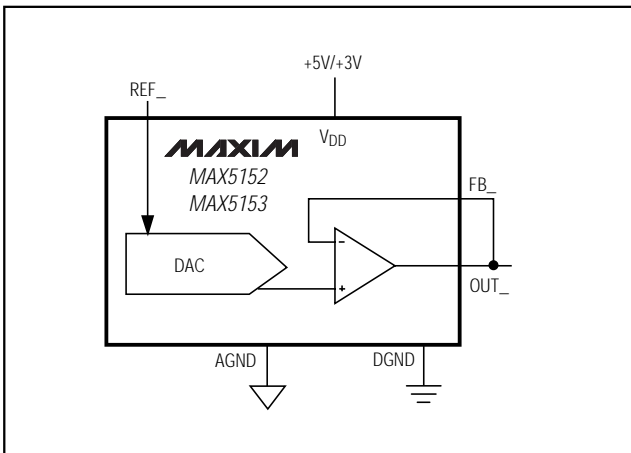


図9. ユニポーラ出力回路

表2. ユニポーラコード表(利得 = +1)

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
11111	1111 1111	$+V_{REF} \left(\frac{8191}{8192} \right)$
10000	0000 0001	$+V_{REF} \left(\frac{4097}{8192} \right)$
10000	0000 0000	$+V_{REF} \left(\frac{4096}{8192} \right) = \frac{V_{REF}}{2}$
01111	1111 1111	$+V_{REF} \left(\frac{4095}{8192} \right)$
00000	0000 0001	$+V_{REF} \left(\frac{1}{8192} \right)$
00000	0000 0000	0V

アプリケーション情報

ユニポーラ出力

図9に、MAX5152/MAX5153のユニティゲイン、ユニポーラ動作回路を示します。表2は、ユニポーラ出力コードです。図10に示す特定利得設定回路により、ダイナミックレンジを広げることができます。

バイポーラ出力

MAX5152/MAX5153の出力は、図11の回路を使用してバイポーラ動作に構成できます。出力電圧は、次式で与えられます。

$$V_{OUT} = V_{REF} \left[\left(\frac{2 \times NB}{8192} \right) - 1 \right]$$

ここで、NBはDACのバイナリ入力コードの数値です。表3に、図11の回路のデジタルコード及び対応する出力電圧を示します。

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

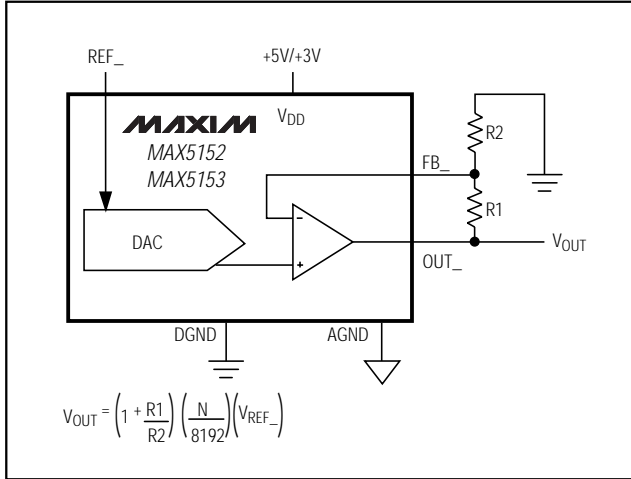


図10. 可変出力利得

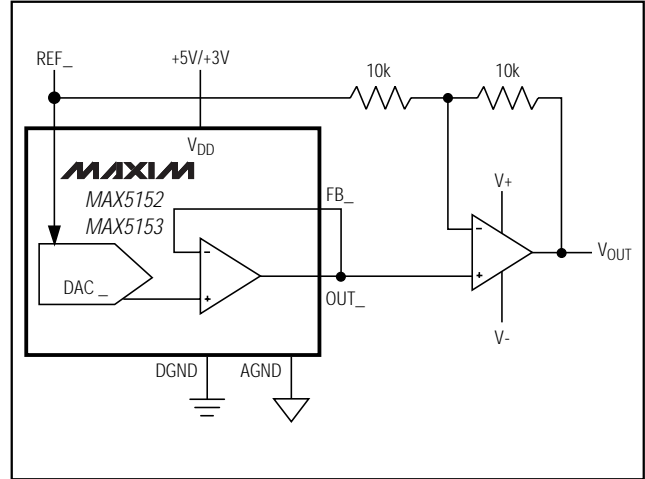


図11. バイポーラ出力回路

表3. バイポーラコード表

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
11111	1111	1111	$+V_{REF} \left(\frac{4095}{4096}\right)$
10000	0000	0001	$+V_{REF} \left(\frac{1}{4096}\right)$
10000	0000	0000	0V
01111	1111	1111	$-V_{REF} \left(\frac{1}{4096}\right)$
00000	0000	0001	$-V_{REF} \left(\frac{4095}{4096}\right)$
00000	0000	0000	$-V_{REF} \left(\frac{4096}{4096}\right) = -V_{REF}$

ACリファレンスの使用

MAX5152/MAX5153は、リファレンスがAC信号成分を持つアプリケーションにおいては、規定されたリファレンス入力範囲内で乗算能力があります。図12に、REF_へのリファレンス入力にサイン波信号を印加する技法を示します(AC信号はリファレンス入力に印加される前にオフセットされます)。

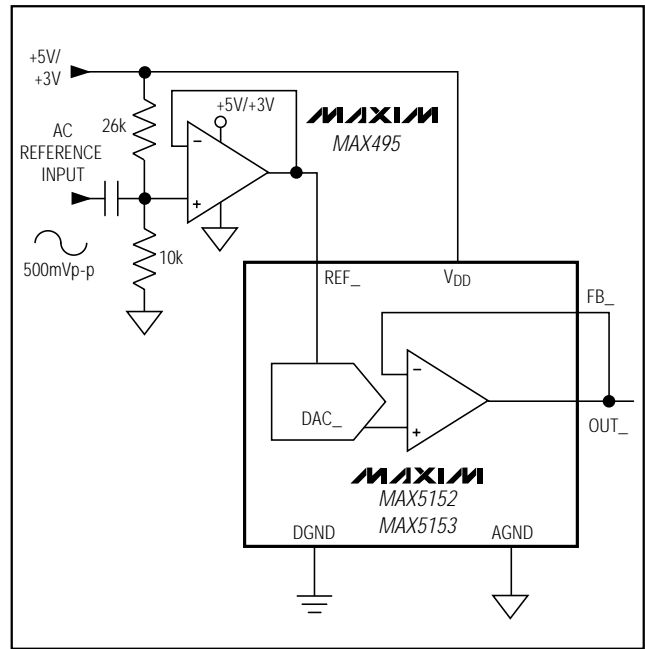


図12. ACリファレンス入力回路

高調波歪み及びノイズ

MAX5152/MAX5153の全高調波歪み及びノイズ(THD + N)は、入力スイングが1Vp-pで入力周波数が最大5kHzの時にフルスケールで-80dB以下(typ)です。「標準動作特性」のグラフに示すように、標準的な-3dB周波数は600kHzです。

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

デジタルキャリブレーション及びスレッシュホールドの選択

図13に、MAX5152/MAX5153をデジタルキャリブレーションアプリケーションに使用した例を示します。フォトダイオードに光が当たっているとき(オン)、コンパレータがトリップされるまでDACの出力をデジタル的に増加させます。次に、光を暗くして(オフ)同じ手順を繰り返し、暗電流キャリブレーションを得ます。次に、マイクロプロセッサによって出力電圧が2つのキャリブレーション値の間になるように設定されます。アプリケーションとしては、タコメータ、モーションセンサ、自動リーダ及び液体鮮度分析が挙げられます。

利得及びオフセットのデジタル制御

2つのDACを使用して、トランスジューサの直線化やアナログ圧縮/拡張アプリケーションなどの非線形関数のカーブフィッティングオフセット及び利得を制御できます。入力信号は、利得調節DACのリファレンスとして使用されます。このDACの出力とオフセット調節DACからの出力の総和を取ります。各DAC出力の相対的な重みは、R1、R2、R3及びR4によって調節されます(図14)。

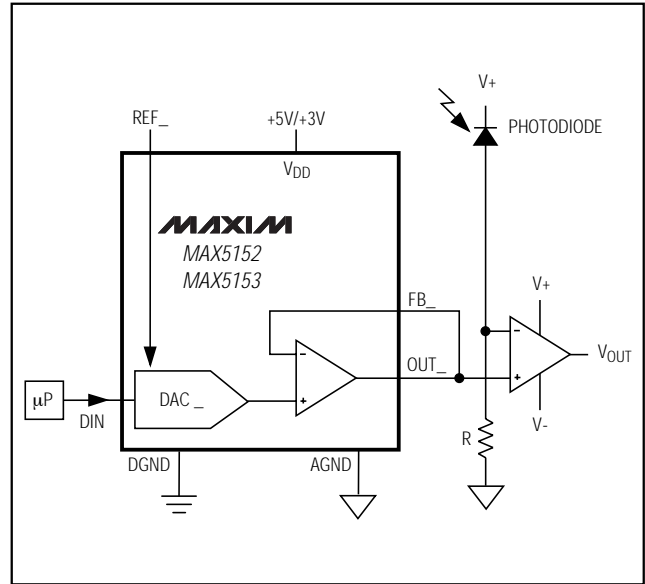


図13. デジタルキャリブレーション

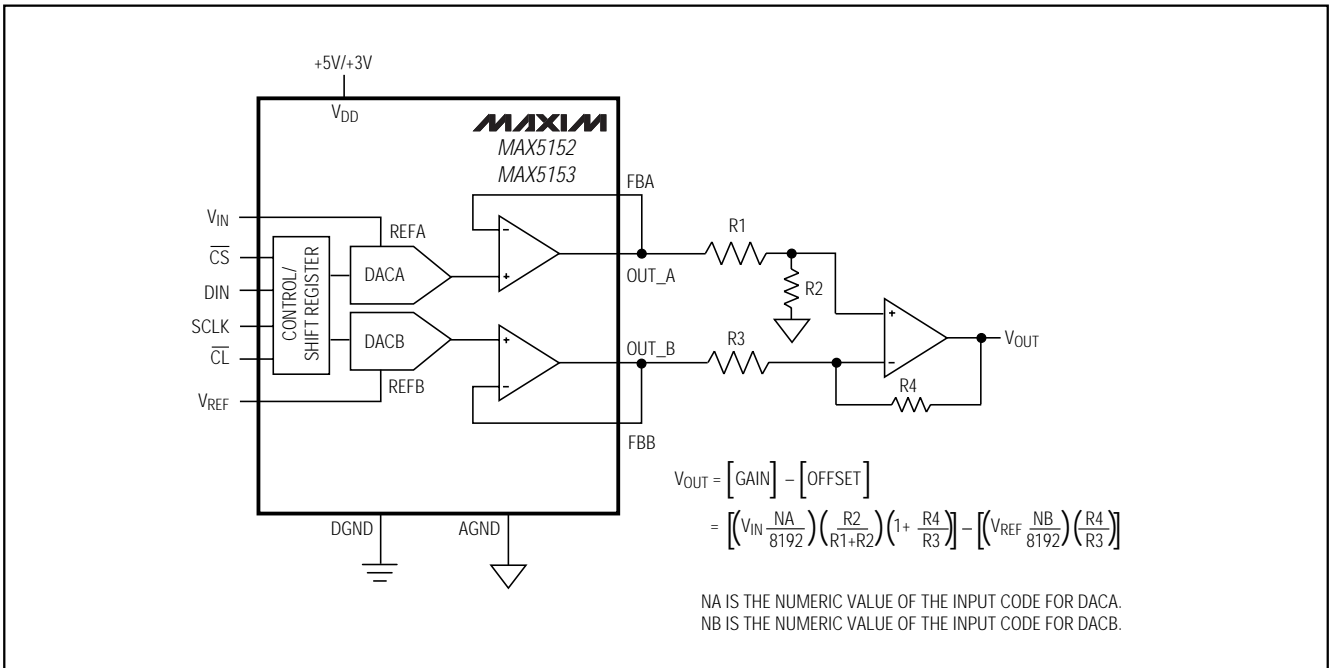


図14. 利得及びオフセットのデジタル制御

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

デジタルプログラマブル電流ソース

図15に示す回路は、工業用制御アプリケーションで使用できるデジタルプログラマブルの一方方向電流ソースです。出力電流は、次式で与えられます。

$$I_{OUT} = (V_{REF} / R) (NB / 8192)$$

ここで、NBはDACコード、Rは検出抵抗です。

電源に関する考慮

パワーアップ時に、入力とDACレジスタはクリア(ゼロコードにリセット)されます。定格通りの性能を発揮させるには、 V_{REF} を V_{DD} より少なくとも1.4V低くして下さい。電源は、4.7 μ Fコンデンサと0.1 μ Fコンデンサを並列に使用して、GNDにバイパスして下さい。リードインダクタンスを小さくするため、リード線は短くして下さい。

接地及びレイアウト

AGNDにおけるデジタル及びACトランジェント信号が原因で、出力にノイズが発生することがあります。AGNDはできるだけ良質のグラウンドに接続して下さい。とぎれのないローインダクタンスのグラウンドプレーンを持った複層ボードを使用するなど、適正な接地技法を採用して下さい。チャンネル間のトレースのレイアウトに注意して、ACクロスカップリング及びクロストークを減らして下さい。ワイヤラップボード及びソケットはお勧めできません。ノイズが問題になる場合は、シールドが必要になることがあります。

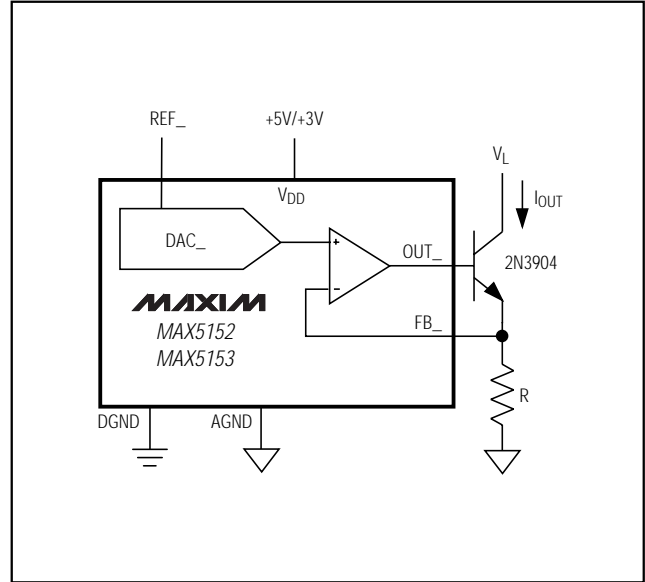


図15. デジタルプログラマブル電流ソース

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

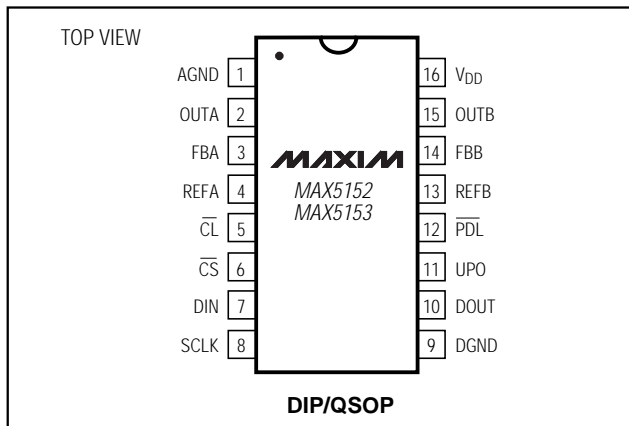
型番(続き) _____

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5152AEPE	-40°C to +85°C	16 Plastic DIP	±1/2
MAX5152BEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX5152AEFE	-40°C to +85°C	16 QSOP	±1/2
MAX5152BEFE	-40°C to +85°C	16 QSOP	±1
MAX5152BMJE	-55°C to +125°C	16 CERDIP**	±1
MAX5153 ACPE	0°C to +70°C	16 Plastic DIP	±1
MAX5153BCPE	0°C to +70°C	16 Plastic DIP	±2
MAX5153ACEE	0°C to +70°C	16 QSOP	±1
MAX5153BCEE	0°C to +70°C	16 QSOP	±2
MAX5153BC/D	0°C to +70°C	Dice*	±2
MAX5153AEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX5153BEPE	-40°C to +85°C	16 Plastic DIP	±2
MAX5153AEFE	-40°C to +85°C	16 QSOP	±1
MAX5153BEFE	-40°C to +85°C	16 QSOP	±2
MAX5153BMJE	-55°C to +125°C	16 CERDIP**	±2

*Dice are tested at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.

ピン配置 _____



MAX5152/MAX5153

チップ情報 _____

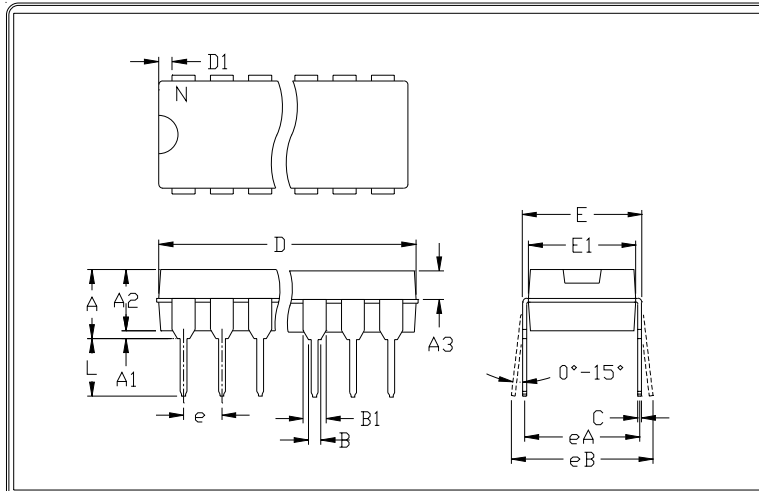
TRANSISTOR COUNT: 3053

SUBSTRATE CONNECTED TO AGND

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

MAX5152/MAX5153

パッケージ



	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	---	0.200	---	5.08
A1	0.015	---	0.38	---
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	---	2.54	---
eA	0.300	---	7.62	---
eB	---	0.400	---	10.16
L	0.115	0.150	2.92	3.81

	INCHES		MILLIMETERS		N	MS001
	MIN	MAX	MIN	MAX		
D	0.348	0.390	8.84	9.91	8	AB
D	0.735	0.765	18.67	19.43	14	AC
D	0.745	0.765	18.92	19.43	16	AA
D	0.885	0.915	22.48	23.24	18	AD
D	1.015	1.045	25.78	26.54	20	AE
D	1.14	1.265	28.96	32.13	24	AF
D	1.360	1.380	34.54	35.05	28	*5

- NOTES:
1. D&E DO NOT INCLUDE MOLD FLASH
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
 3. CONTROLLING DIMENSION: MILLIMETER
 4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE
 5. SIMILAR TO JEDEC MO-058AB
 6. N = NUMBER OF PINS



PACKAGE FAMILY OUTLINE: PDIP .300"

1/1

21-0043 A

130 SAN CARLOS, CA 94060 FAX (415) 737-7700
PROPRIETARY INFORMATION

TITLE

DOCUMENT CONTROL NUMBER REV

低電力、デュアル13ビット、電圧出力DAC 出力構成設定可能

パッケージ(続き)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.127	0.25
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.19	0.25
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
S	SEE VARIATIONS			
?	0°	8°	0°	8°

VARIATIONS:

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.27	1.40	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.64	0.76	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.64	0.76	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006"
3. CONTROLLING DIMENSIONS: INCHES

PROPRIETARY INFORMATION

TITLE:
PACKAGE OUTLINE, QSOP, .150 INCH, .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0055	A	

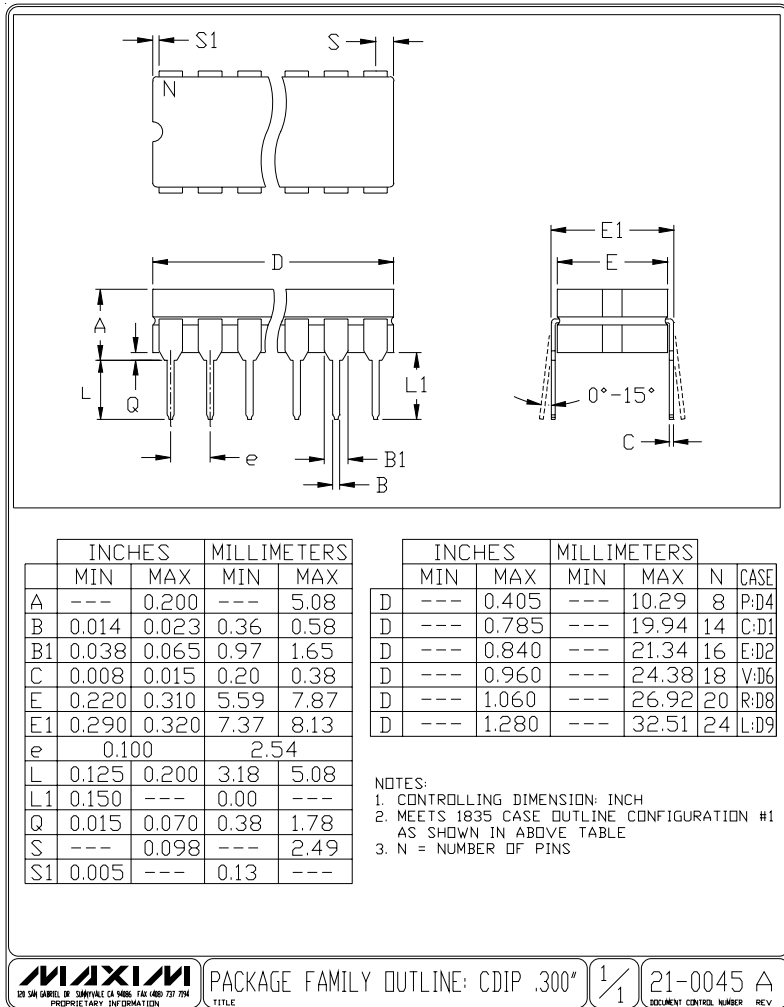
MAX5152/MAX5153

QSOP EP5

低電力、デュアル13ビット、電圧出力DAC 設定可能な出力付

MAX5152/MAX5153

パッケージ(続き)



販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600