

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

概要

MAX5120/MAX5121は、内部高精度バンドギャップリファレンス及び出力アンプ付の低電力12ビット電圧出力D/Aコンバータ(DAC)です。MAX5120は+5V電源で動作し、内部アンプリファレンス+2.5Vを備えており、+4.095Vのフルスケール出力範囲を持っています。MAX5121は+3Vで動作し、内部高精度リファレンス+1.25Vを備えており、+2.0475Vのフルスケール出力範囲を持っています。必要に応じて、ユーザは内部電圧リファレンス(<10ppm/)をオーバーライドして外部リファレンスを使用できます。いずれのデバイスも消費電流は僅か500 μ Aで、パワーダウンモードではさらに3 μ Aに低減します。さらに、パワーアップリセット機能により、ユーザは初期出力状態として0V又はミッドスケールに選択することができ、又パワーアップ時の出力電圧グリッチが最小限に抑えられます。

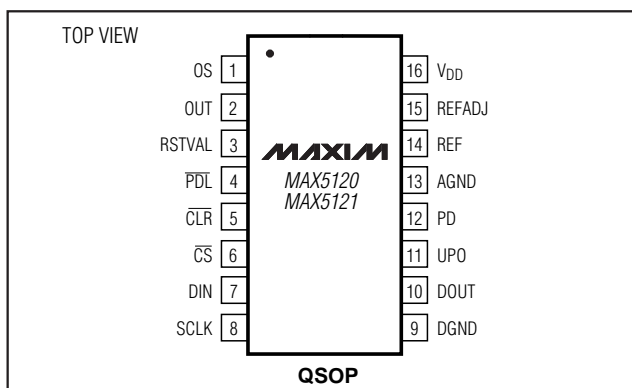
MAX5120/MAX5121のシリアルインタフェースはSPI™、QSPI™及びMICROWIRE™とコンパチブルであるため、複数のデバイスのカスケード接続に適しています。各DACは、入力レジスタにDACレジスタが続く形で構成されたダブルバッファ付入力を備えています。16ビットシフトレジスタによって、データが入力レジスタにロードされます。DACレジスタは、入力レジスタと同時又は独立に更新できます。

いずれのデバイスも16ピンQSOPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85)のものが用意されています。ピンコンパチブルの14ビットアップグレード製品は、MAX5170/MAX5172データシートを参照して下さい。ピンコンパチブルの13ビットバージョンは、MAX5130/MAX5131データシートを参照して下さい。

アプリケーション

- 工業用プロセス制御
- 自動試験機器(ATE)
- デジタルオフセット及び利得調節
- モーションコントロール
- μ P制御機器

ピン配置



特長

- ◆ 単一電源動作 :
+5V(MAX5120)
+3V(MAX5121)
- ◆ フルスケール出力範囲 :
+4.095V(MAX5120)
+2.0475V(MAX5121)
- ◆ 内蔵10ppm/ (max)高精度バンドギャップリファレンス :
+2.5V(MAX5120)
+1.25V(MAX5121)
- ◆ 出力オフセットは調節可能
- ◆ 3線シリアルインタフェース :
SPI/QSPI/MICROWIREコンパチブル
- ◆ ピン設定可能なシャットダウンモード及びパワーアップリセット(出力電圧を0V又はミッドスケールに設定)
- ◆ バッファ付出力 :
5k \parallel 100pF又は4~20mA負荷を駆動可能
- ◆ パッケージ : 省スペース16ピンQSOP
- ◆ ピンコンパチブルの13ビットアップグレード製品 :
MAX5130/MAX5131
- ◆ ピンコンパチブルの14ビットアップグレード製品 :
MAX5170/MAX5172

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5120AE4E	-40°C to +85°C	16 QSOP	\pm 0.5
MAX5120BE4E	-40°C to +85°C	16 QSOP	\pm 1
MAX5121AE4E	-40°C to +85°C	16 QSOP	\pm 1
MAX5121BE4E	-40°C to +85°C	16 QSOP	\pm 2

SPI及びQSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND, DGND	-0.3V to +6V	Maximum Current into Any Pin.....	50mA
AGND to DGND.....	-0.3V to +0.3V	Continuous Power Dissipation (T _A = +70°C)	
Digital Inputs to DGND.....	-0.3V to +6V	QSOP (derate 8.00mW/°C above +70°C).....	667mW
Digital Outputs (DOUT, UPO) to DGND.....	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Range	-40°C to +85°C
OUT to AGND.....	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-65°C to +150°C
OS to AGND	(AGND - 4V) to (V _{DD} + 0.3V)	Lead Temperature (soldering, 10sec)	+300°C
REF, REFADJ to AGND	-0.3V to (V _{DD} + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5120 (+5V)

(V_{DD} = +5V ±10%, OS = AGND = DGND = 0V, 33nF capacitor at REFADJ, internal reference, R_L = 5kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		12			Bits
Integral Nonlinearity (Note 1)	INL	MAX5120A	-0.5		0.5	LSB
		MAX5120B	-1		1	
Differential Nonlinearity	DNL		-1		1	LSB
Offset Error (Note 2)	V _{OS}		-10		10	mV
Gain Error	GE		-3	-0.2	3	mV
Full-Scale Voltage	V _{FS}	Code = FFF hex, T _A = +25°C	4.0458	4.095	4.1442	V
Full-Scale Temperature Coefficient (Note 3)	TCV _{FS}	MAX5120A		3	10	ppm/°C
		MAX5120B		10	30	
Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		20	250	μV/V
REFERENCE						
Output Voltage	V _{REF}	T _A = +25°C		2.5		V
Output Voltage Temperature Coefficient	TCV _{REF}	MAX5120A		3		ppm/°C
		MAX5120B		10		
Reference External Load Regulation	V _{OUT} /I _{OUT}	0 ≤ I _{OUT} ≤ 100μA (sourcing)		0.1	1	μV/μA
Reference Short-Circuit Current				4		mA
REFADJ Current		REFADJ = V _{DD}		3.3	7	μA
DIGITAL INPUT						
Input High Voltage	V _{IH}		3			V
Input Low Voltage	V _{IL}				0.8	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	V _{IN} = 0 or V _{DD}	-1	0.001	1	μA
Input Capacitance	C _{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V _{OH}	I _{SOURCE} = 2mA	V _{DD} - 0.5			V
Output Low Voltage	V _{OL}	I _{SINK} = 2mA		0.13	0.4	V

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

ELECTRICAL CHARACTERISTICS—MAX5120 (+5V) (continued)

($V_{DD} = +5V \pm 10\%$, OS = AGND = DGND = 0V, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μ s
Output Settling Time		$T_o \pm 0.5LSB$, $V_{STEP} = 4V$		20		μ s
Output Voltage Swing (Note 4)				0 to V_{DD}		V
OS Input Resistance	R_{OS}		83	121		$k\Omega$
Time Required to Exit Shutdown				2		ms
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 5Vp-p$		5		nV-s
POWER REQUIREMENTS						
Power-Supply Voltage (Note 5)	V_{DD}		4.5		5.5	V
Power-Supply Current (Note 5)	I_{DD}			500	600	μ A
Power-Supply Current in Shutdown	I_{SHDN}			3	20	μ A

ELECTRICAL CHARACTERISTICS—MAX5121 (+3V)

($V_{DD} = +3V \pm 10\%$, OS = AGND = DGND = 0V, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		12			Bits
Integral Nonlinearity (Note 1)	INL	MAX5121A	-1		1	LSB
		MAX5121B	-2		2	
Differential Nonlinearity	DNL		-1		1	LSB
Offset Error (Note 2)	V_{OS}		-10		10	mV
Gain Error	GE		-5	-0.2	5	mV
Full-Scale Voltage	V_{FS}	Data = FFF hex, $T_A = +25^\circ C$	2.0229	2.0475	2.0721	V
Full-Scale Temperature Coefficient (Note 3)	TCV_{FS}	MAX5121A		3	10	ppm/ $^\circ C$
		MAX5121B		10	30	
Power-Supply Rejection Ratio	PSRR	$2.7V \leq V_{DD} \leq 3.3V$		20	250	μ V/V
REFERENCE						
Output Voltage	V_{REF}	$T_A = +25^\circ C$		1.25		V
Output Voltage Temperature Coefficient	TCV_{REF}	MAX5121A		3		ppm/ $^\circ C$
		MAX5121B		10		
Reference External Load Regulation	V_{OUT}/I_{OUT}	$0 \leq I_{OUT} \leq 100\mu A$ (sourcing)		0.1	1	μ V/ μ A
Reference Short-Circuit Current				4		mA
REFADJ Current		REFADJ = V_{DD}		3.3	7	μ A
DIGITAL INPUT						
Input High Voltage	V_{IH}		2.2			V
Input Low Voltage	V_{IL}				0.8	V
Input Hysteresis	V_{HYS}			200		mV

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

ELECTRICAL CHARACTERISTICS—MAX5121 (+3V) (continued)

($V_{DD} = +3V \pm 10\%$, OS = AGND = DGND = 0V, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage Current	I_{IN}	$V_{IN} = 0$ or V_{DD}	-1	0.001	1	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.4	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μs
Output Settling Time		$T_o \pm 0.5LSB$, $V_{STEP} = 2V$		20		μs
Output Voltage Swing (Note 4)				0 to V_{DD}		V
OS Input Resistance	R_{OS}		83	121		$k\Omega$
Time Required to Exit Shutdown				2		ms
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 3Vp-p$		5		nV-s
POWER REQUIREMENTS						
Power-Supply Voltage (Note 5)	V_{DD}		2.7		3.6	V
Power-Supply Current (Note 5)	I_{DD}			500	600	μA
Power-Supply Current in Shutdown	I_{SHDN}			3	20	μA

TIMING CHARACTERISTICS—MAX5120 (+5V)

($V_{DD} = +5V \pm 10\%$, OS = AGND = DGND = 0V, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t_{CP}		100			ns
SCLK Pulse Width High	t_{CH}		40			ns
SCLK Pulse Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		40			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
SDI Setup Time	t_{DS}		40			ns
SDI Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay Time	t_{DO1}	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay Time	t_{DO2}	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to \overline{CS} Fall Delay Time	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	t_{CS1}		40			ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

TIMING CHARACTERISTICS—MAX5121 (+3V)

($V_{DD} = +3V \pm 10\%$, $OS = AGND = DGND = 0V$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	tCP		150			ns
SCLK Pulse Width High	tCH		75			ns
SCLK Pulse Width Low	tCL		75			ns
\overline{CS} Fall to SCLK Rise Setup Time	tCSS		60			ns
SCLK Rise to \overline{CS} Rise Hold Time	tCSH		0			ns
SDI Setup Time	tDS		60			ns
SDI Hold Time	tDH		0			ns
SCLK Rise to DOUT Valid Propagation Delay Time	tDO1	$C_{LOAD} = 200pF$			200	ns
SCLK Fall to DOUT Valid Propagation Delay Time	tDO2	$C_{LOAD} = 200pF$			200	ns
SCLK Rise to \overline{CS} Fall Delay Time	tCS0		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	tCS1		75			ns
\overline{CS} Pulse Width High	tCSW		150			ns

Note 1: Accuracy is guaranteed as shown in the following table:

V _{DD} (V)	Accuracy Guaranteed	
	From Code:	To Code:
5	10	4095
3	20	4095

Note 2: Offset is measured at the code closest to 10mV.

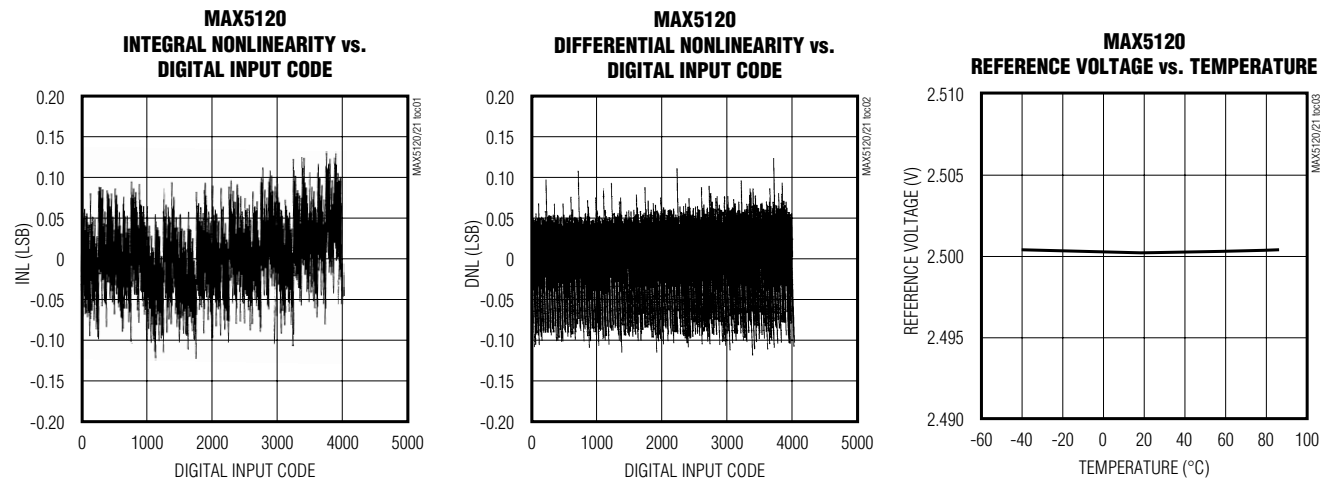
Note 3: The temperature coefficient is determined by the “box” method in which the maximum ΔV_{OUT} over the temperature range is divided by ΔT .

Note 4: Accuracy is better than 1.0LSB for $V_{OUT} = 10mV$ to $(V_{DD} - 180mV)$. Guaranteed by PSR test on end points.

Note 5: $R_{LOAD} = \infty$ and digital inputs are at either V_{DD} or $DGND$.

標準動作特性

($V_{DD} = +5V$ (MAX5120), $V_{DD} = +3V$ (MAX5121), $R_L = 5k\Omega$, $C_L = 100pF$, $OS = AGND$, $T_A = +25^\circ C$, unless otherwise noted.)

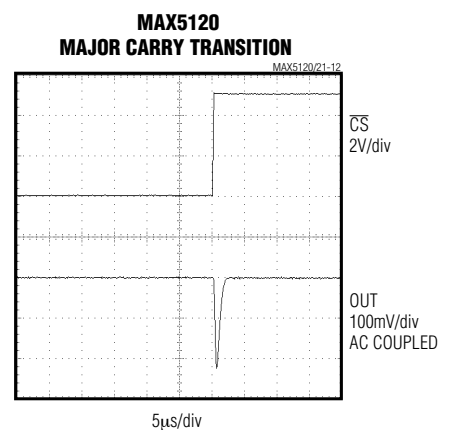
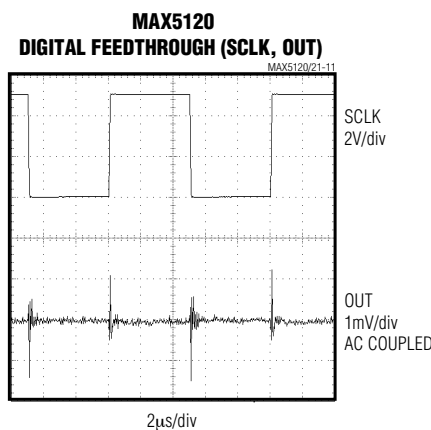
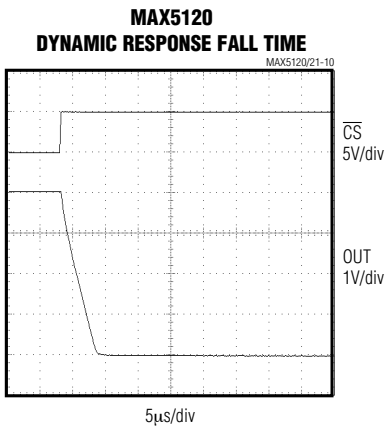
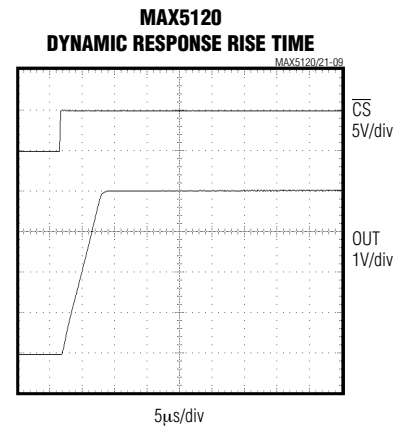
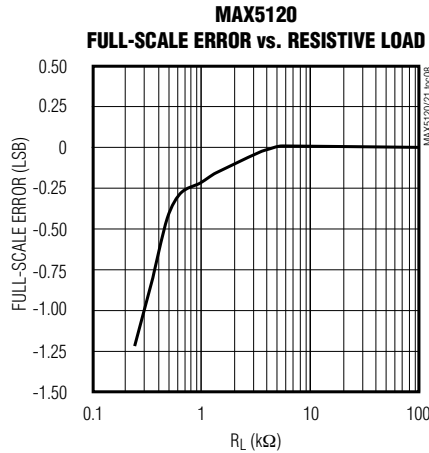
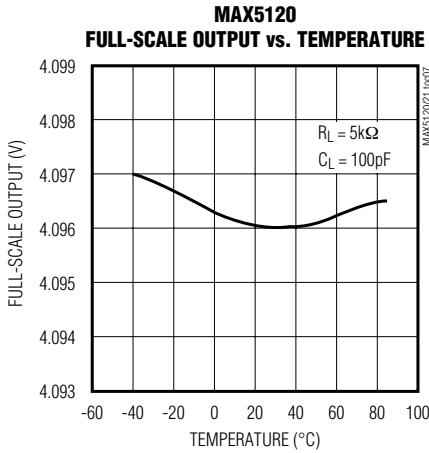
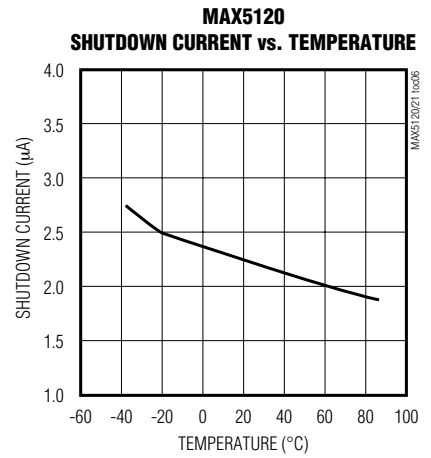
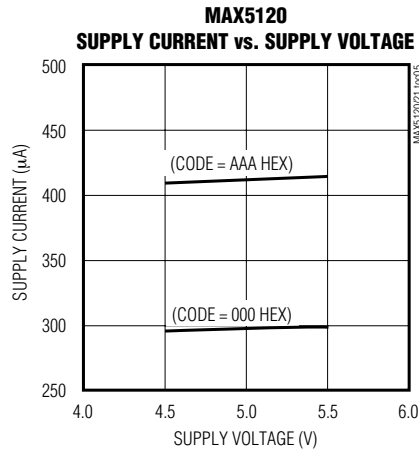
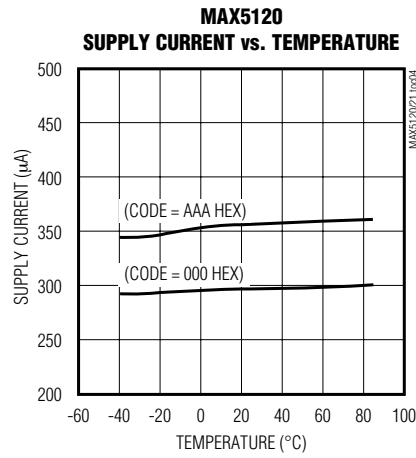


+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

標準動作特性(続き)

($V_{DD} = +5V$ (MAX5120), $V_{DD} = +3V$ (MAX5121), $R_L = 5k\Omega$, $C_L = 100pF$, OS = AGND, $T_A = +25^\circ C$, unless otherwise noted.)

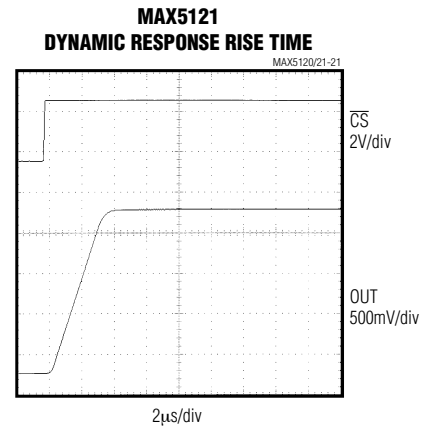
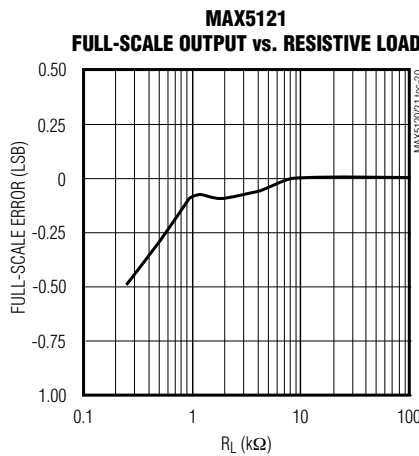
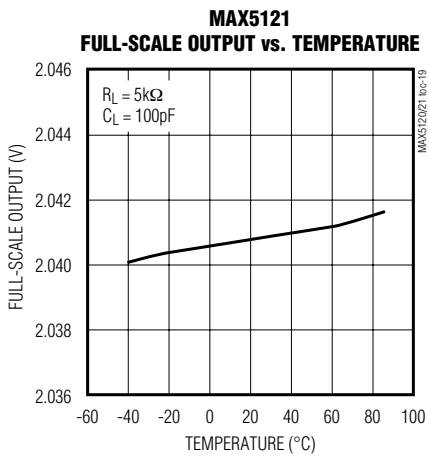
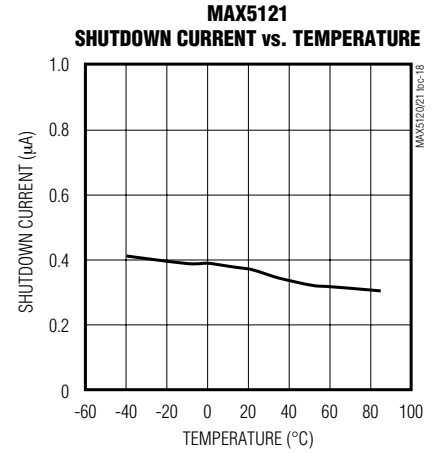
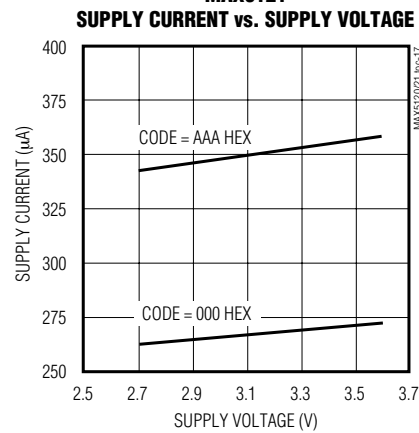
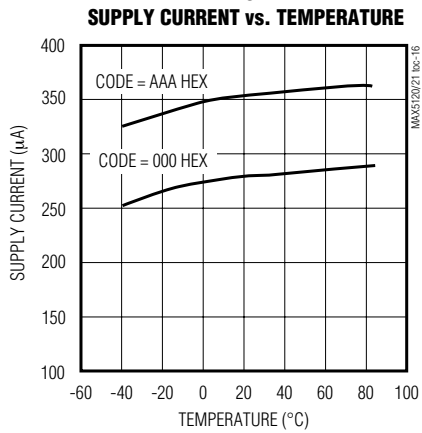
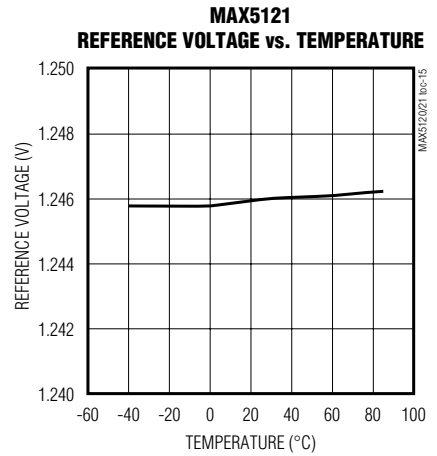
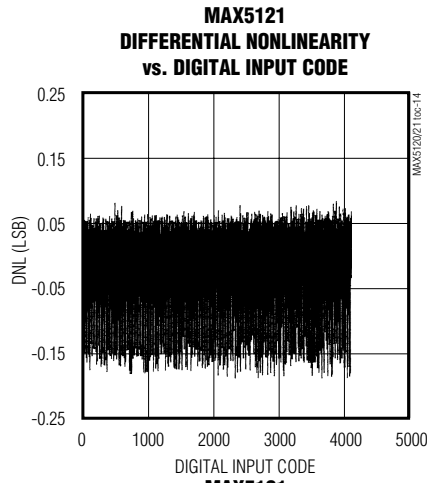
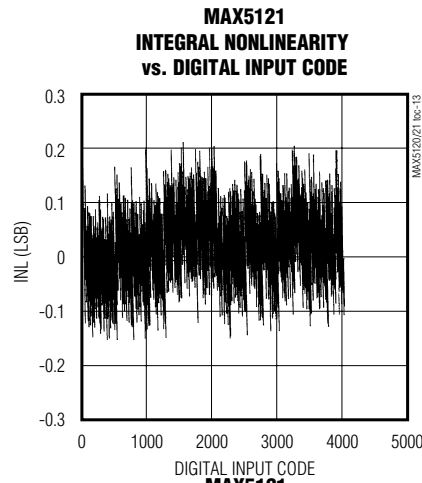


+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

標準動作特性(続き)

($V_{DD} = +5V$ (MAX5120), $V_{DD} = +3V$ (MAX5121), $R_L = 5k\Omega$, $C_L = 100pF$, $OS = AGND$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX5120/MAX5121

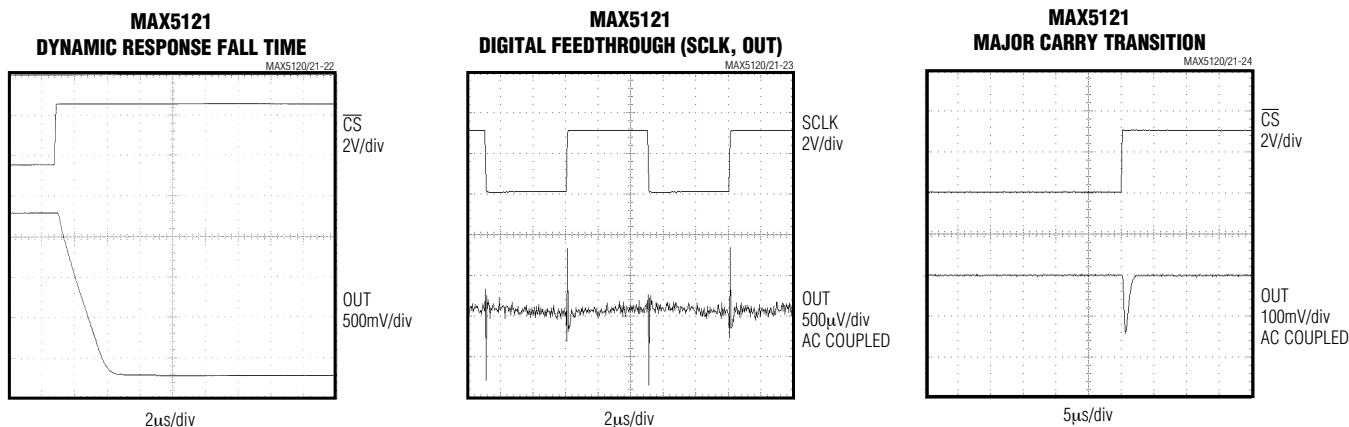


+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

標準動作特性(続き)

($V_{DD} = +5V$ (MAX5120), $V_{DD} = +3V$ (MAX5121), $R_L = 5k\Omega$, $C_L = 100pF$, $OS = AGND$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	OS	オフセット調節(アナログ入力)
2	OUT	アナログ出力電圧。シャットダウン中はハイインピーダンスです。
3	RSTVAL	リセット値入力(デジタル入力) 1: V_{DD} に接続するとミッドスケールが出力リセット値になります。 0: DGNDに接続すると0Vが出力リセット値になります。
4	\overline{PDL}	パワーダウンロックアウト(デジタル入力) 1: 通常動作 0: シャットダウンを禁止(デバイスをパワーダウンすることができなくなります)。
5	\overline{CLR}	リセットDAC入力(デジタル入力)。DACを予め決められた(RSTVAL)出力状態にクリアします。DACをクリアすると、そのDACのソフトウェアシャットダウン状態が解除されます。
6	\overline{CS}	アクティブローチップセレクト入力(デジタル入力)
7	DIN	シリアルデータ入力。データはSCLKの立上がりエッジで同期入力されます。
8	SCLK	シリアルクロック入力
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザ設定出力(デジタル出力)
12	PD	パワーダウン入力(デジタル入力)。 $\overline{PDL} = V_{DD}$ の時にPDをハイにすると、ICはシャットダウン状態になります。最大シャットダウン電流は20 μA です。
13	AGND	アナロググランド
14	REF	バッファ付リファレンス出力/入力。内部リファレンスモードにおいては、リファレンスバッファが公称+2.5V(MAX5120)又は+1.25V(MAX5121)の出力を供給します(REFADJで外部調整可能)。外部リファレンスモードにおいては、REFADJを V_{DD} にすることによって内部リファレンスをディセーブルして、外部リファレンスをREFに印加して下さい。
15	REFADJ	アナログリファレンス調節入力。33nFコンデンサでAGNDにバイパスして下さい。外部リファレンスを使用する場合は V_{DD} に接続して下さい。
16	V_{DD}	正電源。4.7 μF コンデンサと0.1 μF コンデンサを並列にしたものでAGNDにバイパスして下さい。

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

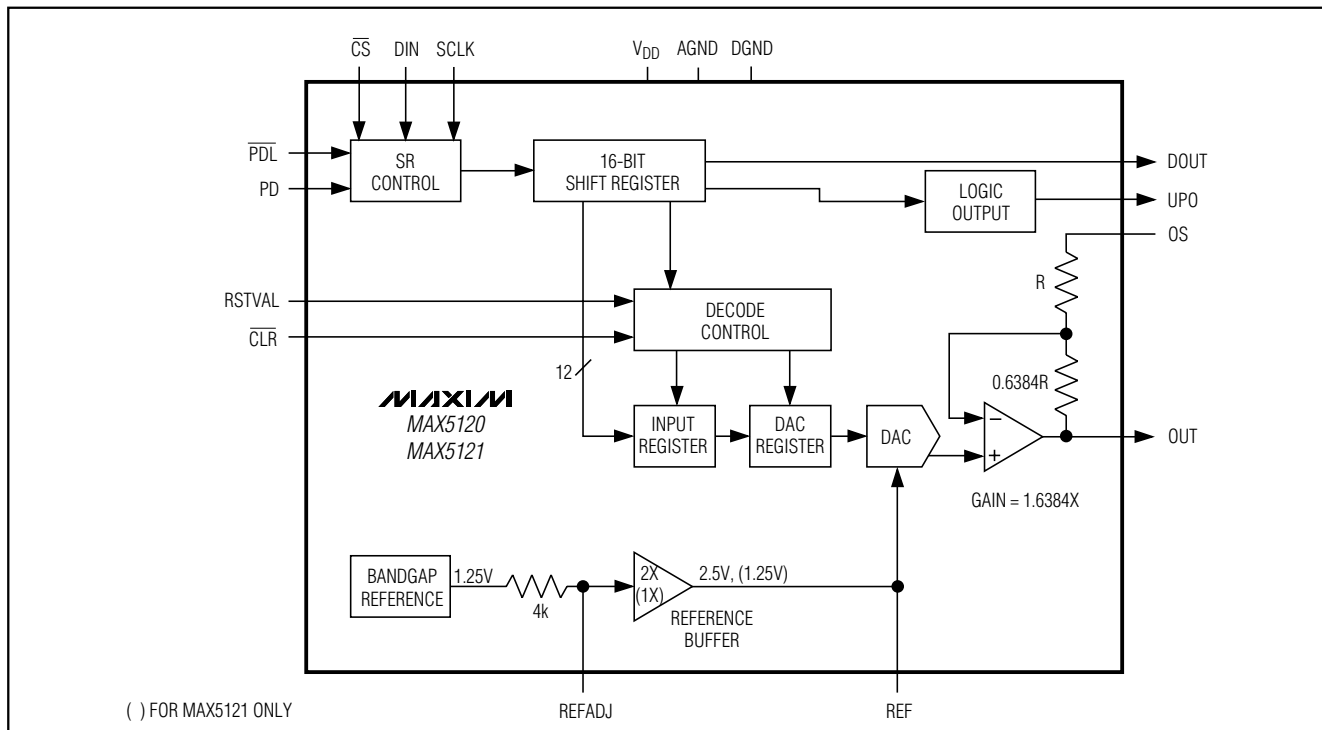


図1. 簡略ファンクションダイアグラム

詳細

MAX5120/MAX5121 12ビット電圧出力DACは、3線シリアルインタフェースで簡単に設定できます。これらのDACは16ビットデータイン/データアウト・シフトレジスタを含み、又入力レジスタ及びDACレジスタからなるダブルバッファ付入力を備えています。さらに、これらのデバイスは高精度バンドギャップリファレンス及びトリミングされた内部抵抗により、1.6384V/Vの利得を実現して出力電圧スイングを最大限に広げています(図1)。MAX5120/MAX5121は、出力アンプのオフセット調節ピンの使用によりDAC出力のDCシフトが可能になっています。フルスケール出力電圧はMAX5120が+4.095V、MAX5121が+2.0475Vです。これらのDACは、デジタル入力コードに比例する重み付き出力電圧を生成する反転R-2Rラダーネットワーク(図2)を使用して設計されています。

内部リファレンス

MAX5120及びMAX5121はいずれも内蔵高精度バンドギャップリファレンスを使用して+2.5V(MAX5120)又は+1.25V(MAX5121)の出力電圧を生成します。温度係数は僅か10ppm/ (max)で、REFピンは最大100µAまでのソースとなることができますが、100pFを超える容量性負荷があると不安定になります。リファレンス電圧の微調整(1%)にREFADJを使用できます。図3a(MAX5120)及び図3b(MAX5121)に示す回路を使用し

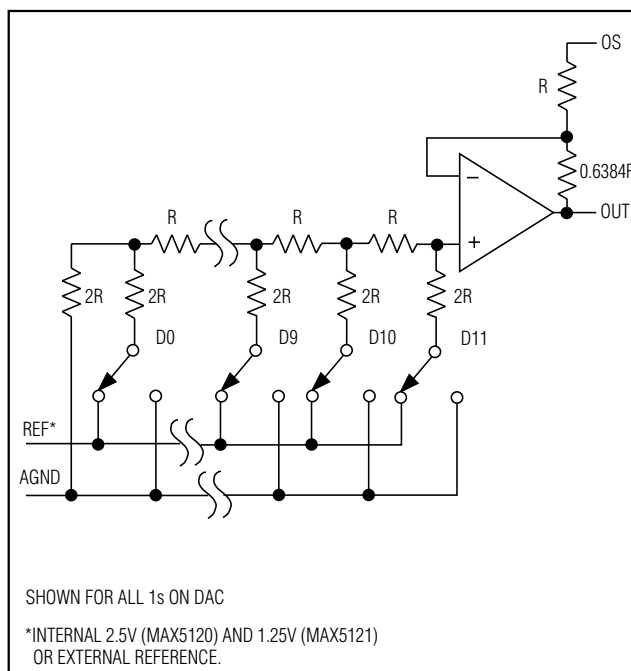


図2. 簡略反転R-2R DAC構造

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

て、この調節を行って下さい。REFADJとAGNDの間に33nFコンデンサを接続するとDACが低ノイズで動作します。これより大きなコンデンサ値も使用できますが、その場合はスタートアップディレーが長くなります。スタートアップディレーの時間定数()はREFADJの入力インピーダンス4k 及び C_{REFADJ} によって決まります。

$$= 4k \cdot C_{REFADJ}$$

外部リファレンス

REFピンに外部リファレンスを印加できます。REFADJを V_{DD} に引き上げるにより、内部リファレンスをディセーブルして下さい。これにより、外部リファレンス信号(AC又はDCベース)をREFピンにフィードすることができます。適正動作のためには、 V_{REF} の入力電圧範囲リミット0V ~ ($V_{DD} - 1.4V$)を超えないようにして下さい。

次式で出力電圧を求めて下さい(REFADJ = V_{DD} 、OS = AGND)。

$$V_{OUT} = [V_{REF} \cdot (NB/4096)] \cdot 1.6384V/V$$

ここで、NBはMAX5120/MAX5121の入力コードの数値(0 ~ 4095)、 V_{REF} は外部リファレンス電圧、1.6384V/Vは内部出力アンプの利得です。REFピンの入力抵抗は最小値が40k で、コードに依存します。

出力アンプ

MAX5120/MAX5121の出力アンプは、トリミングされた抵抗分圧器を使用して利得を+1.6384V/Vに設定し、利得誤差を最小限に抑えています。MAX5121は、内蔵レーザトリミング+1.25Vリファレンス及び出力バッファの利得により、フルスケール出力+2.0475Vを実現しています。MAX5120の方は、+2.5Vリファレンスを使用してフルスケール出力+4.095Vを実現しています。

出力アンプは、5k と100pFの並列負荷の場合に標準スルーレートが0.6V/ μ sで、 ± 0.5 LSBへのセトリング時間が20 μ s以内です。負荷が1k 以下になると性能が劣化します。

出力オフセット電圧は、OSピンを使用して調節できません。例えば、+1Vのオフセットを実現するには、OSに-1.566Vを印加して下さい(オフセット = -[出力バッファ利得 - 1] $\cdot V_{OS}$)。これにより、出力電圧範囲は+1V ~ (1V + $V_{REF} \cdot 1.6384V/V$)となります。DACの出力範囲は、この場合でも最大出力電圧仕様によって制限されることに注意して下さい。

パワーダウンモード

MAX5120/MAX5121は、ソフトウェア及びハードウェア・プログラマブル(PDピン)のシャットダウンモードを備えています。このモードでは標準消費電流が3 μ Aに低減します。ソフトウェアシャットダウンモードに入るには、表1に示すようにDACの制御シーケンスを設定して下さい。

シャットダウンモード時のアンプ出力はハイインピーダンスになり、シリアルインタフェースはアクティブ状態に留まります。入力レジスタのデータはセーブされるため、MAX5120/MAX5121は通常動作状態に戻った時に、シャットダウン以前の出力状態を呼び戻すことができます。シャットダウンモードを解除するには、入力レジスタ及びDACレジスタを同時にロードするか、DACレジスタを入力レジスタから更新して下さい。シャットダウンモードから戻った時は、リファレンスが落ち着くまで2ms待って下さい。外部リファレンスを使用する場合には、DACの出力は僅か20 μ sで安定化します。

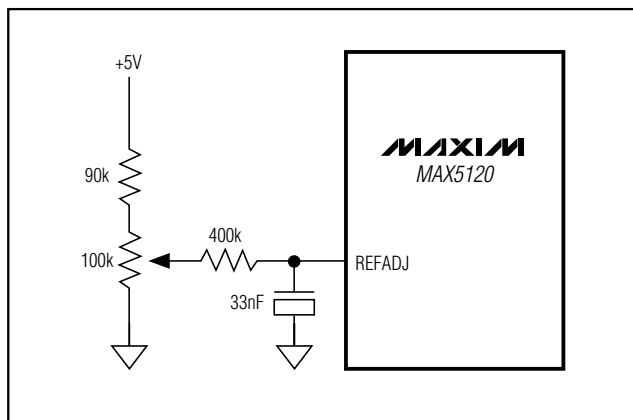


図3a. MAX5120のリファレンス調節回路

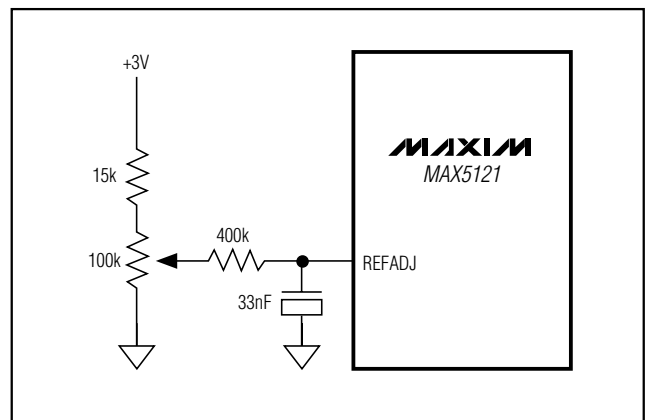


図3b. MAX5121のリファレンス調節回路

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

表1. シリアルインタフェースのプログラミングコマンド

16-BIT SERIAL WORD					FUNCTION
C2	C1	C0	D11 D0	S0*	
0	0	0	XXXXXXXXXXXX	0	No operation.
0	0	1	12-Bit DAC Data	0	Load input register; DAC register unchanged.
0	1	0	12-Bit DAC Data	0	Simultaneously load input and DAC registers; exit shutdown.
0	1	1	XXXXXXXXXXXX	0	Update DAC register from input register; exit shutdown.
1	0	1	XXXXXXXXXXXX	0	Shutdown DAC (provided $\overline{PDL} = 1$)
1	0	0	XXXXXXXXXXXX	0	UPO goes low (default).
1	1	0	XXXXXXXXXXXX	0	UPO goes high.
1	1	1	1XXXXXXXXXXXX	0	Mode 1; DOUT clocked out on SCLK's rising edge.
1	1	1	00XXXXXXXXXXXX	0	Mode 0; DOUT clocked out on SCLK's falling edge (default).

X = 任意

* S0はサブビットで、常に0です。

パワーダウンロックアウト入力(\overline{PDL})

パワーダウンロックアウトピン(\overline{PDL})がローの場合、シャットダウンがディセーブルされます。シャットダウンモードにおいて、 \overline{PDL} がハイからローに遷移すると、DACはウェイクアップします。この時出力は、パワーダウン前の状態に設定されたままになっています。 \overline{PDL} は、デバイスを非同期でウェイクアップするために使用することもできます。

パワーダウン入力(PD)

PDをハイに引き上げると、MAX5120/MAX5121はシャットダウンモードになります。PDをローに引き下げてもMAX5120/MAX5121は通常動作に戻りません。パワーダウンモードを解除するには、 \overline{PDL} のハイからローへの遷移、あるいはシリアルインタフェースを通じた適切なコマンド(表1)が必要です。

シリアルインタフェースの構成 (SPI/QSPI/MICROWIRE/PIC16/PIC17)

MAX5120/MAX5121の3線シリアルインタフェースは、SPI、QSPI、PIC16/PIC17(図4)及びMICROWIRE(図5)とコンパチブルです。2バイト長のシリアル入力ワードは3つの制御ビット、12個のデータビット(MSBを先頭とするフォーマット)及び1つのサブビット(常にゼロ)を含んでいます(表2)。

MAX5120/MAX5121のデジタル入力はダブルバッファ付であるため、ユーザは以下の作業を行うことができます。

- DACレジスタを更新することなく入力レジスタにロードすること。
- 入力レジスタからのデータでDACを更新すること。
- 入力及びDACレジスタを同時に更新すること。

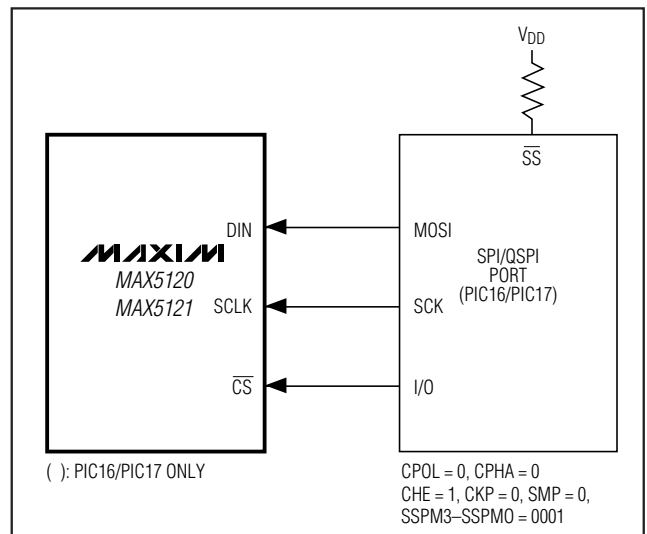


図4. SPI/QSPIインタフェースの接続(PIC16/PIC17)

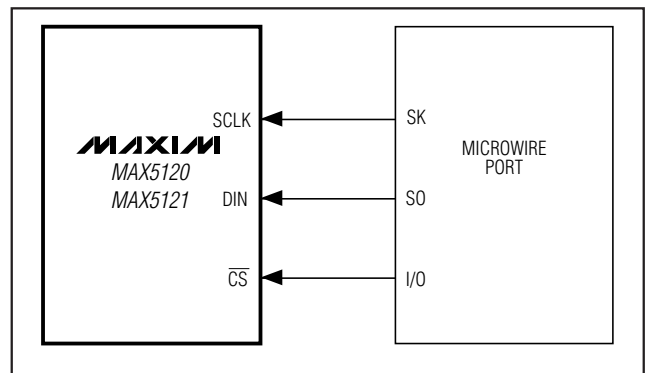


図5. MICROWIREインタフェースの接続

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

この期間中に \overline{CS} がローの状態、16ビットの入力ワードを2つの1バイトパッケージ(SPI、MICROWIRE及びPIC16/PIC17コンパチブル)で送ることができます。制御ビットC2、C1及びC0(表1)は下記を決定します。

- どのクロックエッジでDOUTがシリアルインタフェースを通じて同期出力されるか
- ユーザ設定可能なロジック出力の状態
- シャットダウン後のデバイスの設定

図6の一般タイミング図に、データ収集の方法が図解されています。デバイスがデータを受け取るためには、 \overline{CS} がローであることが必要です。 \overline{CS} がローの状態、DINのデータがSCLKの立上がりエッジでレジスタに同期入力されます。 \overline{CS} がハイに遷移する時、データは3つの制御ビットC2、C1及びC0の設定に従って入力レジスタ及び/又はDACレジスタにラッチされます。適正動作が保証された最大シリアルクロック周波数は、MAX5120が10MHz、MAX5121が6.6MHzです。図7に、シリアルインタフェースの詳細タイミング図を示します。

表2. シリアルデータフォーマット

MSB			LSB
← 16 BITS OF SERIAL DATA →			
Control Bits	MSB Data Bits LSB	Sub-Bit	
C2, C1, C0	D11.....D0	S0	

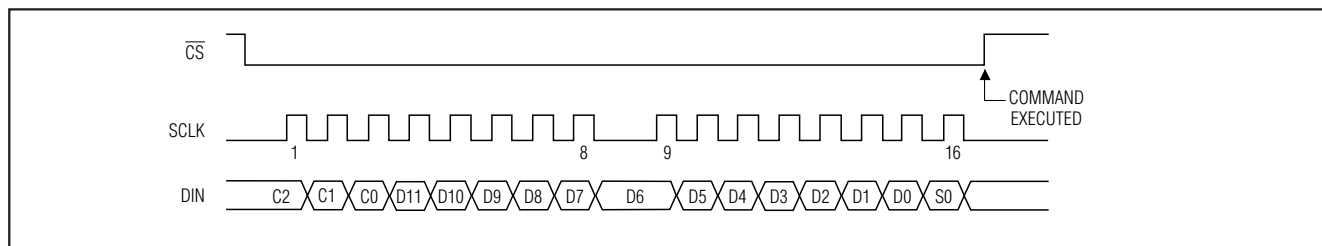


図6. シリアルインタフェースのタイミング

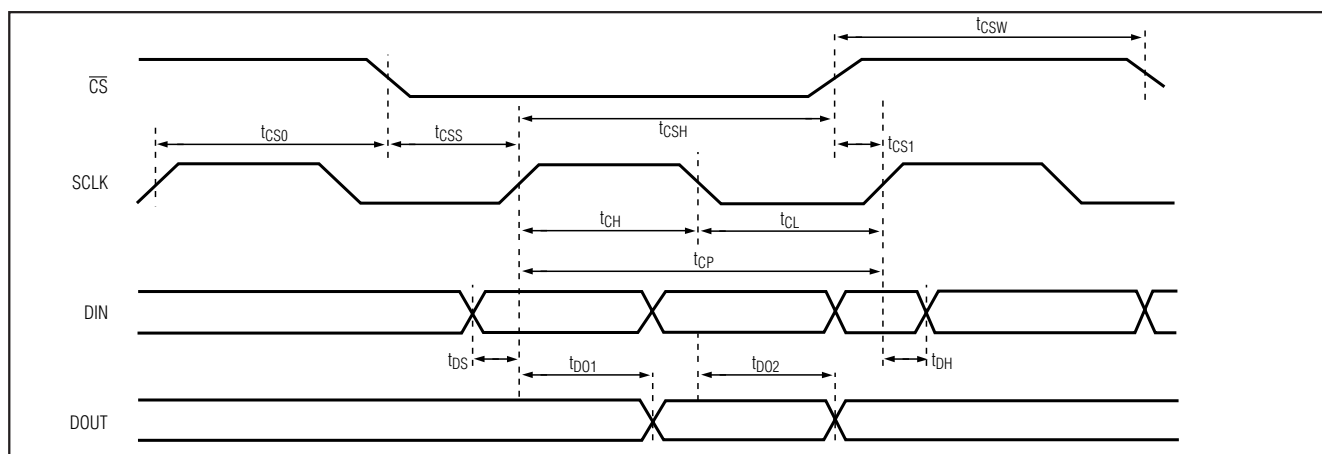


図7. シリアルインタフェースの詳細タイミング

SSPモジュール付のPIC16及びPIC17のインタフェース

MAX5120/MAX5121は、同期シリアルポート(SSP)モジュールを使用したPIC16/PIC17コントローラ(μ C)とコンパチブルです。SPI通信を確立するには、図4に示すようにコントローラを接続し、PIC16/PIC17の同期シリアルポート制御レジスタ(SSPCON)と同期シリアルポート状態レジスタ(SSPSTAT)を表3及び4に示すビットパターンに初期化することにより、PIC16/PIC17をシステムマスターとして設定して下さい。

SPIモードにおいては、PIC16/PIC17 μ Cは8ビットのデータを同期して送信し、同時に受信できます。DACに3つの制御ビットと12個のデータビット及び1つのサブビットをフィードするには、2つの連続した8ビット書き込み(図6)が必要です。DINデータはシリアルクロックの立下がりエッジで遷移し、SCLKの立上がりエッジでDACに同期入力されます。DINの最初の8ビットは、3つの制御ビット(C2、C1及びC0)及び最初の5つのデータビット(D11~D7)を含んでいます。2番目の8ビットワードは、残りのビット(D6~D0)及びサブビットS0を含んでいます。

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

表3. SSPCONレジスタ内容の詳細

CONTROL BIT		MAX5120/MAX5121 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPCON)
WCOL	BIT7	X	Write Collision Detection Bit
SSPOV	BIT6	X	Receive Overflow Detection Bit
SSPEN	BIT5	1	Synchronous Serial Port Enable Bit. 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO, and SCl as serial-port pins.
CKP	BIT4	0	Clock Polarity Select Bit. CKP = 0 for SPI master-mode selection.
SSPM3	BIT3	0	Synchronous Serial Port Mode Select Bit. Sets SPI master mode and selects f _{CLK} = f _{OSC} / 16.
SSPM2	BIT2	0	
SSPM1	BIT1	0	
SSPM0	BIT0	1	

X = 任意

表4. SSPSTATレジスタ内容の詳細

CONTROL BIT		MAX5120/MAX5121 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPSTAT)
SMP	BIT7	0	SPI Data Input Sample Phase. Input data is sampled at the middle of the data output time.
CKE	BIT6	1	SPI Clock Edge Select Bit. Data will be transmitted on the rising edge of the serial clock.
D/A	BIT5	X	Data Address Bit
P	BIT4	X	Stop Bit
S	BIT3	X	Start Bit
R/W	BIT2	X	Read/Write Bit Information
UA	BIT1	X	Update Address
BF	BIT0	X	Buffer Full Status Bit

X = 任意

シリアルデータ出力

内部シフトレジスタの内容はDOUTにシリアルで出力されるため、複数のデバイスのデジチェーン接続(「アプリケーション情報」を参照)及びデータの読み戻しが可能です。MAX5120/MAX5121は、シリアルクロックの立上がりエッジ(モード1)又は立下がりエッジ(モード0)でデータをシフトアウトするように設定できます。後者はパワーアップ時のデフォルトで、16クロックサイクルの遅れを提供するため、SPI、QSPI、MICROWIRE及びPIC16/PIC17コンパチビリティが維持されます。モード1において、出力データはDINよりも15.5クロックサイクル遅れます。パワーダウン時には、DOUTはシャットダウン前の最後のデジタル状態を保持します。

ユーザ設定可能な出力(UPO)

UPO機能により、シリアルインタフェースセットアップを通じて外部デバイスを制御できます(表1)。このため、必要なマイクロコントローラI/Oポート数が減らせます。パワーダウン中、この出力は、シャットダウン前の最後のデジタル状態を保持します。CLRがローに引き下げられると、UPOはウェイクアップの後でデフォルト状態にリセットされます。

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

アプリケーション情報

定義

積分非直線性(INL)

積分非直線性(図8a)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィット(実際の伝達曲線に最も近い近似)あるいはオフセット及び利得誤差を nul(ゼロ)にした後に、伝達関数の終点間を結んだ線です。DACの場合、偏差は各ステップで測定されます。

微分非直線性(DNL)

微分非直線性(図8b)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満

であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

オフセット誤差

オフセット誤差(図8c)は、理想的なオフセットポイントと実際のオフセットポイント間の差です。DACの場合、オフセットポイントはデジタル入力ゼロの時のステップ値です。この誤差は全てのコードに対して同量の影響を与え、通常はトリミングによって補償できます。

利得誤差

利得誤差(図8d)は、オフセット誤差をゼロにした状態における伝達曲線のフルスケール出力電圧の理想値と実際値の間の差です。この誤差は伝達関数の傾きを変化させ、各ステップで同じ比率の誤差となります。

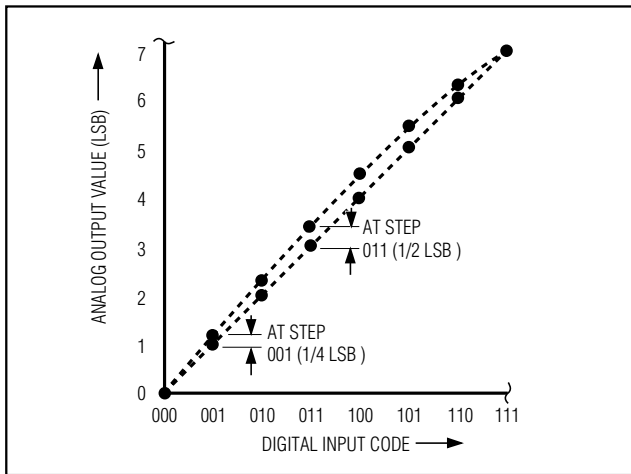


図8a. 積分非直線性

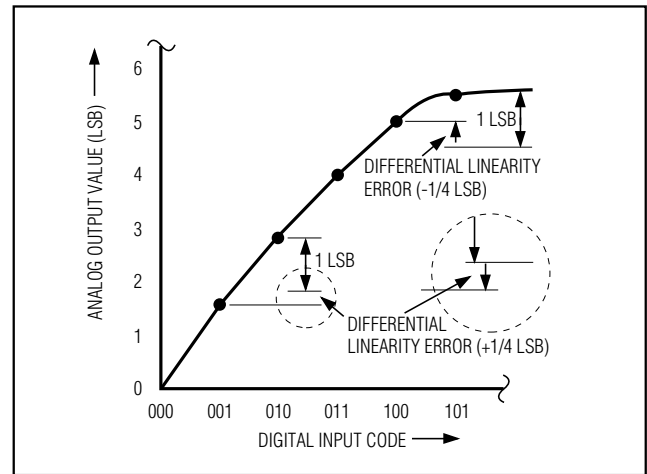


図8b. 微分非直線性

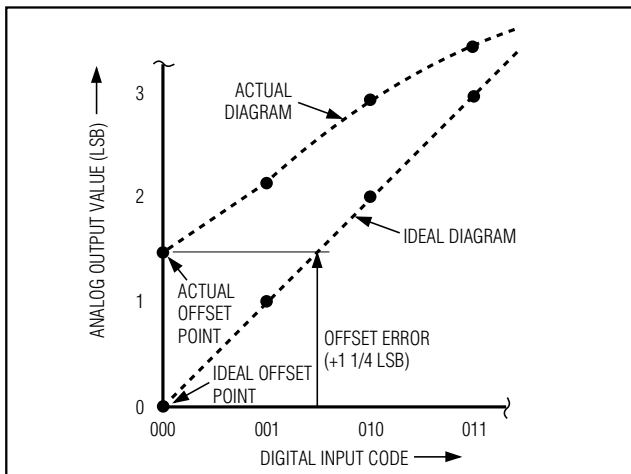


図8c. オフセット誤差

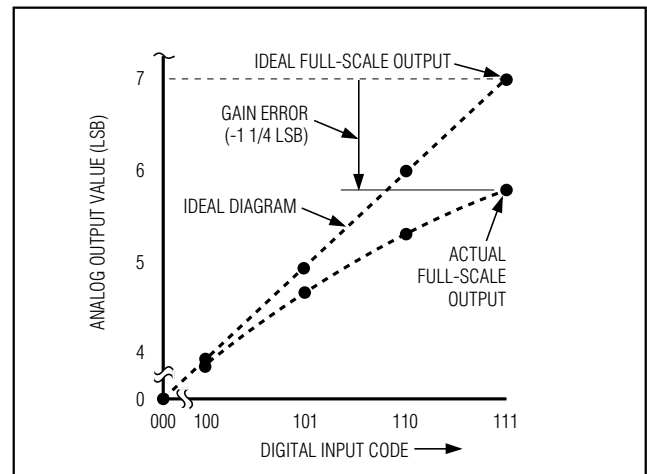


図8d. 利得誤差

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

セトリング時間

セトリング時間は、遷移の開始からDAC出力がコンバータの仕様精度内の新しい出力値に落ち着くまでに要する時間です。

デジタルフィードスルー

デジタルフィードスルーは、デジタル入力の遷移時にDACの出力で生じるノイズです。このノイズは、適正な基板レイアウト及びグラウンディングによってかなり削減できますが、DACそのものに起因するフィードスルーはある程度常に存在します。

ユニポーラ出力

図9に、MAX5120/MAX5121を利得1.6384V/Vのユニポーラ、レイルトゥレイル®動作にセットアップした例を示します。+2.5V内部リファレンスを使用した場合、MAX5120は0V~+4.095Vのユニポーラ出力範囲を保證できます。MAX5121は、内蔵+1.25Vリファレンスによって0V~+2.0475Vの出力範囲を提供します。表5に、ユニポーラ出力電圧のコード例を示します。図10に示すように、OSピンに適当な電圧を接続するだけで出力電圧にオフセットを付加できます。

バイポーラ出力

MAX5120/MAX5121は、図11に示す回路を使用してユニティゲインのバイポーラ動作(OS = OUT)に設定できます。出力電圧 V_{OUT} は次式によって与えられます。

$$V_{OUT} = V_{REF} \cdot \{G \cdot (NB/4096)\} - 1$$

ここで、NBはDACのバイナリ入力コードの数値、 V_{REF} は内部(又は外部)高精度リファレンスの電圧、Gは全利得です。図11のアプリケーション回路は、MAX5120/MAX5121の外側でユニティゲイン構成の低コストオペアンプ(MAX4162)を使用しています。これにより、全回路利得は2V/Vとなります。表6に、バイポーラ出力電圧のコードの例を示します。

リセット(RSTVAL)及びクリア(CLR)機能

MAX5120/MAX5121 DACは、出力をRSTVALの設定に依存する特定の値にリセットするクリアピン(CLR)を備えています。CLRがローに引き下げられた時、RSTVAL = DGNDであると出力は0に設定され、RSTVAL = V_{DD} であると出力はミッドスケールに設定されます。

CLRピンは、最小入力抵抗40k及び直列のダイオードを通じて電源電圧 V_{DD} に接続されています。デジタル電圧がデバイスの電源電圧よりも高いと小さな入力電流が流れますが、この電流は $(V_{CLR} - V_{DD} - 0.5V)/40k$ に制限されます。

注記：DACをクリアすると、ソフトウェアシャットダウンが解除されます(PD = 0)。

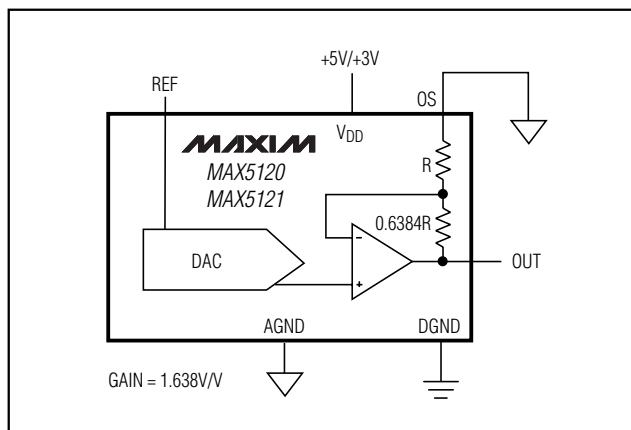


図9. 内部(1.25V/2.5V)又は外部リファレンスを使用したユニポーラ出力回路(OS = AGND)。外部リファレンスを使用する場合は、REFADJを V_{DD} に引き上げてください。

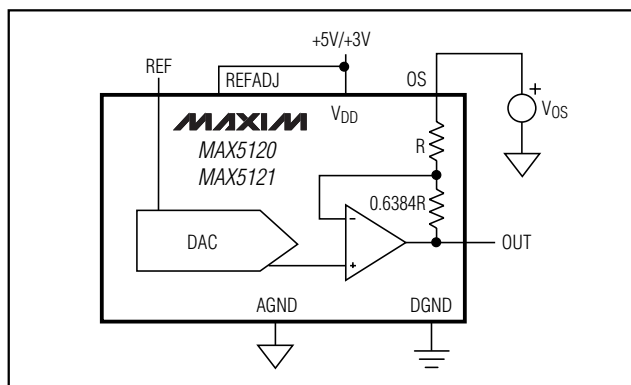


図10. DACの出力にオフセットを付加する回路

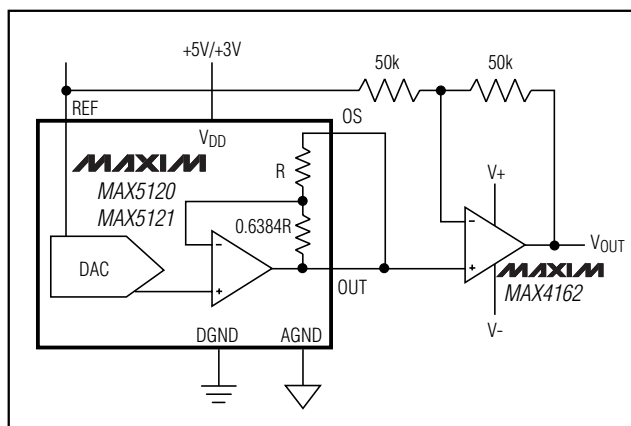


図11. 内部(+1.25V/+2.5V)又は外部リファレンスを使用したユニティゲインバイポーラ出力回路。外部リファレンスを使用する場合は、REFADJを V_{DD} に引き上げてください。

レイルトゥレイルは日本モトローラの登録商標です。

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

表5. ユニポーラコード表(利得 = 1.6384V)

DAC CONTENTS			ANALOG OUTPUT		
MSB	LSB	SUB-BIT SO	INTERNAL REFERENCE		EXTERNAL REFERENCE
			MAX5120	MAX5121	
1111 1111 1111		0	+4.0950V	+2.0475V	+VREF (4095 / 4096) • 1.6384
1000 0000 0001		0	+2.049V	+1.0245V	+VREF (2049 / 4096) • 1.6384
1000 0000 0000		0	+2.048V	+1.024V	+VREF (2048 / 4096) • 1.6384
0111 1111 1111		0	+2.047V	+1.0235V	+VREF (2047 / 4096) • 1.6384
0000 0000 0001		0	+1mV	+0.5mV	+VREF (1 / 4096) • 1.6384
0000 0000 0000		0	0V	0V	0V

表6. 図11用のバイポーラコード表

DAC CONTENTS			ANALOG OUTPUT		
MSB	LSB	SUB-BIT SO	INTERNAL REFERENCE		EXTERNAL REFERENCE
			MAX5120	MAX5121	
1111 1111 1111		0	+2.49878V	+1.24939V	VREF • [{2 • (4095 / 4096)} - 1]
1000 0000 0001		0	+1.2207mV	+610.35μV	VREF • [{2 • (2049 / 4096)} - 1]
1000 0000 0000		0	0V	0V	VREF • [{2 • (2048 / 4096)} - 1]
0111 1111 1111		0	-1.2207μV	-610.35μV	VREF • [{2 • (2047 / 4096)} - 1]
0000 0000 0001		0	-2.49878V	-1.24939V	VREF • [{2 • (14096)} - 1]
0000 0000 0000		0	-2.5V	-1.25V	-VREF

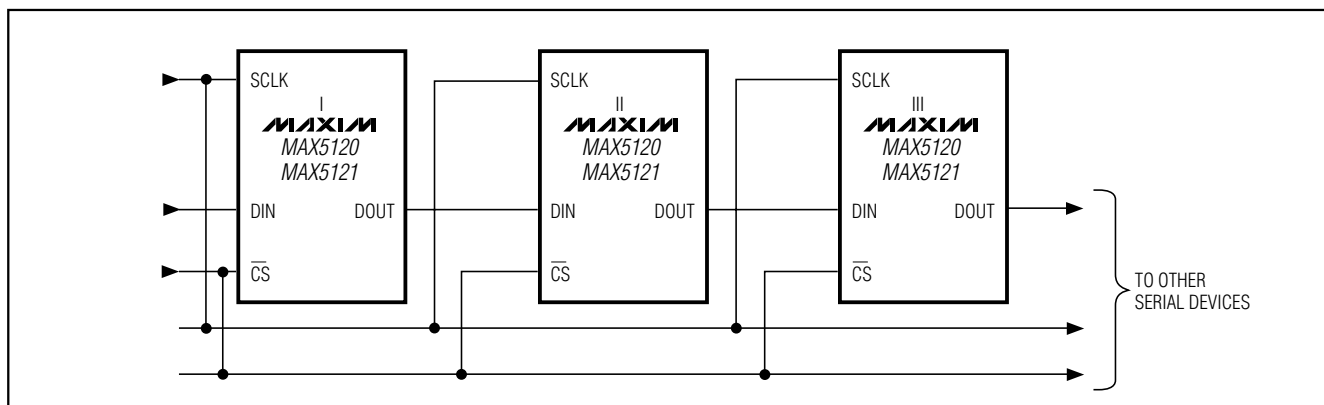


図12. デジタルI/O DIN/DOUTを使用して複数のデバイスをデジチェーン接続

デバイスのデジチェーン接続

1つのデバイスのシリアルデータ出力ピン(DOUT)を次のデバイスのデジタル入力ピン(DIN)に接続することにより、任意の数のMAX5120/MAX5121をデジチェーン接続できます(図12)。

もう1つの構成を使用すると、幾つかのMAX5120/MAX5121 DACによって1つの共通のDIN信号ラインを共有できます(図13)。この構成ではデータバスは全てのデバイスに共通であるため、データはデジチェーンを通じてシフトしていきません。しかし、この構成では各ICが専用のCSラインを必要とするため、より多くのI/Oラインが必要になります。

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

AC成分を持つ外部リファレンスの使用

MAX5120/MAX5121は、リファレンス入力電圧範囲の仕様内で乗算能力を持っています。図14は、REFにサイン波入力を印加する技法を示しています。ここで、AC信号はリファレンス入力に印加される前にオフセットされています。

電源及びバイパスの考慮

パワーアップ時に、入力レジスタ及びDACレジスタはゼロ(RSTVAL = DGND)又はミッドスケール(RSTVAL = V_{DD})にクリアされます。4.7 μ Fコンデンサと0.1 μ Fコンデンサを並列にしたもので、電源をAGNDにバイパスし

て下さい。リードインダクタンスを小さくするために、リードはできるだけ短くして下さい。

レイアウト上の考慮

デジタル及びACトランジェント信号のAGNDへのカップリングのために、出力にノイズが発生することがあります。AGNDはできるだけ良質のグラウンドに接続して下さい。低インダクタンス・グラウンドプレーン付の複層基板等を使用した適正なグラウンディング技法を採用して下さい。ワイヤラッピング基板及びソケットの使用は推奨できません。ノイズが問題になる場合は、シールドが必要になる場合があります。

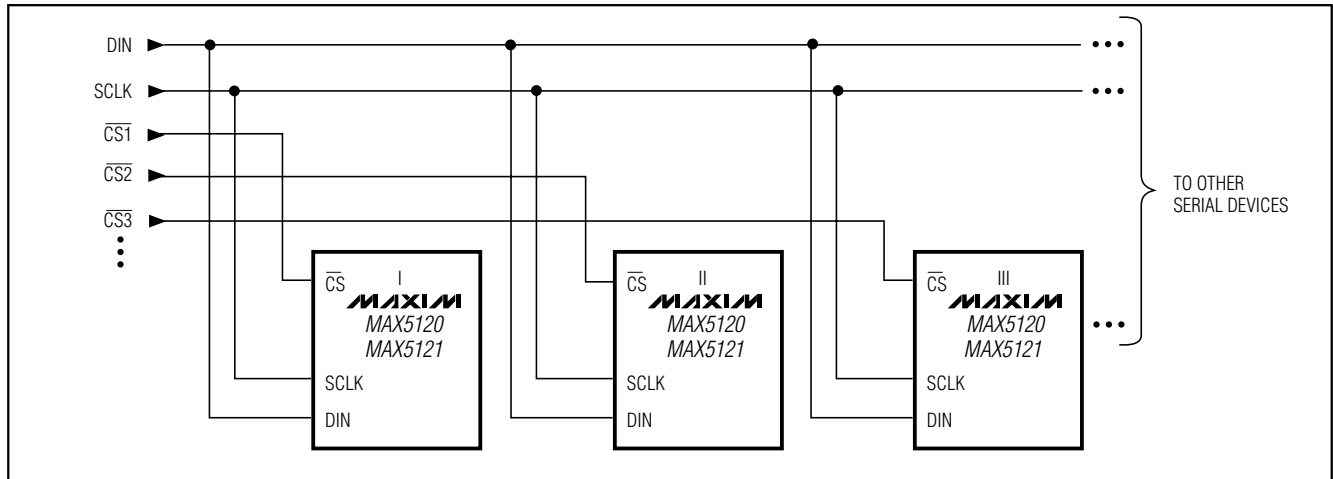


図13. 複数のデバイスが1つの共通デジタル入力(DIN)を共有する場合

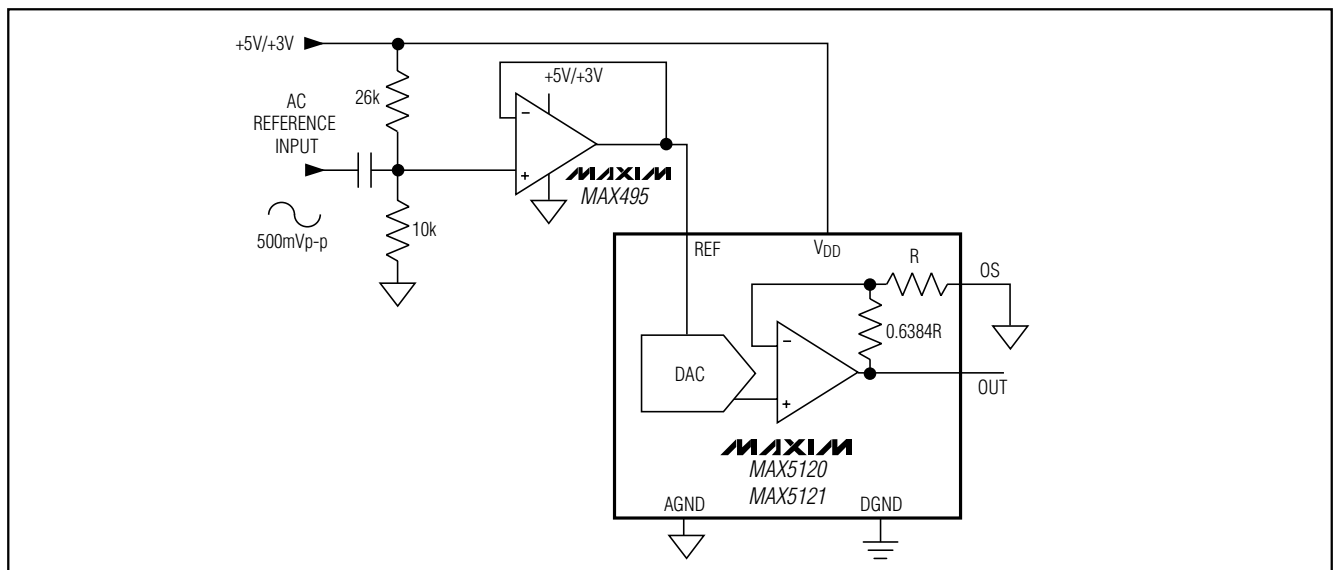


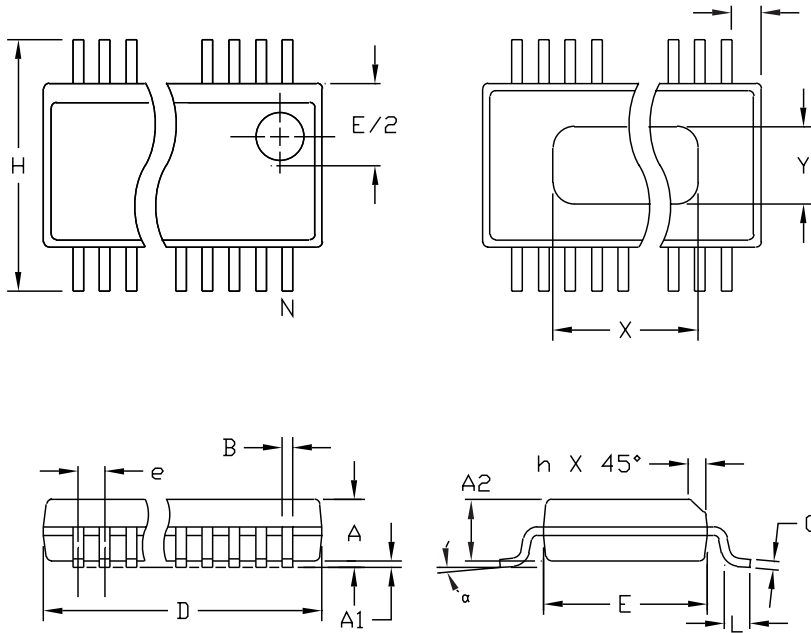
図14. AC成分を持つ外部リファレンス

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

チップ情報 _____

TRANSISTOR COUNT: 3308
SUBSTRATE CONNECTED TO AGND.

パッケージ _____



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

VARIATIONS:

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

MAXIM

PROPRIETARY INFORMATION

TITLE:
PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV	
	21-0055	B	1/1

QSOP EPS

+3V/+5V、12ビット、シリアル電圧出力DAC
内部リファレンス付

NOTES

MAX5120/MAX5121

+3V/+5V、12ビット、シリアル電圧出力DAC 内部リファレンス付

MAX5120/MAX5121

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1999 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.