

# MAXIM

## 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

### 概要

MAX505およびMAX506は、CMOS、クワッド8ビット電圧出力型デジタル-アナログ・コンバータ(DAC)です。これらの製品は、+5V単一および±5Vデュアル電源で動作します。内蔵している高精度出力バッファは、電源電圧範囲の出力幅を備えています。また、リファレンス入力範囲も両電源電圧を含んでいます。

動作温度範囲の全域にわたる1LSBの全未調整誤差(TUE)を実現するために、オフセット、ゲインおよび直線性は、内部的にキャリブレートされています。

MAX505はダブルバッファ付きのロジック入力を備えており、非同期ロードDAC(LDAC)制御信号を用いることで、すべてのアナログ出力を同時に更新することができます。また、MAX505は4つの独立したリファレンス入力も備えており、各DACのフルスケール・レンジを独立して設定することが可能です。

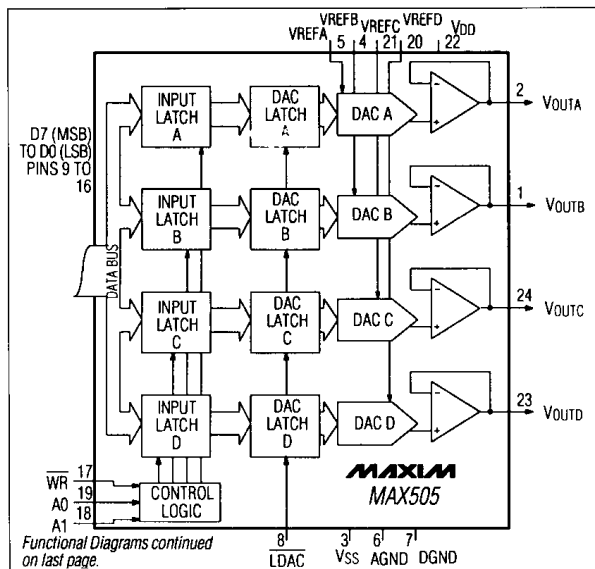
MAX506は、4つのDAC用に独立した入力ラッチを備えています。データは共通の8ビット入力ポートを介して入力ラッチに転送されます。各DACは、アドレス入力のA0およびA1によって個別に選択され、WRを「ロー」とすることにより更新されます。MAX506内のすべてのDACは、共通のリファレンス入力を用います。

全てのロジック入力はTTL及び+5V CMOSコンパチブルです。

### アプリケーション

部品数が最少のアナログ・システム	産業用プロセス制御
デジタル・オフセット/ゲイン調整	自動テスト装置
ファンクション・ジェネレータ	プログラマブル減衰器

### ファンクションダイアグラム



### 特長

- ◆電源電圧：+5V単一または±5Vデュアル
- ◆出力バッファアンプ：電源電圧範囲の振幅
- ◆リファレンス入力範囲：電源電圧を含む
- ◆1LSB TUEを実現する内部キャリブレーション
- ◆ダブルバッファ付きデジタル入力(MAX505)
- ◆マイクロプロセッサおよびTTL/CMOSコンパチブル
- ◆外部調整回路不要
- ◆MX7225/MX7226のピン・コンパチブルな上位バージョン
- ◆小型のSSOPパッケージ

### 型番

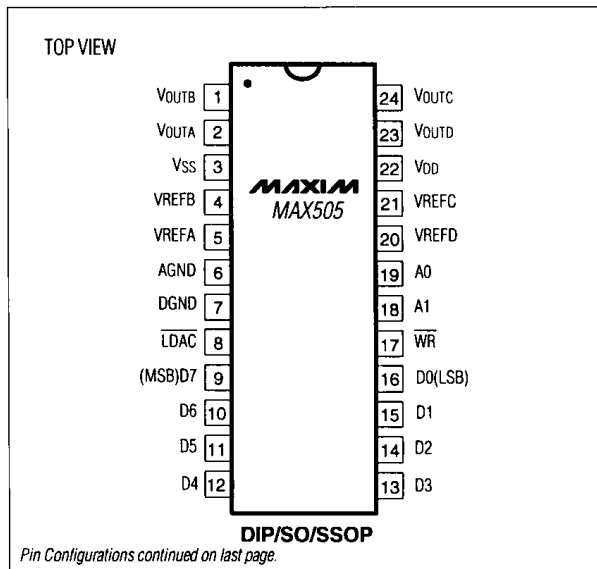
PART	TEMP. RANGE	PIN-PACKAGE	TUE (LSBs)
MAX505ACNG	0°C to +70°C	24 Narrow Plastic DIP	±1
MAX505BCNG	0°C to +70°C	24 Narrow Plastic DIP	±1½
MAX505ACWG	0°C to +70°C	24 Wide SO	±1
MAX505BCWG	0°C to +70°C	24 Wide SO	±1½
MAX505ACAG	0°C to +70°C	24 SSOP	±1
MAX505BCAG	0°C to +70°C	24 SSOP	±1½
MAX505BC/D	0°C to +70°C	Dice*	±1½

Ordering Information continued on last page.

\* Contact factory for dice specifications.

\*\*Contact factory for availability and processing to MIL-STD-883.

### ピン配置



# 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

## ABSOLUTE MAXIMUM RATINGS

VDD to AGND	.....	-0.3V, +8V
VDD to DGND	.....	-0.3V, +6V
VSS to AGND	.....	-7V, 0.3V
VSS to DGND	.....	-7V, 0.3V
VDD to VSS	.....	-0.3V, +12V
Digital Input Voltage to DGND	.....	-0.3V, (VDD + 0.3V)
VREF	.....	(VSS - 0.3V), (VDD + 0.3V)
VOUT (Note 1)	.....	VSS, VDD
Continuous Power Dissipation (TA = +70°C)		
MAX505		
Plastic DIP (derate 13.33mW/°C above +70°C)	.....	1067mW
Wide SO (derate 11.76mW/°C above +70°C)	.....	941mW
CERDIP (derate 12.50mW/°C above +70°C)	.....	1000mW
SSOP (derate 8mW/°C above +70°C)	.....	.640mW

MAX506		
Plastic DIP (derate 11.11mW/°C above +70°C)	.....	889mW
Wide SO (derate 10.00mW/°C above +70°C)	.....	800mW
CERDIP (derate 11.11mW/°C above +70°C)	.....	889mW
Operating Temperature Ranges:		
MAX50__C__	.....	0°C to +70°C
MAX50__E__	.....	-40°C to +85°C
MAX50__M__	.....	-55°C to +125°C
Storage Temperature Range	.....	-65°C to +165°C
Lead Temperature (soldering, 10 sec)	.....	+300°C

**Note 1:** The outputs may be shorted to VDD, VSS, or AGND if the package power dissipation is not exceeded. Typical short-circuit current to AGND is 50mA.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(VDD = +5V ±10%, VSS = 0V to -5.5V, AGND = DGND = 0V, VREF = 4V, RL = 10kΩ, CL = 100pF, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC ACCURACY</b>						
Resolution			8			Bits
Total Unadjusted Error	TUE	VREF = +4V, VSS = 0V or -5V ±10%	MAX50_A	±1		LSB
			MAX50_B	±1½		
		VREF = -4V, VSS = -5V ±10%	MAX50_A	±1		
			MAX50_B	±1½		
Differential Nonlinearity	DNL	Guaranteed monotonic	±1		LSB	
Zero-Code Error	ZCE	Code = 00 hex, VSS = 0V	MAX50_C	14		mV
			MAX50_E	16		
			MAX50_M	20		
		Code = 00 hex, VSS = -5V ±10%	MAX50_C	±14		
			MAX50_E	±16		
			MAX50_M	±20		
Zero-Code Error Supply Rejection		Code = 00 hex, VDD = 5V ±10%, VSS = 0V or -5V ±10%	1	2	mV	
Zero-Code Temperature Coefficient		Code = 00 hex	±10		µV/°C	
Full-Scale Error		Code = FF hex	±14		mV	
Full-Scale Error Supply Rejection		Code = FF hex, VDD = +5V ±10%, VSS = 0V or -5V ±10%	MAX50_C	1	4	mV
			MAX50_E	1	8	
			MAX50_M	12		
Full-Scale-Error Temperature Coefficient		Code = FF hex	±10		µV/°C	

# 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +5V ±10%, V<sub>SS</sub> = 0V to -5.5V, AGND = DGND = 0V, V<sub>REF</sub> = 4V, R<sub>L</sub> = 10kΩ, C<sub>L</sub> = 100pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>REFERENCE INPUTS</b>						
Input Voltage Range			V <sub>SS</sub>		V <sub>DD</sub>	V
Input Resistance (Note 2)		Code = 55 hex	MAX505	16	24	kΩ
			MAX506	4	6	
Input Capacitance (Note 3)		Code = 00 hex	MAX505	15		pF
			MAX506	40		
Channel-to-Channel Isolation		MAX505 (Note 4)		-60		dB
AC Feedthrough		MAX505 (Note 5)		-70		dB
<b>DAC OUTPUTS</b>						
Full-Scale Output Voltage			V <sub>SS</sub>		V <sub>DD</sub>	V
Resistive Load		V <sub>OUT</sub> = 4V, load regulation ≤ 1/4LSB	2			kΩ
		V <sub>OUT</sub> = -4V, load regulation ≤ 1/4LSB	2			
		V <sub>OUT</sub> = V <sub>DD</sub> MAX50_C/E load regulation ≤ 1.5LSB	10			
		V <sub>OUT</sub> = V <sub>DD</sub> MAX50_M load regulation ≤ 2LSB	10			
<b>DIGITAL INPUTS</b>						
Logic High	V <sub>IH</sub>		2.4			V
Logic Low	V <sub>IL</sub>				0.8	V
Input Current		Measured at V <sub>IH</sub> and V <sub>IL</sub>			±1	μA
Input Capacitance				8		pF
Input Coding			Binary			
<b>DYNAMIC PERFORMANCE</b>						
Voltage-Output Slew Rate		Positive and negative	MAX50_C	1.0		V/μs
			MAX50_E	0.7		
			MAX50_M	0.5		
Output Settling Time		To ±1/2LSB, 10kΩ    100pF load (Note 6)		6		μs
Digital Feedthrough		Code = 00 hex, WR = V <sub>DD</sub> , all digital inputs from 0V to V <sub>DD</sub>		5		nV-s
Signal to (Noise + Distortion) Ratio		V <sub>REF</sub> = 4Vp-p at 1kHz, V <sub>DD</sub> = 5V, V <sub>SS</sub> = -5V, code = FF hex		87		dB
		V <sub>REF</sub> = 4Vp-p at 20kHz, V <sub>SS</sub> = -5V ±10%		-74		dB
Multiplying Bandwidth		V <sub>REF</sub> = 0.5Vp-p, 3dB bandwidth		1		MHz
Wideband Amplifier Noise				60		μVRMS

# 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +5V \pm 10\%$ ,  $V_{SS} = 0V$  to  $-5.5V$ ,  $AGND = DGND = 0V$ ,  $V_{REF} = 4V$ ,  $R_L = 10k\Omega$ ,  $C_L = 100pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER SUPPLIES</b>						
Positive Supply Voltage	$V_{DD}$	For specified performance	4.5		5.5	V
Negative Supply Voltage	$V_{SS}$	For specified performance	-5.50		0	V
Positive Supply Current	$I_{DD}$	Outputs unloaded, all digital inputs = 0V or $V_{DD}$	MAX50_C/E	5	10	mA
			MAX50_M	5	12	
Negative Supply Current	$I_{SS}$	$V_{SS} = -5V \pm 10\%$ , outputs unloaded, all digital inputs = 0V or $V_{DD}$	MAX50_C/E	5	10	mA
			MAX50_M	5	12	
<b>SWITCHING CHARACTERISTICS</b>						
Address to $\overline{WR}$ Setup	$t_{AS}$		5	-8		ns
Address to $\overline{WR}$ Hold	$t_{AH}$		5	-4		ns
Data to $\overline{WR}$ Setup	$t_{DS}$		45	35		ns
Data to $\overline{WR}$ Hold	$t_{DH}$		0	-13		ns
$\overline{WR}$ Pulse Width	$t_{WR}$		40	20		ns
LDAC Pulse Width	$t_{LC}$		40	20		ns

**Note 2:** Input resistance is code dependent. The lowest input resistance occurs at code = 55 hex.

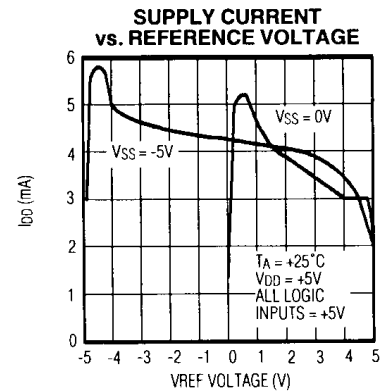
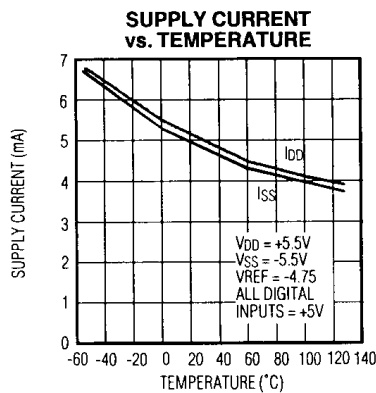
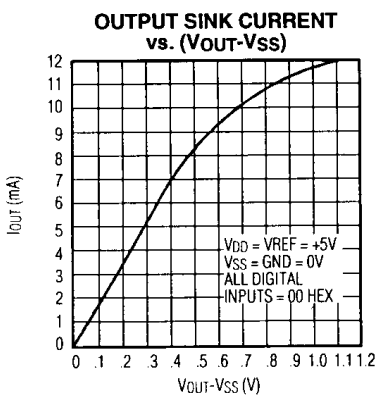
**Note 3:** Input capacitance is code dependent. The highest input capacitance occurs at code = 00 hex.

**Note 4:**  $V_{REF} = 10kHz$ , 4Vp-p. Channel-to-channel isolation is measured by setting the code of one DAC to FF hex and setting the code of all other DACs to 00 hex.

**Note 5:**  $V_{REF} = 10kHz$ , 4Vp-p. DAC code = 00 hex.

**Note 6:** Output settling time is measured by taking the code from 00 hex to FF hex, and from FF hex to 00 hex.

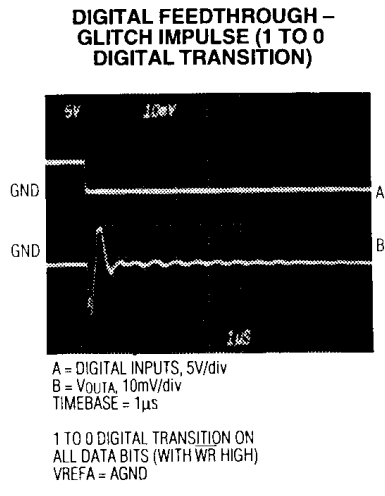
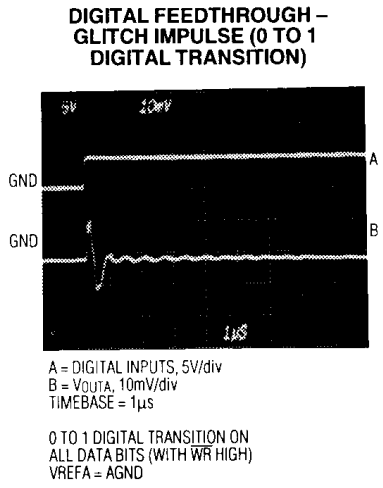
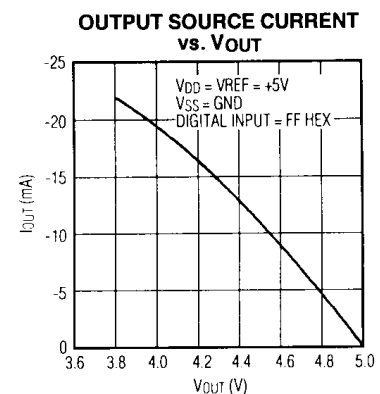
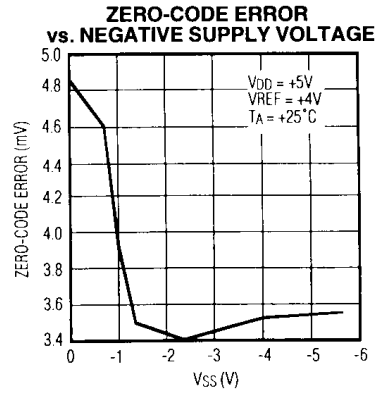
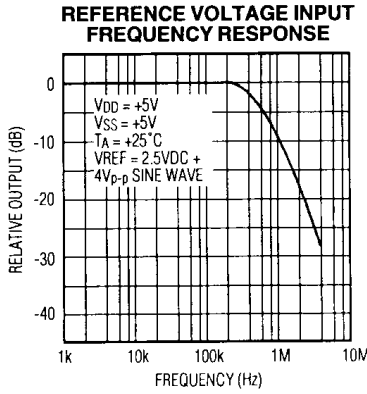
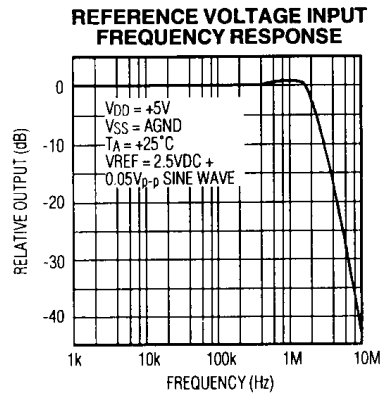
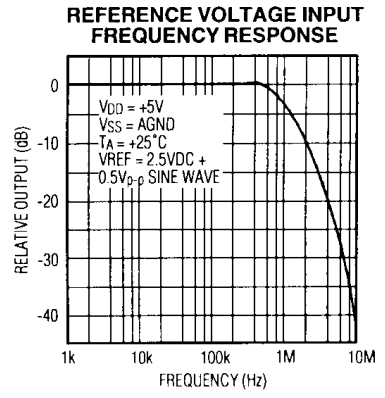
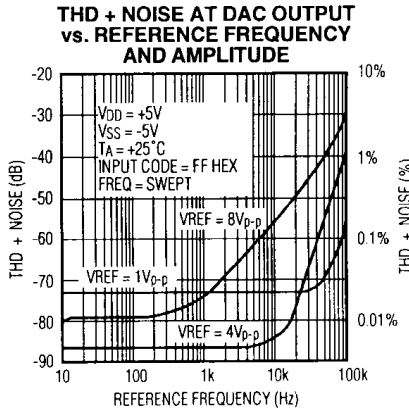
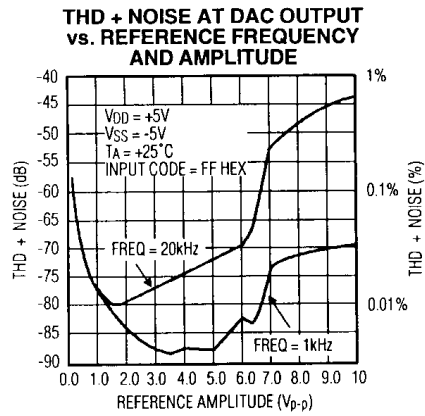
## 標準動作特性



# 電源電圧範囲の出カ クワッド8ビットDAC

MAX505/MAX506

## 標準動作特性(続き)

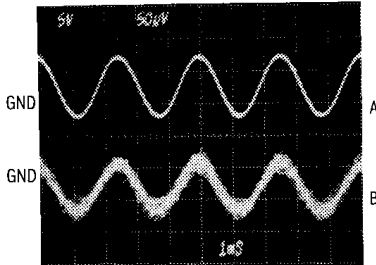


# 電源電圧範囲の出力 クワッド8ビットDAC

標準動作特性(続き)

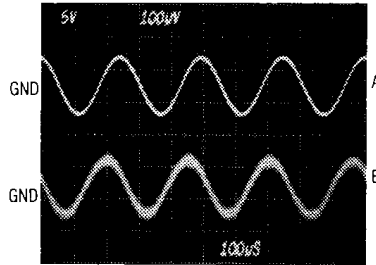
MAX505/MAX506

REFERENCE FEEDTHROUGH  
AT 400Hz



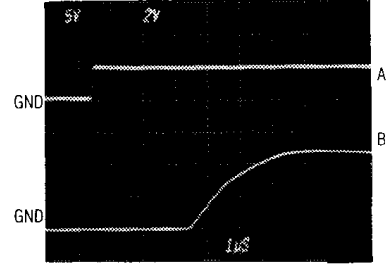
A = VREF, 10Vp-p  
B = VOUTA, 50µV/div, UNLOADED  
TIMEBASE = 1µs/div  
VDD = +5V  
VSS = -5V  
CODE = ALL 0s  
LOAD = ∞

REFERENCE FEEDTHROUGH  
AT 4000Hz



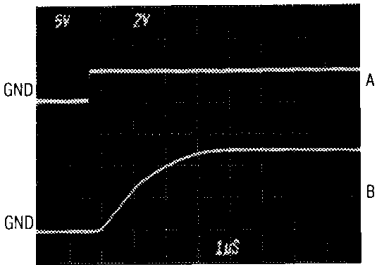
A = VREF, 10Vp-p  
B = VOUTA, 100µV/div, UNLOADED  
TIMEBASE = 100µs/div  
VDD = +5V  
VSS = -5V  
CODE = ALL 0s  
LOAD = ∞

POSITIVE SETTLING TIME  
(VSS = AGND)



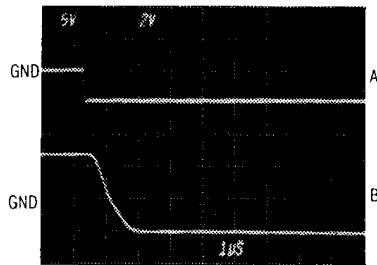
A = DIGITAL INPUT, 5V/div  
B = VOUTA, 2V/div  
TIMEBASE = 1µs  
VDD = +5V  
VREF = +5V  
ALL BITS OFF TO ALL BITS ON  
RL = 10kΩ, CL = 100pF

POSITIVE SETTLING TIME  
(VSS = -5V)



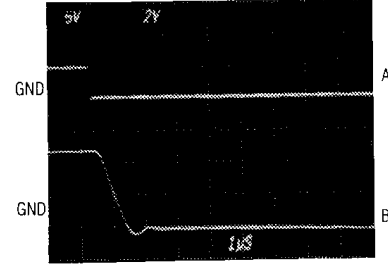
A = DIGITAL INPUT, 5V/div  
B = VOUTA, 2V/div  
TIMEBASE = 1µs  
VDD = +5V  
VREF = +5V  
ALL BITS OFF TO ALL BITS ON  
RL = 10kΩ, CL = 100pF

NEGATIVE SETTLING TIME  
(VSS = AGND)



A = DIGITAL INPUT, 5V/div  
B = VOUTA, 2V/div  
TIMEBASE = 1µs  
VDD = +5V  
VREF = +5V  
ALL BITS ON TO ALL BITS OFF  
RL = 10kΩ, CL = 100pF

NEGATIVE SETTLING TIME  
(VSS = -5V)



A = DIGITAL INPUT, 5V/div  
B = VOUTA, 2V/div  
TIMEBASE = 1µs  
VDD = +5V  
VREF = +5V  
ALL BITS ON TO ALL BITS OFF  
RL = 10kΩ, CL = 100pF

# 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

## 端子説明

端 子		名 称	機 能
MAX505	MAX506		
1	1	V <sub>OUTB</sub>	DAC Bの電圧出力
2	2	V <sub>OUTA</sub>	DAC Aの電圧出力
3	3	V <sub>SS</sub>	負電源
4		VREFB	DAC Bのリファレンス電圧入力
	4	VREF	DAC A、B、C及びDのリファレンス電圧入力
5		VREFA	DAC Aのリファレンス電圧入力
6	5	AGND	アナロググランド
7	6	DGND	デジタルグランド
8		$\overline{\text{LDAC}}$	ロードDAC入力(アクティブ“ロー”)。この非同期入力を“ロー”にすることによって、各入力ラッチのデータがそれぞれのDACラッチに転送されます。
9	7	D7	データビット7(MSB)
10	8	D6	データビット6
11	9	D5	データビット5
12	10	D4	データビット4
13	11	D3	データビット3
14	12	D2	データビット2
15	13	D1	データビット1
16	14	D0	データビット0(LSB)
17	15	$\overline{\text{WR}}$	書込み入力(アクティブ“ロー”)。A0とA1によって選択されたDAC入力ラッチにデータをロードするのに使用されます。
18	16	A1	DACアドレス選択ビット(MSB)
19	17	A0	DACアドレス選択ビット(LSB)
20		VREFD	DAC Dのリファレンス電圧入力
21		VREFC	DAC Cのリファレンス電圧入力
22	18	V <sub>DD</sub>	正電源
23	19	V <sub>OUTD</sub>	DAC Dの電圧出力
24	20	V <sub>OUTC</sub>	DAC Cの電圧出力

# 電源電圧範囲の出力 クワッド8ビットDAC

## 詳細

### デジタル-アナログ変換部

MAX505/MAX506は、マッチングのとれた4つの電圧出力型DACを内蔵しています。DACは、反転R-2Rラダー・ネットワークで構成されており、8ビットのデジタル・ワードを、印加されたリファレンス電圧に比例する、等価なアナログ出力電圧に変換します。MAX505内の各DACは独立したリファレンス入力を備えているのに対し、MAX506内の4つのDACは、共通のリファレンス入力を用います。図1に、1つのDACの概略ブロック図を示します。

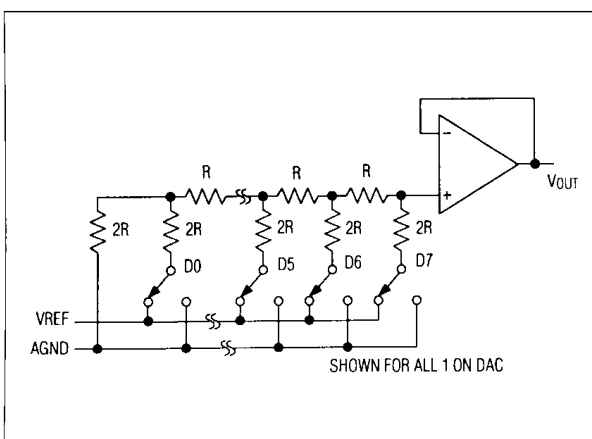


図1. DAC概略ブロック図

### 電源およびリファレンス入力

MAX505/MAX506は乗算への応用に用いることができます。リファレンス入力はDCとACのいずれも許容することができます。各VREF入力における電圧は、それぞれのDACのフルスケール出力電圧を設定します。VREFの入力インピーダンスはコードに依存しており、入力コードが55Hのとき、最小値(MAX505では16kΩ、MAX506では4kΩ)となります。基本的には無限の値となる最大値は、入力コードが00Hのときに発生します。VREFの入力インピーダンスがコードに依存することから、出力の直線性を保つためにDACのリファ

レンス・ソースは低出力インピーダンスの必要があります(MAX505では32Ω以下、MAX506では8Ω以下)。VREFの入力容量もまたコードに依存し、MAX505での最大値は55pF、MAX506での最大値は40pFです。

任意のDACの出力電圧は、デジタル的にプログラム可能な電圧ソースとして、次のように表現することが可能です。

$$V_{OUT} = (N_B \times VREF)/256$$

ここで、 $N_B$ はDACのバイナリ入力コードの数値表現です。

### 出力バッファ・アンプ

MAX505/MAX506のすべての電圧出力は、1V/μsでスルーする高精度ユニティゲイン・フォロワによって内部的にバッファされています。0Vから+4V(または、+4Vから0V)の出力遷移では、10kΩと100pFの並列負荷に対して、アンプ出力は標準で6μs以内に1/2LSBに安定します。

このバッファ・アンプは、2kΩ以上の抵抗性負荷と300pF以内の容量性負荷のあらゆる組合せに対し、常に安定です。

### デジタル入力とインタフェース・ロジック

デジタル入力はTTLと5V CMOSロジックのいずれにもコンパチブルです。しかしながら、電源電流( $I_{DD}$ )は、入力ロジック・レベルに依存します。電源電流は、CMOS入力レベル(最良の場合)について規定されています。TTLロジック・レベルで駆動される場合、電源電流は約2mA増加します。

アドレス入力のA0とA1により、表1のようにデータ・バスからのデータを受け取るDACを選択します。 $\overline{WR}$ が“ロー”のとき、指定されたDACの入力ラッチはトランスペアレントになります。データは、 $\overline{WR}$ の立上りエッジにおいてラッチされます。図2に、MAX505/MAX506の入力制御ロジックを示します。

MAX506のDAC出力は、4つの8ビット入力レジスタ内に保持されているデータに対応します。MAX505はダブルバッファ付きの入力を備えています。すなわち、4つの入力レジスタに加えて、個別のDACラッチも備えています(機能ブロック図を参照)。



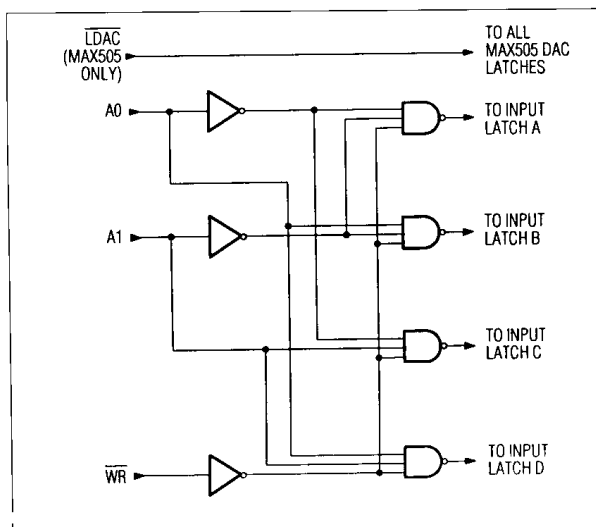


図2. MAX505/MAX506入力制御ロジック

MAX505の内部では、 $\overline{\text{LDAC}}$ 入力を“ロー”とすることにより、データは入力ラッチからDACラッチに転送されます。この動作により、4つの出力がすべて同時に更新されます。 $\overline{\text{LDAC}}$ はWRに対して非同期であることから、出力に間違ったデータがラッチされないように注意してください。表1aは、MAX505の書き込みサイクルでの真理値表です。表1bは、MAX506の書き込みサイクルでの真理値表です。図3に、MAX505/MAX506の書き込みサイクルのタイミングを示します。同時更新が不要の場合には、 $\overline{\text{LDAC}}$ を“ロー”にしDACラッチをトランスペアレントにします。出力グリッチを防ぐために、 $\overline{\text{WR}}$ が“ロー”になる前にデータを確実に有効状態にします(MAX506)。このことは、MAX505においてもWRと $\overline{\text{LDAC}}$ が同時に“ロー”になる場合には、同じようにして下さい。

電源投入時、MAX505/MAX506のすべてのレジスタには全0がプリセットされます。

表1a. MAX505DACのアドレッシング(部分)

LDAC	WR	A1	A0	LATCH STATE
H	H	X	X	Input and DAC data latched
H	L	L	L	DAC A input latch transparent
L	H	X	X	All 4 DACs' DAC latches transparent
L	L	L	L	DAC A input registers transparent and all 4 DACs' DAC latches transparent
H	L	L	H	DAC B input latch transparent
H	L	H	L	DAC C input latch transparent
H	L	H	H	DAC D input latch transparent

H = High State, L = Low State, X = Don't Care

表1b. MAX506DACのアドレッシング(部分)

WR	A1	A0	LATCH STATE
H	X	X	Input data latched
L	L	L	DAC A input latch transparent
L	L	H	DAC B input latch transparent
L	H	L	DAC C input latch transparent
L	H	H	DAC D input latch transparent

H = High State, L = Low State, X = Don't Care

# 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

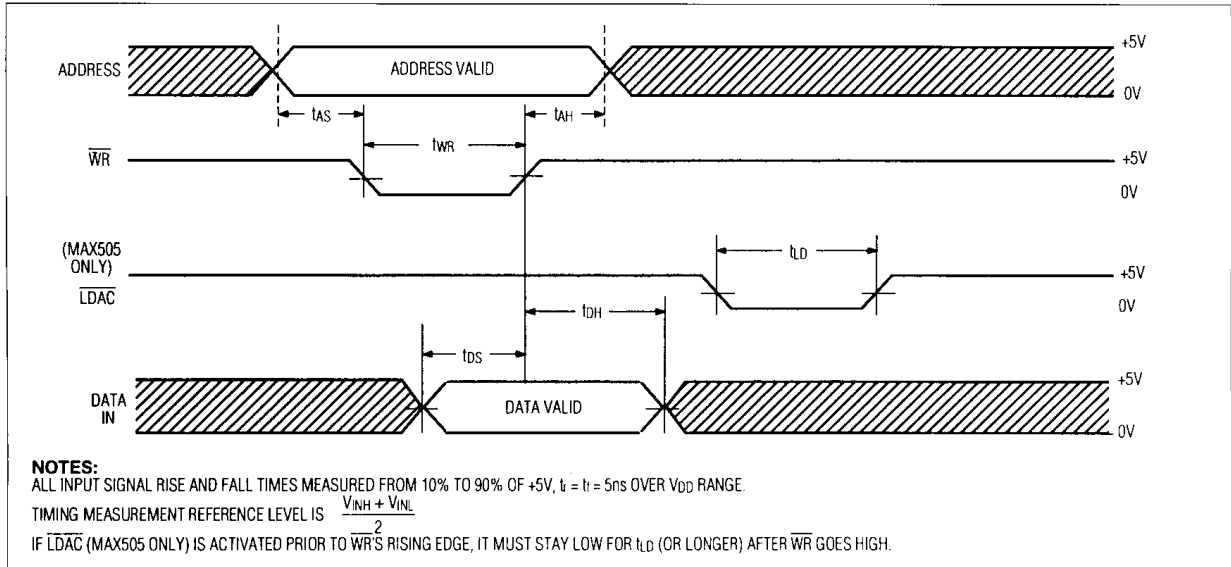


図3. MAX505/MAX506書き込みサイクル・タイミング

## アプリケーション情報

### 電源およびリファレンスの動作範囲

MAX505/MAX506は、 $V_{DD} = 5V \pm 5\%$ 、 $V_{SS} = 0 \sim -5.5V$ での動作が完全に規定されています。単一およびデュアル電源のいずれについても、8ビット性能が保証されています。+5V単一電源動作時には、ゼロ・コードを与えた際の出力誤差が14mV以下であることが保証されています。

これらのDACは、 $V_{SS} \sim V_{DD}$ の範囲のリファレンス電圧について良好に動作します。

$V_{SS}$ は、AGNDもしくはDGNDのいずれかよりも高くしないでください。すべての入力に、 $V_{DD}$ よりも大きな電圧を与えることはできません。

### 電源のバイパスおよびグラウンド管理

単一電源動作時 ( $\text{AGND} = \text{DGND} = V_{SS} = 0V$ )、AGND、DGNDおよび $V_{SS}$ は、素子の位置でのスター・グラウンドにすべて接続してください。そして、このグラウンドは最良のグラウンドにリターンさせてください。 $V_{DD}$ のバイパスは、 $V_{DD}$ およびAGNDにできるかぎり近い位置に配置した0.1 $\mu\text{F}$ のコンデンサを用いて行ってください。

デュアル電源動作時において $\text{DGND} = \text{AGND}$ のとき、 $V_{DD}$ と $V_{SS}$ は0.1 $\mu\text{F}$ のコンデンサを用いてAGNDにバイパスしてください。これらのコンデンサは、できる限り電源ピンの近くに配置してください。AGND上へのデジタル・ノイズを最小化するため、DGNDとAGNDは最良のグラウンドへのリターン径路を独立に用意してください。

注意深いPCBレイアウトにより、DAC出力、リファレンス入力およびデジタル入力間のクロストークが最小になります。図4と5に、クロストークを最小とする推奨回路基板レイアウトを示します。

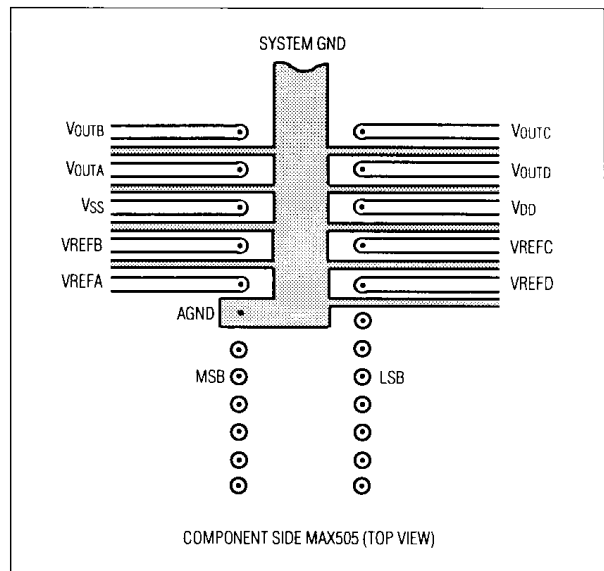


図4. クロストークを最小とするMAX505用のPCBレイアウト

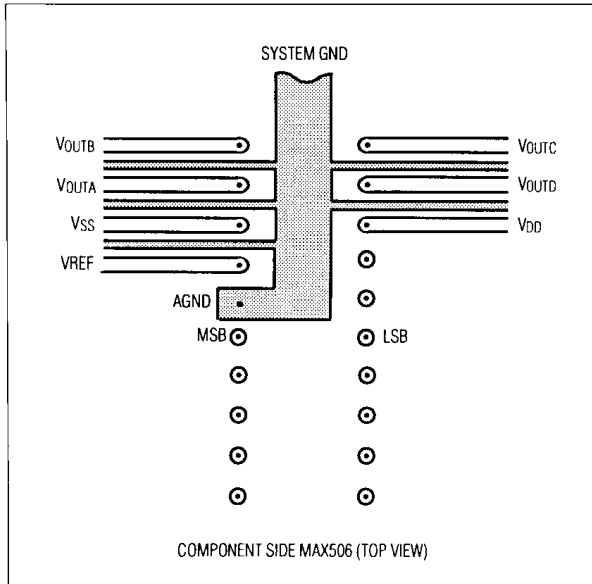


図5. クロストークを最小とするMAX506用のPCBレイアウト

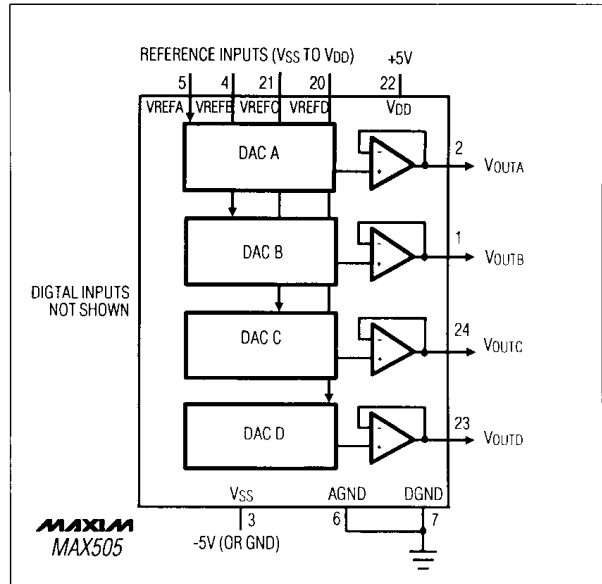


図6. MAX505ユニポーラ出力回路

### ユニポーラ出力、2象限乗算

ユニポーラ動作では、出力電圧とリファレンス入力と同じ極性をもちます。図6および7に、MAX505/MAX506のユニポーラ用の構成を示します。リファレンス入力为正のとき、いずれの製品も単一電源で動作します。デュアル電源を用いている場合、リファレンス入力は $V_{SS} \sim V_{DD}$ の範囲で変化させることができます。表2にユニポーラ・コード表を示します。

### バイポーラ出力、2象限乗算

AGNDを正または負にオフセットすることで、バイポーラ出力2象限乗算を行うことができます。

#### AGNDの正方向へのオフセット — 単一またはデュアル電源

図8に示すように、入力コードが0のときに任意の非ゼロ出力電圧を得るため、AGNDはDGNDよりも高くバイアスすることができます。 $V_{OUTA}$ での出力電圧は次のようになります。

$$V_{OUTA} = V_{BIAS} + (N_B / 256) (V_{IN})$$

ここで、 $N_B$ はデジタル入力ワードを表しています。AGNDは4つのDACすべてに共通であることから、すべての出力は $V_{BIAS}$ だけオフセットされます。AGNDをDGND + 1V以上にオフセットしないでください。

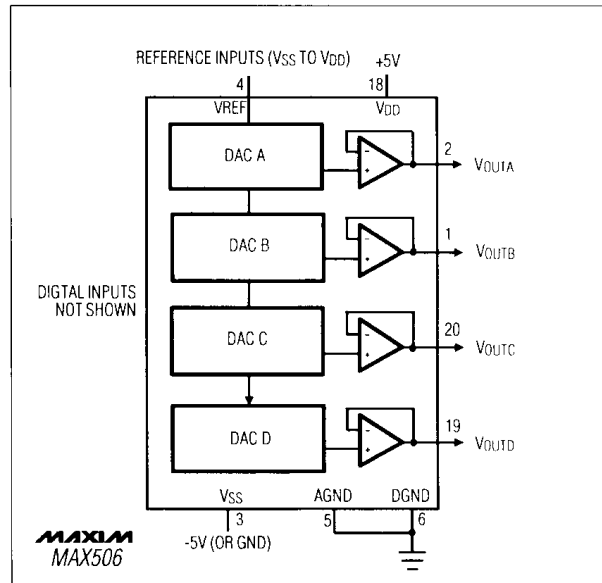


図7. MAX506ユニポーラ出力回路

# 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

表2. ユニポーラ・コード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111	+VREF $\left(\frac{255}{256}\right)$
1000	0001	+VREF $\left(\frac{129}{256}\right)$
1000	0000	+VREF $\left(\frac{128}{256}\right) = +\frac{VREF}{2}$
0111	1111	+VREF $\left(\frac{127}{256}\right)$
0000	0001	+VREF $\left(\frac{1}{256}\right)$
0000	0000	0V

Note: 1LSB = (VREF) (2<sup>-8</sup>) = +VREF  $\left(\frac{1}{256}\right)$

## AGNDの負方向へのオフセット—デュアル電源

バイポーラ出力を得るためのもう一つの方法は、図9の回路を用います。これらの回路では、入力コードが0のときに任意の負の出力電圧を得るために、AGNDを負方向にバイアスしています (DGND-2.5Vまで)。V<sub>OUTA</sub>での出力電圧は次のようになります。

$$V_{OUTA} = -(R2/R1) (2.5V) + (N_B/256) (2.5V) (R2/R1 + 1)$$

ここで、N<sub>B</sub>はデジタル入力ワードを表しています。AGNDは4つのDACすべてに共通であることから、すべての出力はV<sub>BIAS</sub>だけオフセットされます。表3に、図9の回路においてR<sub>1</sub>=R<sub>2</sub>、VREF=2.5Vでのデジタル・コードと出力電圧の関係を示します。

## 4象限乗算

図10の回路を用いることで、各DAC出力を4象限乗算構成とすることができます。チャンネルごとに、オペアンプを1つと、2本の抵抗が必要です。R<sub>1</sub>=R<sub>2</sub>のとき、V<sub>OUT</sub>は次のようになります。

$$V_{OUT} = VREF [2 \times (N_B/256) - 1]$$

ここで、N<sub>B</sub>はDACレジスタA内のデジタル・ワードを表しています。

抵抗R<sub>1</sub>とR<sub>2</sub>の推奨値は330k(±0.1%)です。表3に、図10の回路でのデジタル・コードと出力電圧の関係を示します。

表3. バイポーラ・コード表

DAC CONTENTS		ANALOG OUTPUT
MSB	LSB	
1111	1111	VREF $\left(\frac{127}{128}\right)$
1000	0001	VREF $\left(\frac{1}{128}\right)$
1000	0000	0V
0111	1111	-VREF $\left(\frac{1}{128}\right)$
0000	0001	-VREF $\left(\frac{127}{128}\right)$
0000	0000	-VREF $\left(\frac{128}{128}\right) = -VREF$

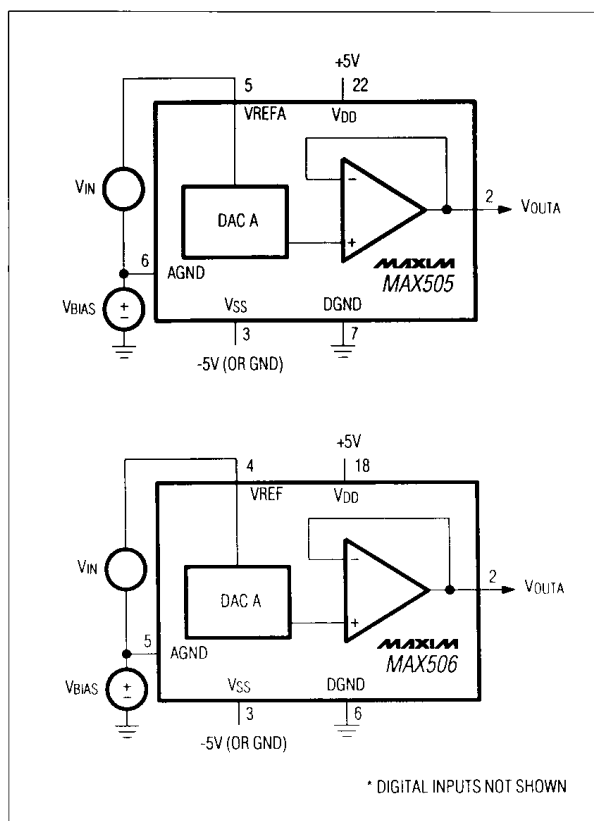


図8. AGNDバイアス回路(正方向オフセット)

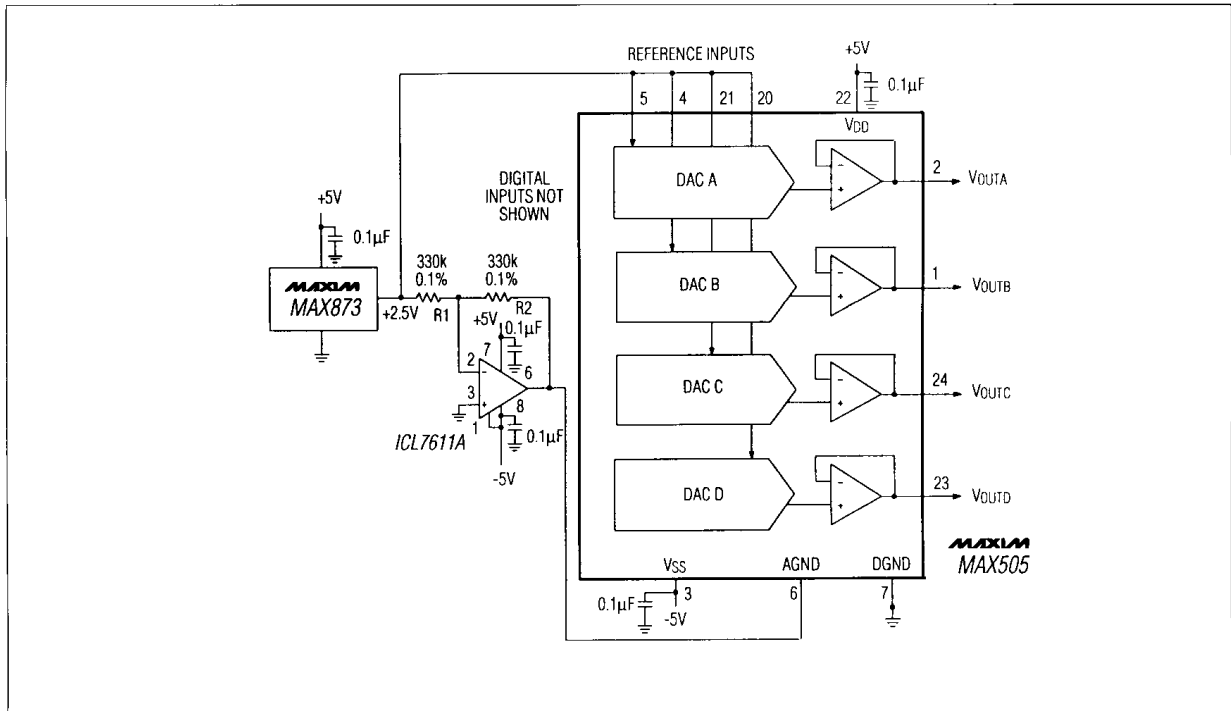


図9a. MAX505 AGNDバイアス回路(負方向オフセット)

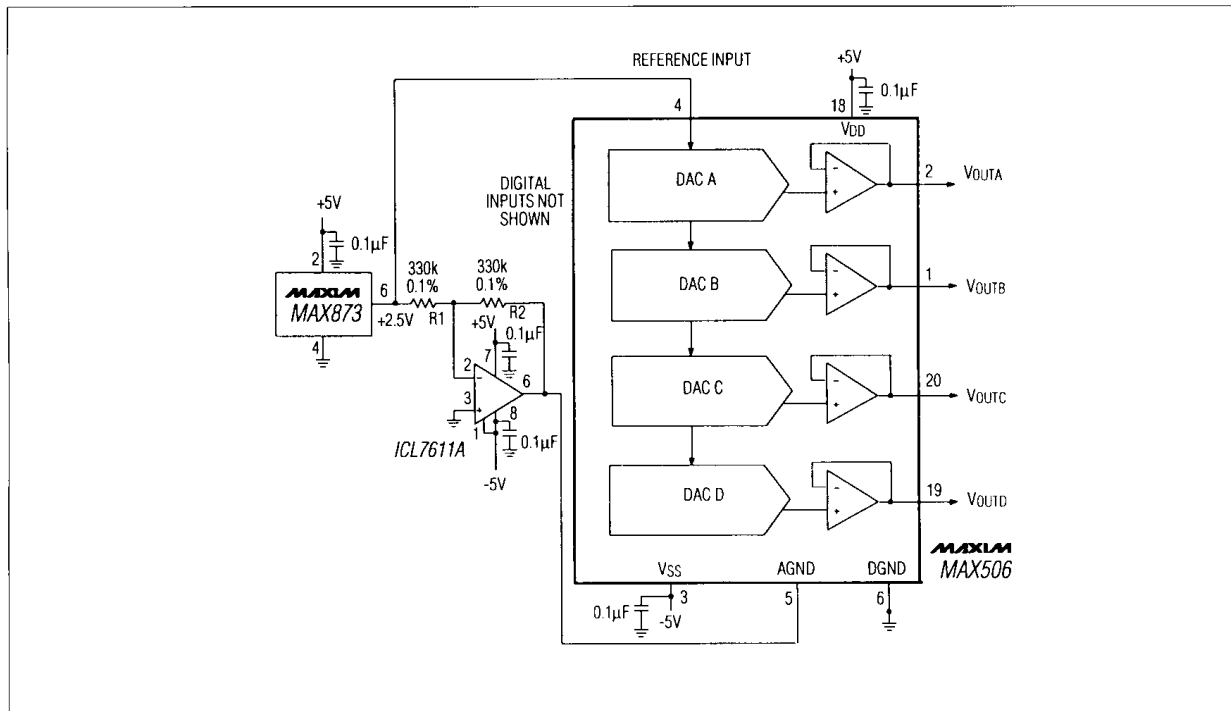


図9b. MAX506 AGNDバイアス回路(負方向オフセット)

# 電源電圧範囲の出力 クワッド8ビットDAC

MAX505/MAX506

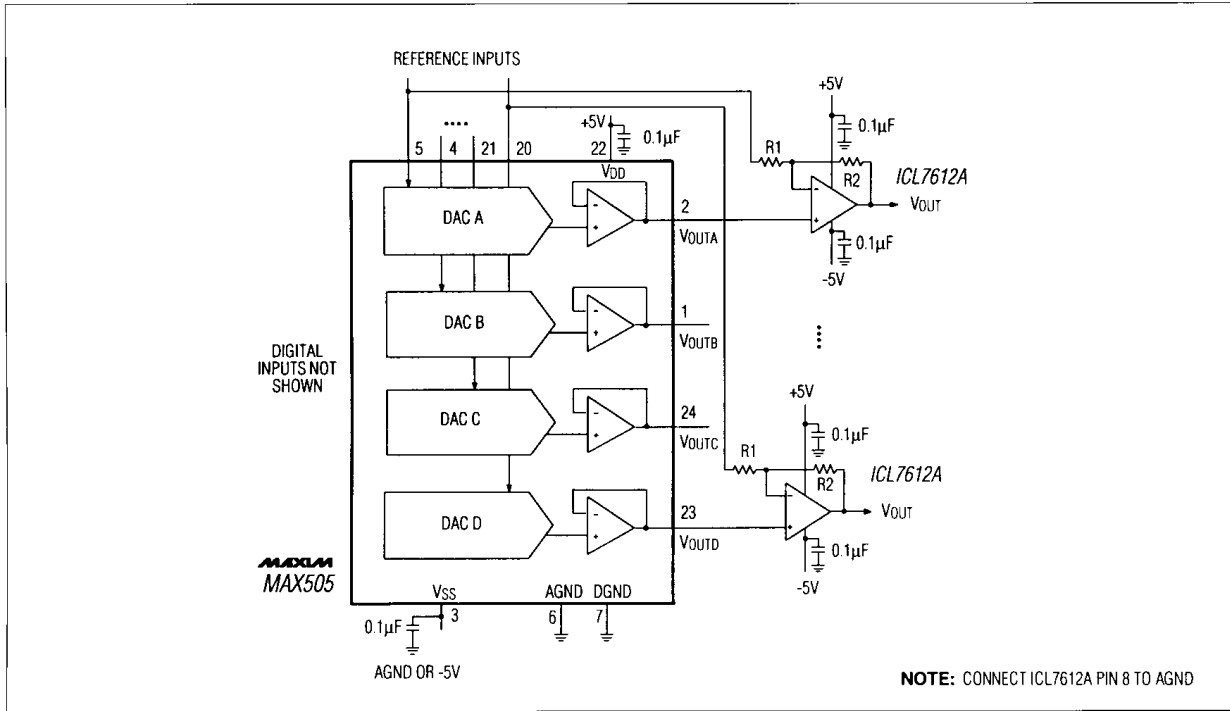


図10a. MAX505バイポーラ出力回路

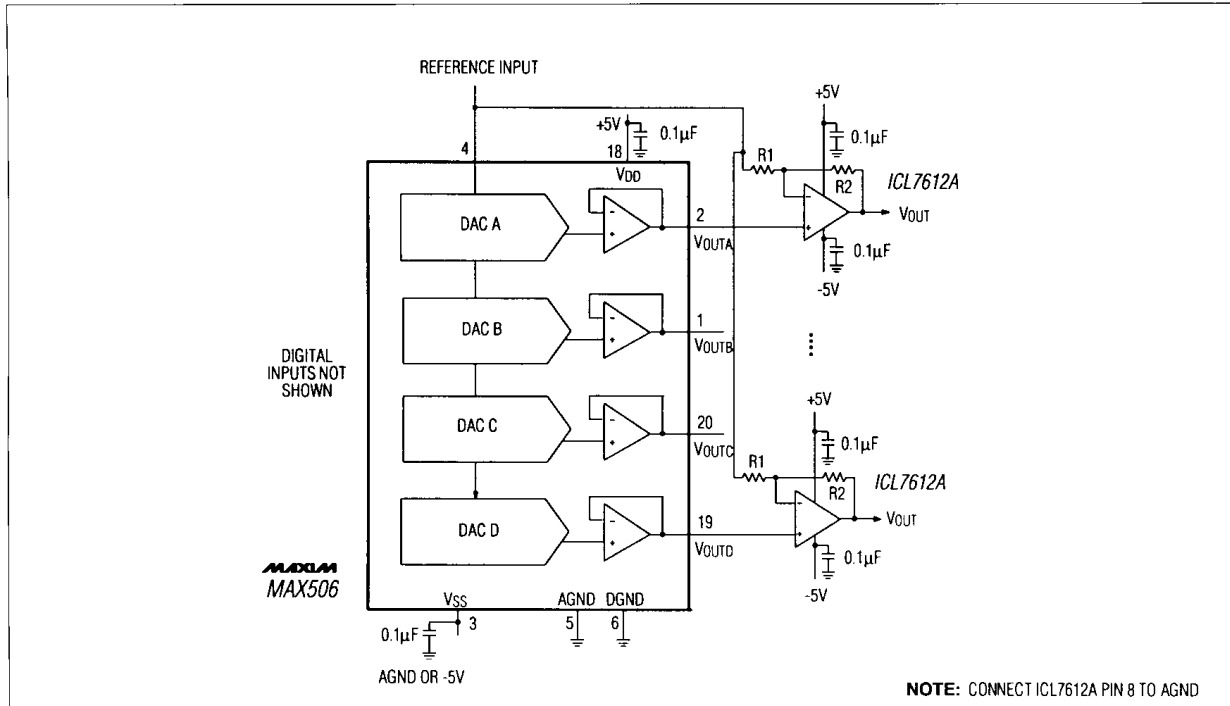
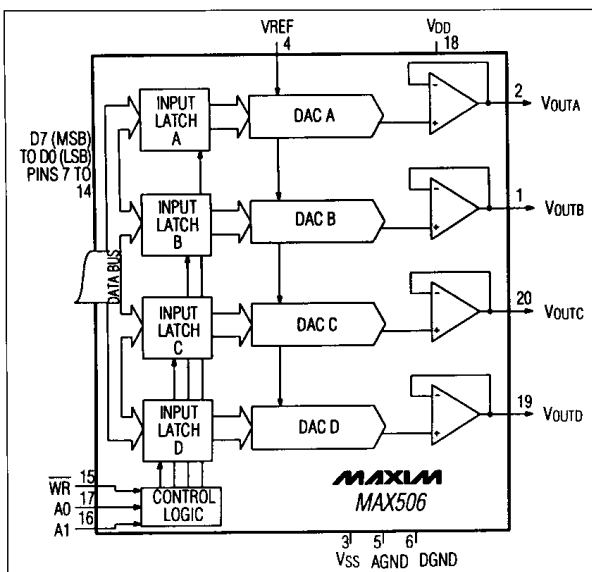


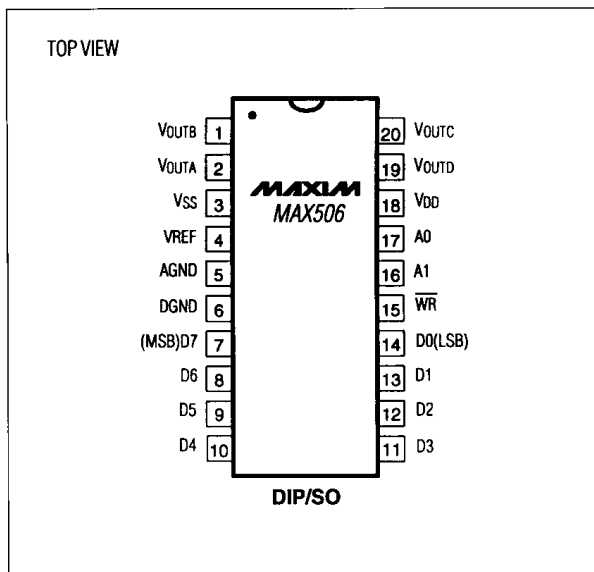
図10b. MAX506バイポーラ出力回路

# 電源電圧範囲の出力 クワッド8ビットDAC

## ファンクションダイアグラム(続き)



## ピン配置(続き)



MAX505/MAX506

## 型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	TUE (LSBs)
MAX505AENG	-40°C to +85°C	24 Narrow Plastic DIP	±1
MAX505BENG	-40°C to +85°C	24 Narrow Plastic DIP	±1½
MAX505AEWG	-40°C to +85°C	24 Wide SO	±1
MAX505BEWG	-40°C to +85°C	24 Wide SO	±1½
MAX505AEAG	-40°C to +85°C	24 SSOP	±1
MAX505BEAG	-40°C to +85°C	24 SSOP	±1½
MAX505AMRG	-55°C to +125°C	24 Narrow Cerdip**	±1
MAX505BMRG	-55°C to +125°C	24 Narrow Cerdip**	±1½
MAX506ACPP	0°C to +70°C	20 Plastic DIP	±1
MAX506BCPP	0°C to +70°C	20 Plastic DIP	±1½
MAX506ACWP	0°C to +70°C	20 Wide SO	±1
MAX506BCWP	0°C to +70°C	20 Wide SO	±1½
MAX506BC/D	0°C to +70°C	Dice*	±1½
MAX506AEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX506BEPP	-40°C to +85°C	20 Plastic DIP	±1½
MAX506AEWP	-40°C to +85°C	20 Wide SO	±1
MAX506BEWP	-40°C to +85°C	20 Wide SO	±1½
MAX506AMJP	-55°C to +125°C	20 Cerdip**	±1
MAX506BMJP	-55°C to +125°C	20 Cerdip**	±1½

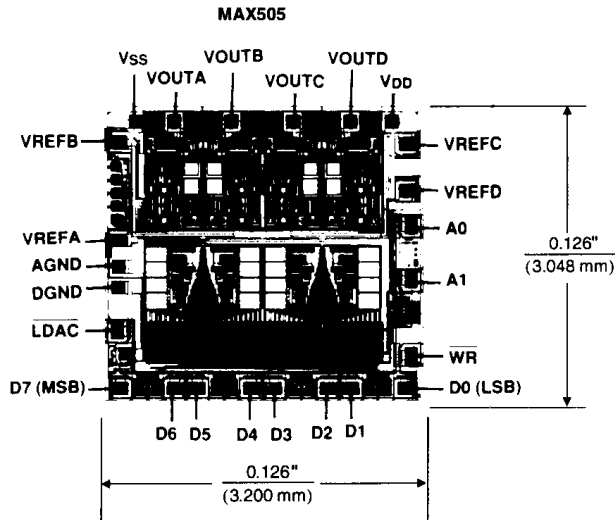
Contact factory for dice specifications.

\*Contact factory for availability and processing to MIL-STD-883.

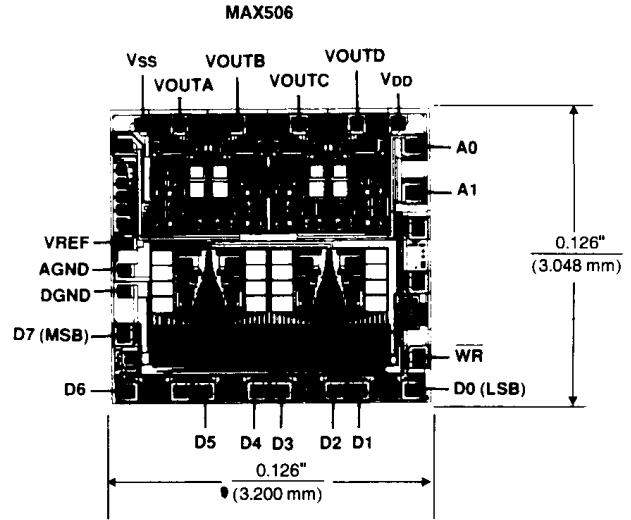
# 電源電圧範囲の出力 クワッド8ビットDAC

チップ構造図

MAX505/MAX506



TRANSISTOR COUNT: 1717;  
SUBSTRATE CONNECTED TO VDD.



TRANSISTOR COUNT: 1717;  
SUBSTRATE CONNECTED TO VDD.

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL.(03)3232-6141 FAX.(03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600