

5V、低電力、パラレル入力、 10ビット電圧出力DAC

概要

MAX503は、低電力、10ビット、電圧出力型デジタル・アナログ・コンバータ(DAC)で、電圧リファレンスと出力バッファ・アンプを内蔵し、+5V単一または±5Vデュアル電源で動作します。+5V単一電源での動作電流は僅か250 μ Aで、携帯用やバッテリー駆動の応用に最適です。さらに、SSOPの面積は僅か0.6cm²で、8ピンDIPよりも小型です。10ビットの分解能は、レーザ・トリミングされたDAC、オペアンプおよびリファレンスによって実現され、外部調整は一切不要です。

内部ゲイン設定抵抗により、DAC出力電圧レンジを0~+2.048V、0~+4.096V、又は±2.048Vに設定することができます。外部抵抗やオペアンプを用いることなく4象限乗算が可能です。パラレル・ロジック入力はダブルバッファされており、4ビット、8ビット、又は16ビット・マイクロプロセッサとコンパチブルです。ハードウェア及びソフトウェアがコンパチブルな12ビットのアップグレード版は、MAX530のデータシートを参照してください。同様の特長をもつリアル・データ・インタフェース付きのDACについては、MAX504/MAX515のデータシートを参照してください。

アプリケーション

バッテリー駆動のデータ変換製品

部品数が最小のアナログ・システム

デジタル・オフセット/ゲイン調整

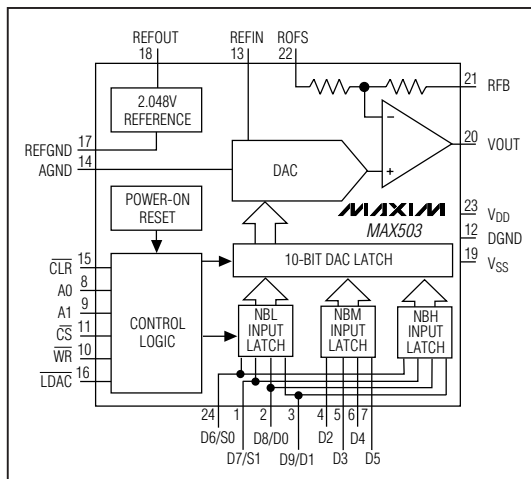
産業用プロセス制御

任意波形発生器

自動テスト機器

マイクロプロセッサ制御のキャリブレーション

ファンクションダイアグラム



特長

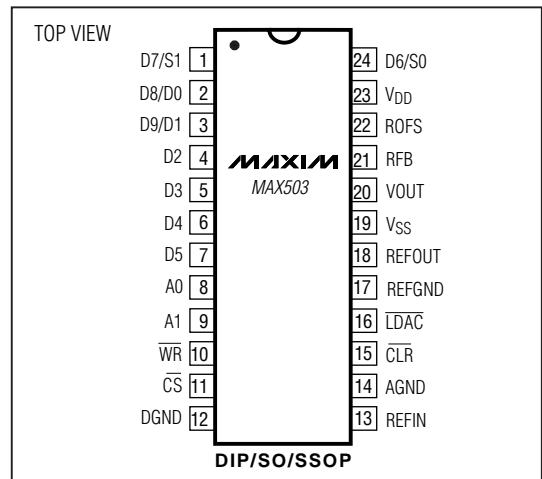
- ◆ バッファ付き電圧出力
- ◆ 電圧リファレンス内蔵：2.048V
- ◆ +5V単一または±5Vデュアル電源動作
- ◆ 低消費電力
250 μ Aの動作電流
40 μ Aのシャットダウン電流
- ◆ 省スペースSSOPパッケージ
- ◆ 相対精度：±1/2LSB Max(全温度範囲)
- ◆ 単調性保証(全温度範囲)
- ◆ 外部部品無しでの4象限乗算
- ◆ パワーオン・リセット
- ◆ ダブルバッファ付きパラレル・ロジック入力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX503CNG	0°C to +70°C	24 Narrow Plastic DIP
MAX503CWG	0°C to +70°C	24 Wide SO
MAX503CAG	0°C to +70°C	24 SSOP
MAX503ENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX503EWG	-40°C to +85°C	24 Wide SO
MAX503EAG	-40°C to +85°C	24 SSOP

Refer to the MAX530 for military temperature or die equivalents.

ピン配置



5V、低電力、パラレル入力、 10ビット電圧出力DAC

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND and V _{DD} to AGND	-0.3V, +6V
V _{SS} to DGND and V _{SS} to AGND	-6V, +0.3V
V _{DD} to V _{SS}	-0.3V, +12V
AGND to DGND	-0.3V, +0.3V
REFGND to AGND	-0.3V, (V _{DD} + 0.3V)
Digital Input Voltage to DGND	-0.3V, (V _{DD} + 0.3V)
REFIN	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
REFOUT	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
REFOUT to REFGND	-0.3V, (V _{DD} + 0.3V)
RFB	(V _{SS} - 0.3V), (V _{DD} + 0.3V)
ROFS	(V _{SS} - 0.3V), (V _{DD} + 0.3V)

V _{OUT} to AGND (Note 1)	V _{SS} , V _{DD}
Continuous Current, Any Input	±20mA
Continuous Power Dissipation (T _A = +70°C)	
Narrow Plastic DIP (derate 13.33mW/°C above +70°C)	1067mW
Wide SO (derate 11.76mW/°C above +70°C)	941mW
SSOP (derate 8.00mW/°C above +70°C)	640mW
Operating Temperature Ranges	
MAX503C_G	0°C to +70°C
MAX503E_G	-40°C to +85°C
Storage Temperature Range	-65°C to +165°C
Lead Temperature (soldering, 10sec)	+300°C

Note 1: The output may be shorted to V_{DD}, V_{SS}, DGND, or AGND if the continuous package power dissipation and current ratings are not exceeded. Typical short-circuit currents are 20mA.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—Single +5V Supply

(V_{DD} = 5V, V_{SS} = 0V, AGND = DGND = REFGND = 0V, REFIN = 2.048V (external), RFB = ROFS = V_{OUT}, C_{REFOUT} = 33μF, R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		10			Bits
Relative Accuracy	INL	(Note 2)			±0.5	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Unipolar Offset Error	V _{OS}		0	0.25	3	LSB
Unipolar Offset Temperature Coefficient	TCV _{OS}			3		ppm/°C
Unipolar Offset-Error Supply Rejection	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		0.1		LSB/V
Gain Error (Note 2)	GE	DAC latch = all 1s, V _{OUT} < V _{DD} - 0.4V (Note 2)			±1	LSB
Gain-Error Temperature Coefficient				1		ppm/°C
Gain-Error Power-Supply Rejection	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		0.1		LSB/V
DAC VOLTAGE OUTPUT (V_{OUT})						
Output Voltage Range			0	V _{DD} - 0.4		V
Resistive Load		V _{OUT} = 2V, load regulation ≤ ±0.5LSB	2			kΩ
DC Output Impedance				0.2		Ω
Short-Circuit Current	I _{SC}			12		mA
REFERENCE INPUT (REFIN)						
Reference Input Range			0	V _{DD} - 2		V
Reference Input Resistance		Code dependent, minimum at code 0101...	40			kΩ
Reference Input Capacitance		Code dependent (Note 3)	10	50		pF
AC Feedthrough		(Note 4)		-80		dB

5V、低電力、パラレル入力、 10ビット電圧出力DAC

MAX503

ELECTRICAL CHARACTERISTICS—Single +5V Supply (continued)

($V_{DD} = 5V$, $V_{SS} = 0V$, $AGND = DGND = REF_{GND} = 0V$, $REF_{IN} = 2.048V$ (external), $R_{FB} = ROFS = V_{OUT}$, $C_{REF_{OUT}} = 33\mu F$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE OUTPUT (REFOUT)						
Reference Tolerance	$V_{REF_{OUT}}$	$T_A = +25^\circ C$	2.024	2.048	2.072	V
		MAX503C	2.015		2.081	
		MAX503E	2.011		2.085	
Reference Output Resistance	$R_{REF_{OUT}}$	(Note 5)			2	Ω
Power-Supply Rejection Ratio	PSRR	$4.5V \leq V_{DD} \leq 5.5V$		200		$\mu V/V$
Noise Voltage	e_n	0.1Hz to 10kHz		400		μV_{p-p}
Temperature Coefficient				30		ppm/ $^\circ C$
Required External Capacitor	$C_{REF_{OUT}}$		3.3			μF
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate		$T_A = +25^\circ C$	0.15	0.25		V/ μs
Voltage Output Settling Time		$T_o \pm 0.5LSB$, $V_{OUT} = 2V$		25		μs
Digital Feedthrough		$WR = V_{DD}$, digital inputs all 1s to all 0s		5		nV-s
Signal-to-Noise Plus Distortion Ratio	SINAD	Unity gain (Note 4)		68		dB
		Gain = 2 (Note 4)		68		
DIGITAL INPUTS (S0, S1, D0–D9, LDAC, CLR, CS, WR, A0, A1)						
Logic High Input	V_{IH}		2.4			V
Logic Low Input	V_{IL}				0.8	V
Digital Leakage Current		$V_{IN} = 0V$ or V_{DD}			± 1	μA
Digital Input Capacitance				8		pF
POWER SUPPLIES						
Positive Supply-Voltage Range	V_{DD}		4.5		5.5	V
Positive Supply Current	I_{DD}	Outputs unloaded, all digital inputs = 0V or V_{DD}		250	400	μA
SWITCHING CHARACTERISTICS						
Address to WR Setup	t_{AWS}		5			ns
Address to WR Hold	t_{AWH}		5			ns
CS to WR Setup	t_{CWS}		0			ns
CS to WR Hold	t_{CWH}		0			ns
Data to WR Setup	t_{DS}		45			ns
Data to WR Hold	t_{DH}		0			ns
WR Pulse Width	t_{WR}		45			ns
LDAC Pulse Width	t_{LDAC}		45			ns
CLR Pulse Width	t_{CLR}		45			ns
Internal Power-On Reset Pulse Width	t_{POR}	(Note 3)		1.3	10	μs

5V、低電力、パラレル入力、 10ビット電圧出力DAC

MAX503

ELECTRICAL CHARACTERISTICS—Dual ±5V Supplies

($V_{DD} = 5V$, $V_{SS} = -5V$, $AGND = DGND = REFGND = 0V$, $REFIN = 2.048V$ (external), $RFB = ROFS = VOUT$, $C_{REFOUT} = 33\mu F$, $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		10			Bits
Relative Accuracy	INL				+0.5	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Bipolar Offset Error	V_{OS}				±3	LSB
Bipolar Offset Temperature Coefficient	TCV_{OS}			3		ppm/°C
Bipolar Offset-Error Power-Supply Rejection	PSRR	$4.5V \leq V_{DD} \leq 5.5V$, $-5.5V \leq V_{SS} \leq -4.5V$		0.1		LSB/V
Gain Error					±1	LSB
Gain-Error Temperature Coefficient	TC			1		ppm/°C
Gain-Error Power-Supply Rejection	PSRR	$4.5V \leq V_{DD} \leq 5.5V$, $-5.5V \leq V_{SS} \leq -4.5V$		0.1		LSB/V
DAC VOLTAGE OUTPUT (VOUT)						
Output Voltage Range			$V_{SS} + 0.4$	$V_{DD} - 0.4$		V
Resistive Load		$VOUT = 2V$, load regulation $\leq \pm 0.5LSB$	2			k Ω
DC Output Impedance				0.2		Ω
Short-Circuit Current	I_{SC}			20		mA
REFERENCE INPUT (REFIN)						
Reference Input Range			$V_{SS} + 2$	$V_{DD} - 2$		V
Reference Input Resistance		Code dependent, minimum at code 0101...	40			k Ω
Reference Input Capacitance		Code dependent (Note 3)	10		50	pF
AC Feedthrough		(Note 4)		-80		dB
REFERENCE OUTPUT (REFOUT) —Specifications are identical to those under Single +5V Supply						
DYNAMIC PERFORMANCE —Specifications are identical to those under Single +5V Supply						
DIGITAL INPUTS (S0, S1, D0–D9, LDAC, CLR, CS, WR, A0, A1) —Specifications are identical to those under Single +5V Supply						
POWER SUPPLIES						
Positive Supply Voltage	V_{DD}		4.5		5.5	V
Negative Supply Voltage	V_{SS}		-5.5		0	V
Positive Supply Current	I_{DD}	Outputs unloaded, all digital inputs = 0V or V_{DD}		250	400	μA
Negative Supply Current	I_{SS}	Outputs unloaded, all digital inputs = 0V or V_{DD}		150	200	μA
SWITCHING CHARACTERISTICS —Specifications are identical to those under Single +5V Supply						

Note 2: In single supply, INL and GE are calculated from code 3 to code 1023 (code excludes S0 and S1).

Note 3: Guaranteed by design.

Note 4: $REFIN = 1kHz$, 2.0Vp-p.

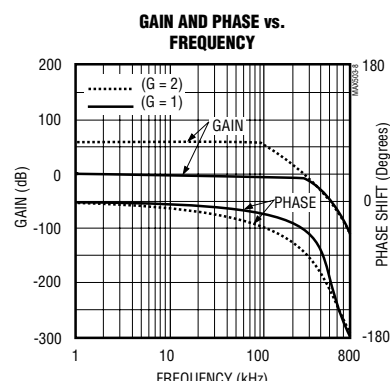
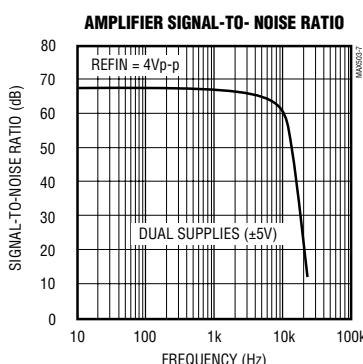
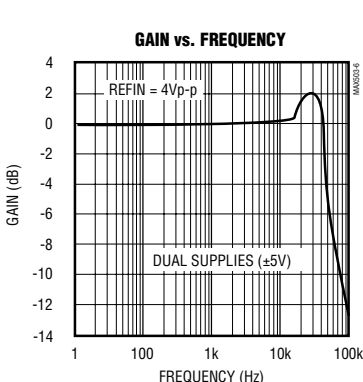
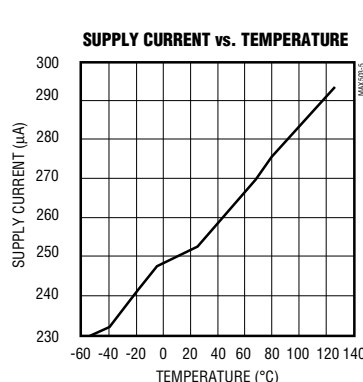
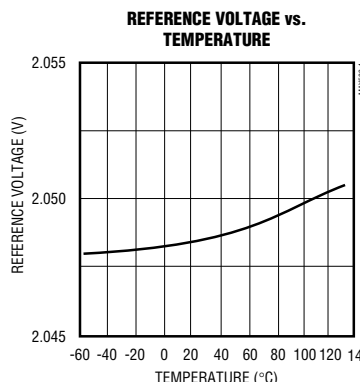
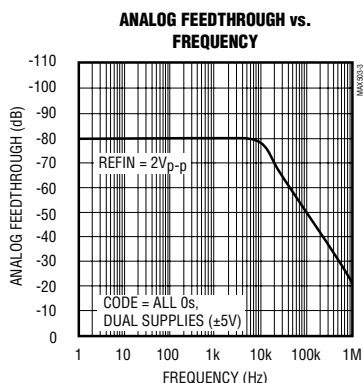
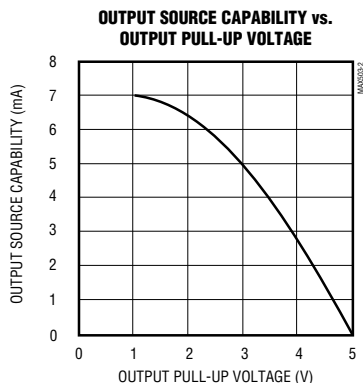
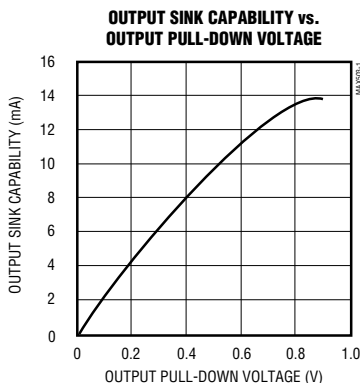
Note 5: Tested at $I_{OUT} = 100\mu A$. The reference can typically source up to 5mA (see *Typical Operating Characteristics*).

5V、低電力、パラレル入力、 10ビット電圧出力DAC

MAX503

標準動作特性

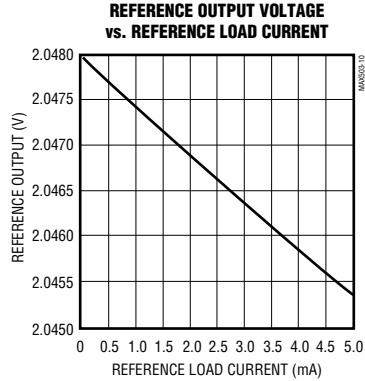
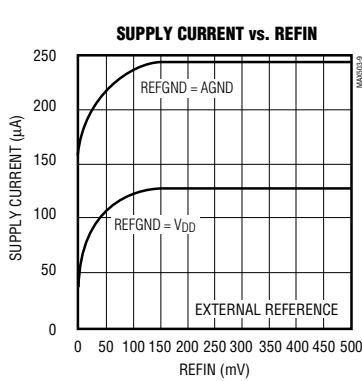
(Single +5V supply, unity gain, code = all 1s, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



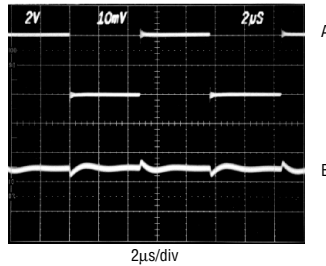
5V、低電力、パラレル入力、 10ビット電圧出力DAC

標準動作特性(続き)

(Single +5V supply, unity gain, code = all 1s, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

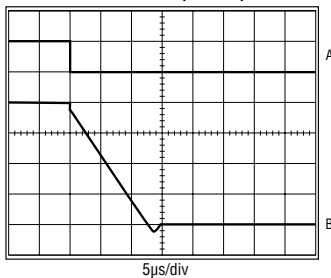


DIGITAL FEEDTHROUGH



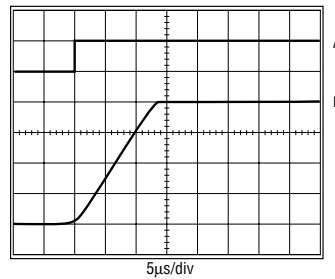
A: S0, S1, D0–D9 = 100kHz, 4Vp-p
B: VOUT, 10mV/div
LDAC = CS = HIGH

SETTLING TIME (FALLING)



A: DIGITAL INPUTS FALLING EDGE, 5V/div
B: VOUT, NO LOAD, 1V/div
DUAL SUPPLY ($\pm 5\text{V}$)
LDAC = LOW
BIPOLEAR CONFIGURATION
 $V_{\text{REFIN}} = 2\text{V}$

SETTLING TIME (RISING)



A: DIGITAL INPUTS RISING EDGE,
B: VOUT, NO LOAD, 1V/div
DUAL SUPPLY ($\pm 5\text{V}$)
LDAC = LOW
BIPOLEAR CONFIGURATION
 $V_{\text{REFIN}} = 2\text{V}$

5V、低電力、パラレル入力、 10ビット電圧出力DAC

端子説明

端子	名称	機能
1	D7/S1	A0 = A1 = 1のときはD7入力。A0 = 0かつA1 = 1のときはS1入力。S1は常に0に設定してください*。
2	D8/D0	A0 = A1 = 1のときはD8入力。A0 = 0かつA1 = 1のときはD0入力*。
3	D9/D1	A0 = A1 = 1のときはD9入力。A0 = 0かつA1 = 1のときはD1入力*。
4	D2	D2入力データ、あるいはA0 = 1かつA1 = 0のときはS0と接続して多重化します*。
5	D3	D3入力データ、あるいはA0 = 1かつA1 = 0のときはS1と接続して多重化します*。
6	D4	D4入力データ、あるいはA0 = 1かつA1 = 0のときはD0と接続して多重化します*。
7	D5	D5入力データ、あるいはA0 = 1かつA1 = 0のときはD1と接続して多重化します*。
8	A0	アドレスラインA0。A1と共に用いて12ビットのデータラインを4ビットに多重化し、下位(NBL)、中位(NBM)および上位(NBH)の4ビット・ニブルのロードを行います。(12ビット・データは8+4ビットとしてもロード可能)
9	A1	アドレスラインA1。NBLとNBMのときA0 = A1 = 0、NBLのときA0 = 0かつA1 = 1、NBMのときA0 = 1かつA1 = 0、NBHのときA0 = A1 = 1に設定してください。入力ラッチの完全なアドレス指定については表2を参照してください。
10	\overline{WR}	ライト入力(アクティブロー)。 \overline{CS} = ローと共に用いて、A0とA1によって選択される入力ラッチにデータをロードします。
11	\overline{CS}	チップ・セレクト(アクティブロー)。共有バス・ラインからのこのチップのアドレッシングや書き込みをイネーブルします。
12	DGND	デジタル・グラウンド
13	REFIN	リファレンス入力。R-2R DACの入力。このピンは外部リファレンスに接続するか、内部2.048Vリファレンスを用いる際には、REFOUT(ピン18)へ接続します。
14	AGND	アナログ・グラウンド
15	\overline{CLR}	クリア(アクティブロー)。 \overline{CLR} ピンをローレベルとすると、DACラッチは全0にリセットされます。
16	\overline{LDAC}	ロードDAC入力(アクティブロー)。この非同期入力をローに駆動すると入力ラッチの内容がDACラッチに転送され、VOUTが更新されます。
17	REFGND	リファレンス・グラウンド。内部リファレンスを用いる際には、AGNDに接続します。V _{DD} に接続すると内部リファレンスの動作が禁止され、消費電力が低減されます。
18	REFOUT	リファレンス出力。内部2.048Vリファレンスの出力です。R-2R DACを駆動する際には、REFINに接続します。
19	V _{SS}	負の電源電圧。通常は、+5V単一電源時にグラウンドに、デュアル電源時には-5Vに接続します。
20	VOUT	電圧出力。オペアンプバッファ付きのDAC出力。
21	RFB	フィードバック・ピン。オペアンプのフィードバック抵抗です。常にVOUTに接続します。
22	ROFS	オフセット抵抗ピン。G = 1のときはVOUTに、G = 2のときはAGNDに、バイポーラ出力時にはREFINに接続します。
23	V _{DD}	正の電源電圧(+5V)
24	D6/S0	A0 = A1 = 1のときはD6入力。A0 = 0かつA1 = 1のときはS0入力。S0は常に0に設定してください*。

*これにより、4+4+4の入力が可能になります。8+4のロード入力については表2を参照。

5V、低電力、パラレル入力、10ビット電圧出力DAC

詳細

MAX503はパラレル入力のロジックインタフェース、10ビットR-2Rラダー、電圧リファレンス、およびオペアンプから構成されています。“機能ブロック図”には、制御ライン、入力データラッチからDACラッチへのデータの流れ、および、2.048Vリファレンスと出力オペアンプを示しています。+5V単一電源での全電源電流は標準で250 μ Aです。この回路は、高精度、無調整、最少の部品点数が重要となるバッテリー駆動のマイクロプロセッサ制御機器への応用に最適です。

R-2Rラダー

MAX503はBiCMOSオペアンプによる反転R-2Rラダー・ネットワークを用いて10ビットのデジタル・データをアナログ電圧レベルに変換します。図1に、R-2R DACとオペアンプの簡略化したブロック図を示します。標準的なDACとは異なり、MAX503は反転ラダー・ネットワークを用いています。通常の場合、REFINピンは標準的なDACの電流出力であり、オペアンプの加算点あるいは仮想グラウンドに接続します。標準的なDAC構成では、出力電圧はリファレンス電圧の逆極性となります。MAX503の構造は、ラダー出力電圧がリファレンス入力と同極性となるため、単一電

源動作に適しています。BiCMOSオペアンプは、ラダー信号のバッファ、反転または増幅に用いられます。

ラダー抵抗は電力を節約するために公称80k Ω であり、ゲインおよび直線性のためにレーザ・トリムされています。REFINにおける入力インピーダンスは入力コードに依存します。DACレジスタの内容が全0のとき、ラダー内のすべてのスイッチはグラウンドに接続され、REFINはオープン状態、もしくは無負荷となります。最大負荷(最小REFINインピーダンス)状態は、コード010101...において生じます。このコードにおける最小リファレンス入力インピーダンスは、40k Ω 以上が保証されています。

REFINおよびREFOUTピンにより、R-2Rラダーの駆動を内部リファレンスで行うか、外部リファレンスで行うかを選択することができます。デュアル電源時には、REFINはアナログ・グラウンド以下となることがあります。詳しくは、“外部リファレンス”および“4象限乗算”の節を参照してください。

内部リファレンス

内部リファレンスは、レーザトリムされ、REFOUTにおいて2.048Vを発生します。この出力段は電流のソースおよびシンクが可能のため、REFOUTはコード依存負荷の変動に対して速やかに安定します。標準的なソース電流は5mA、シンク電流は100 μ Aです。

REFOUTは内部リファレンスとR-2R DACラダーをREFINにおいて接続します。R-2Rラダーは最大50 μ Aの負荷電流を流します。REFOUTに他の負荷を接続する場合、ゲイン誤差が生じないように負荷電流の合計が100 μ A以下に抑えてください。

リファレンス電流を他のアナログおよびデジタル・グラウンド電流から絶縁するため、REFGNDピンが用意されています。規定のノイズ性能を実現するためには、REFOUTとREFGND間に33 μ Fのコンデンサを接続してください(図2を参照)。より小さなコンデンサを用いるとノイズが増加し、3.3 μ F以下のコンデンサを用いた場合にはリファレンスの安定性が損なわれます。ノイズを最小化する必要がある場合には、REFOUTとREFINの間に、バッファ付きのRCフィルタを挿入してください。内部リファレンスを用いる際には、REFGNDをAGNDに接続する必要があります。内部リファレンスが不要な応用においては、REFGNDをV_{DD}に接続してください。これによってリファレンスがシャットダウンされ、V_{DD}の電源電流が標準で100 μ A節約され、C_{REFOUT}が不要になります。

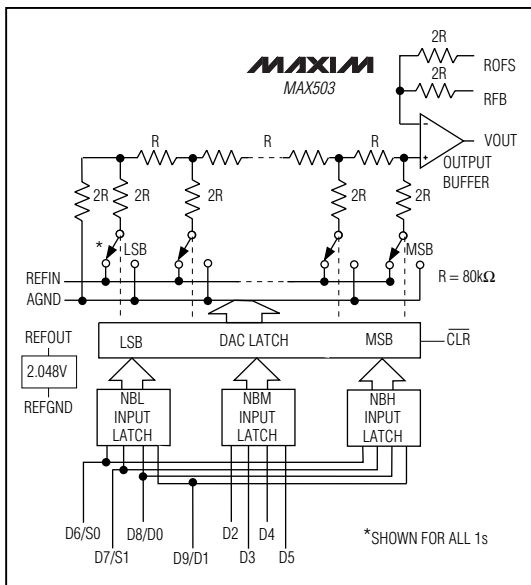


図1. MAX503 DAC回路の概略図

5V、低電力、パラレル入力、10ビット電圧出力DAC

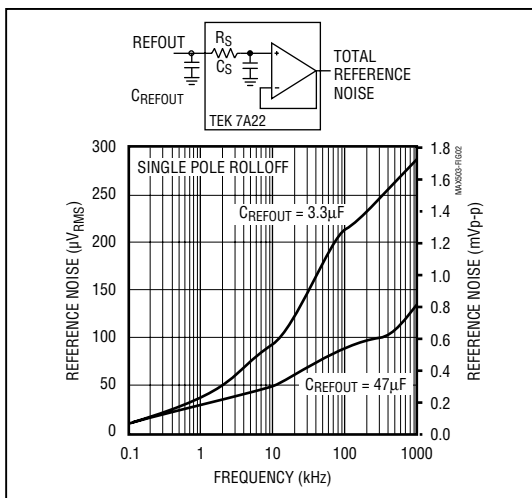


図2. リファレンスノイズと周波数の関係

出力バッファ

出力アンプは、ゲイン設定可能なカスコード入力段とAB型の出力段を用いています。低直列抵抗をもつ大出力デバイスにより、単一電源動作時でも出力はグラウンドまでスイングします。この出力バッファはユニティゲイン安定です。入力オフセット電圧と電源電流はレーザ・トリムされています。最終値の0.01%までのセトリング時間は25µsです。出力は短絡保護されており、100pF以上の負荷容量をもつ2kの負荷を駆動することができます。このオペアンプはROFSとRFBピンにより、ユニティゲイン($G=1$)、ゲイン2($G=2$)または、バイポーラ出力モードとすることができます。これらのピンはDACの出力電圧レンジの設定に用います。ROFSをVOUT、GNDまたはREFINに接続することで、DACの出力電圧レンジを0 ~ +2.048V、0 ~ +4.096Vまたは±2.048Vに設定できます。RFBは常にVOUTに接続します。表1にROFSの接続方法を示します。

表1. ROFSの使い方

ROFSの接続先	DAC出力範囲	オペアンプの利得
VOUT	0V ~ 2.048V	$G=1$
AGND	0V ~ 4.096V	$G=2$
REFIN	-2.048V ~ +2.048V	バイポーラ

注意：RFB = VOUT、REFIN = REFOUT = 2.048Vとする。

外部リファレンス

MAX503のデュアル電源、ユニティゲイン動作においては、 $(V_{SS}+2V) \sim (V_{DD}-2V)$ 範囲の外部リファレンスを用いることができます。単一電源、ユニティゲイン動作では $(V_{DD}-2V)$ 以下の正電圧を用いることができます。リファレンス電圧はDACのフルスケール出力を決定します。

内部リファレンスをアップグレードする場合には、±15mVの初期精度と最大7ppm/°Cの温度係数を備えた、2.5VのMAX873Aが適しています。

パワーオン・リセット

内部パワーオン・リセット(POR)回路は、 V_{DD} が最初に与えられたときDACレジスタの内容を全0にリセットします。PORパルスは標準的に1.3µsです。しかしながら、内部リファレンスが大きなフィルタ・コンデンサを充電し、調整された値に安定するまでには約2ms必要とすることがあります。

PORに加えて、クリア(CLR)ピンがローレベルになるとDACレジスタの内容は全0となります。CLRは非同期動作でありチップセレクト(CS)とは独立しています。DAC入力全0の場合、ユニティゲインと $G=2$ 構成でのオペアンプ出力は0となりますが、バイポーラでは $-V_{REF}$ になります。

シャットダウン・モード

MAX503は低消費電力用に設計されています。内部回路を理解することにより、最も効果的に消費電力の管理を行うことができます。単一電源モード($V_{DD} = +5V$ 、 $V_{SS} = GND$)での初期電源電流は、リファレンス、オペアンプおよびDACを含めて標準で僅か160µAです。この低電流は、パワーオン・リセット回路がDACを全0にクリアしオペアンプ出力を0(ユニポーラモード時)とした時に起こります。“標準動作特性”の電源電流対REFINのグラフを参照してください。この条件においては、リファレンスの内部負荷は無く(DACは全て0、REFINはオープン)、オペアンプはその最小自己消費電流で動作します。CLR信号はMAX503を同様な条件にリセットするため、システム内でDACを用いない場合の節電モードの制御に用いることができます。

5V、低電力、パラレル入力、 10ビット電圧出力DAC

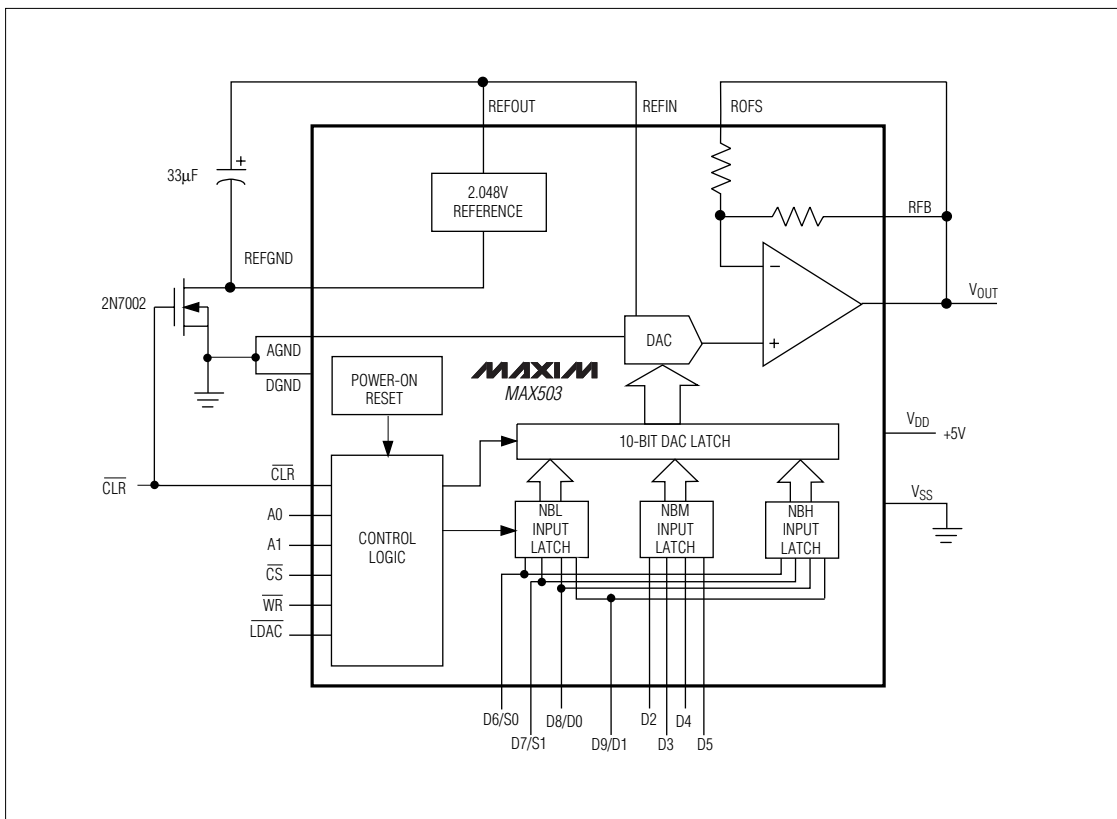


図3. 低電流シャットダウンモード

表2. 入力ラッチアドレス

CLR	CS	WR	LDAC	A0	A1	データアップデート
L	X	X	X	X	X	DACラッチをリセット
H	H	X	H	X	X	無動作
H	X	H	H	X	X	無動作
H	L	L	H	H	H	NBH (D6–D9)
H	L	L	H	H	L	NBM (D2–D5)
H	L	L	H	L	H	NBL (S0 = 0, S1 = 0, D0, D1)
H	H	H	L	X	X	DACのみ更新
H	L	L	X	L	L	NBL及びNBM(S0, S1, D0–D5)。DACは更新せず
H	L	L	L	H	H	NBH、DACを更新

REFVDDを V_{DD} に接続し内部リファレンスを未使用状態にした場合、さらに110 μ Aの電源電流を節約できます。2N7002などの低オン抵抗NチャンネルFETを用いて内部リファレンスをオフにし、電源電流が最小となるシャットダウン・モードを作ることができます(図3)。CLRがハイのとき、このトランジスタはREFVDDをAGNDに接続するため、リファレンスとDACは通常に動作します。CLRがローになると、REFVDDは V_{DD} にプルアップされ、リファレンスはシャットダウン状態になります。同時に、CLRはDACレジスタを全0にリセットし、ユニティゲインおよび $G = 2$ モードでのオペアンプ出力は0Vとなります。シャットダウン・モードにより、単一電源動作での全電流は250 μ A(最大400 μ A)から標準で40 μ Aまで減少します。

5V、低電力、パラレル入力、 10ビット電圧出力DAC

MAX503

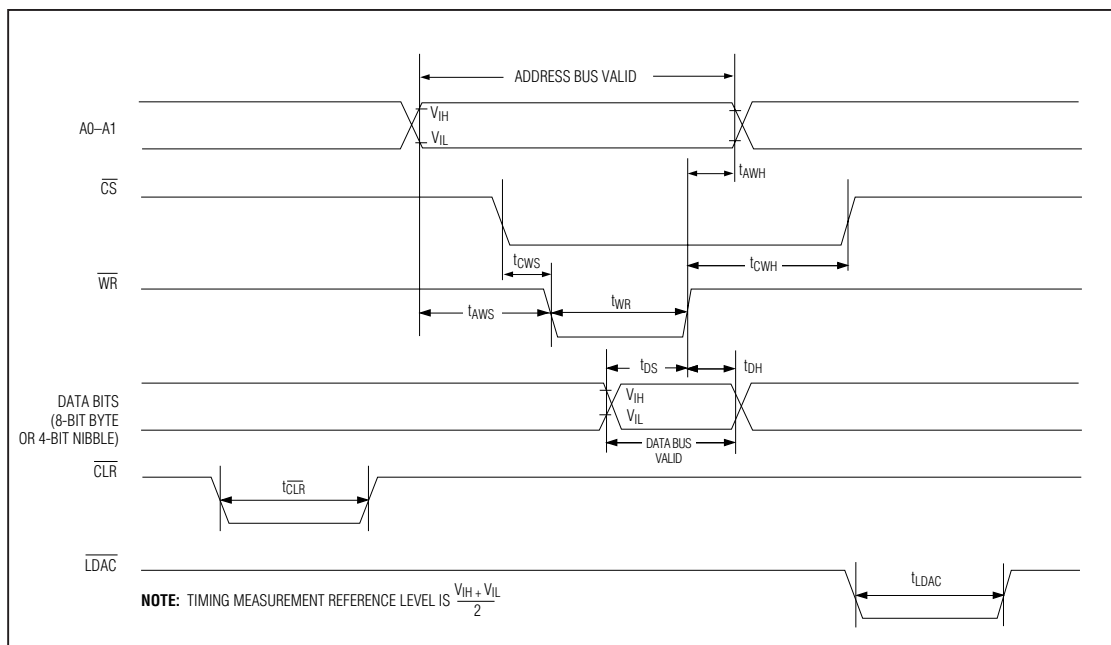


図4. MAX503書込サイクルのタイミング

Nチャンネル・ブルダウン・トランジスタに流れるリファレンス電流により、リファレンス出力には僅かな誤差電圧が加わります。このスイッチのオン抵抗は5Ω以下としてください。100μAの標準リファレンス電流の場合、REFOUTに0.5mVが加わります。リファレンス電流とオン抵抗は温度と共に増加するため、全温度係数も若干劣化します。

DACにデータがロードされると出力はGNDより高くなるため、オペアンプの自己消費電流は公称値よりも増加し全動作電流の平均は250μAとなります。デュアル電源(±5V)を用いる場合、オペアンプは連続的に十分バイアスされ、V_{DD}の電源電流は250μAにおいて、より一定になります。V_{SS}電流は標準で150μAです。

MAX503のロジック入力はTTLおよびCMOSロジック・レベルにコンパチブルです。ただし、最小の消費電力を実現するためには、デジタル入力を両電源電圧のCMOSロジックで駆動します。TTLロジック・レベルでは必要となる電力は、ほぼ2倍に増加します。

パラレル・ロジック・インタフェース

ハードウェア及びソフトウェアを12ビットのMAX530とコンパチブルにするため、MAX503は12ビットのデジタルインタフェースを採用しています。図3に示すように実際には12ビットラッチを備えているため、12ビットのデータが書込まれます。下位2ビット(S1及びS0)はサブLSBであるため常に0でなければなりません。MAX503は、4ビット、8ビット、16ビット・マイクロプロセッサ(μP)とインタフェースするように設計されているため、8個のデータ端子とダブルバッファ付ロジック入力を備え、4 + 4 + 4あるいは8 + 4としてデータをロードできます。12ビットDACラッチは制御信号のLDACによって同時に更新されます。A0、A1、WRおよびCSの各信号によって、更新すべき入力ラッチを選択します。12ビットのデータはニブル(NB)に分解され、NBLは最下位4ビットのイネーブル信号(S0、S1、D0、D1)に、NBMは中間4ビットのイネーブル信号に、NBHは最上位4ビットのイネーブル信号に用います。表2に、アドレス・デコードの方式を示します。

図4のMAX503書込みサイクル・タイミング図を参照してください。

5V、低電力、パラレル入力、 10ビット電圧出力DAC

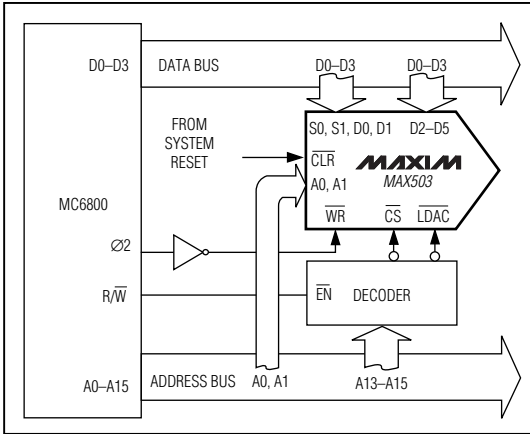


図5. 4ビットμPインタフェース

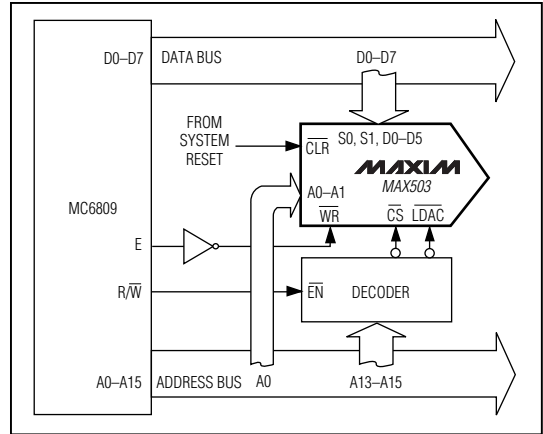


図7. 8ビット及び16ビットμPインタフェース

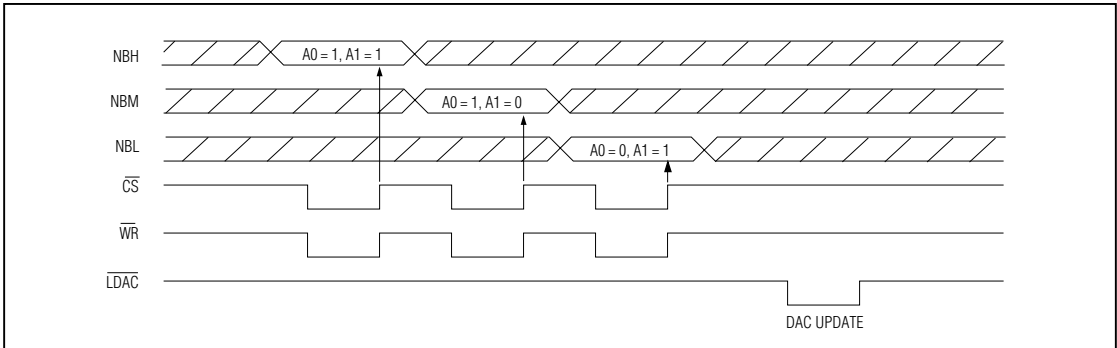


図6. 4ビットμPタイミングシーケンス

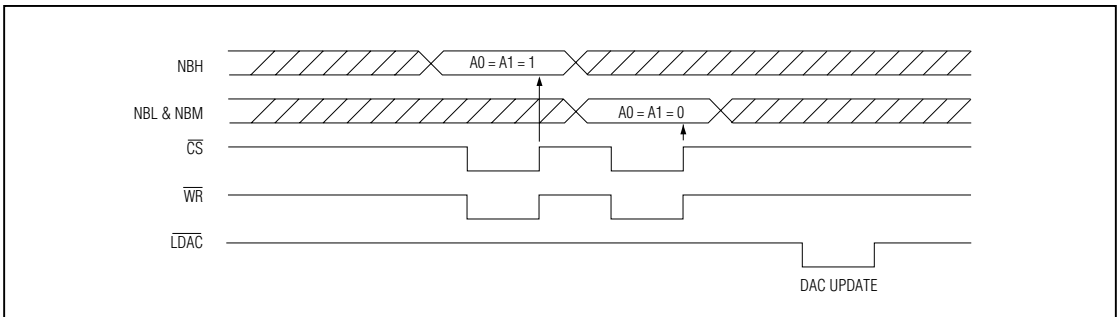


図8a. LDACを使った8ビット及び16ビットμPタイミングシーケンス

5V、低電力、パラレル入力、10ビット電圧出力DAC

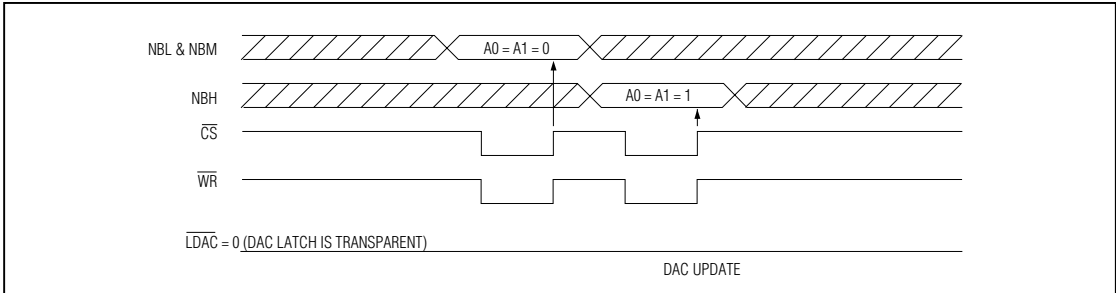


図8b. LDAC = 0のときの8ビット及び16ビット μ Pタイミングシーケンス

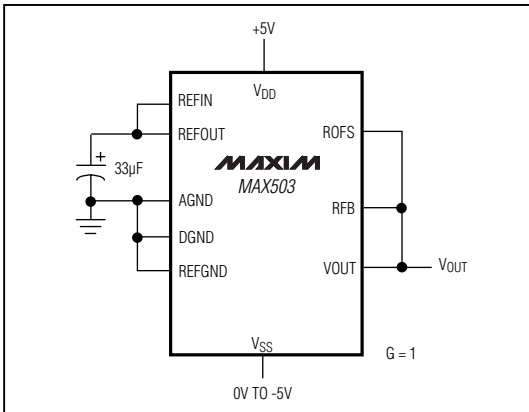


図9. ユニポーラ構成(出力0V ~ +2.048V)

図5に、4ビット μ P応用向けの回路構成を示し、図6に対応するタイミング・シーケンスを示します。下位4ビット(S0、S1、D0、D1)は他の4ビット(D2~D5)と μ Pバスに並列に接続されています。アドレスラインA0およびA1は、上位、中位、下位の各データニブル用の入力データラッチをイネーブルします。 μ Pはチップセレクト($\overline{\text{CS}}$)およびライト($\overline{\text{WR}}$)信号を送り、3つのサイクルの各ニブルにおいてデータが有効になった時点でラッチします。

図7に、8ビットまたは16ビット μ Pとの標準的なインターフェースを示します。データバス上の8つのデータビットをMAX503のS0、S1、D0~D5に接続します。 $\overline{\text{LDAC}}$ をハイレベルに保つことで、NBHまたはNBL+NBMを任意の順序でロードすることができます。図8aに対応するタイミング・シーケンスを示します。最高のスループットを得るためには図8bのシーケンスを用います。アドレスラインA0およびA1は相互に接続され、DACへのロードは2サイクルにおいて8+4の形式で行われます。この方式では、 $\overline{\text{LDAC}}$ をローレベルに保つことでDACラッチはトランスペアレントになります。常にNBLとNBMを先にロードしその後NBHをロードします。

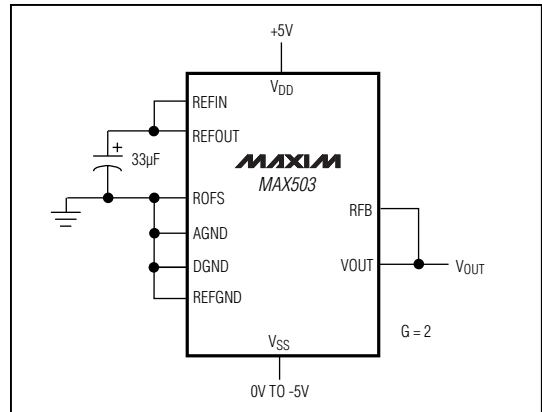


図10. ユニポーラ構成(出力0V ~ +4.096V)

$\overline{\text{LDAC}}$ は $\overline{\text{WR}}$ とは非同期に与えることができます。 $\overline{\text{WR}}$ をハイとする前、または同時に $\overline{\text{LDAC}}$ をローとする際には、正しいデータがラッチされるために、少なくとも50nsの間 $\overline{\text{LDAC}}$ をローレベルに保つ必要があります。データは、 $\overline{\text{LDAC}}$ の立上がりエッジにおいてDACレジスタ内にラッチされます。

ユニポーラ構成

MAX503は、ROFSとRFBをVOUTに接続することにより、0~ V_{REFIN} のユニポーラ出力レンジに設定することができます(図9)。この構成では、コンバータは単一電源またはデュアル電源のいずれにおいても動作します。DACラッチの内容(入力)とアナログVOUT(出力)の関係については、表3を参照してください。このレンジでは、 $1\text{LSB} = V_{\text{REFIN}}(2^{-10})$ です。

ROFSをAGNDに、RFBをVOUTに接続することにより、0~ $2V_{\text{REFIN}}$ のユニポーラ出力レンジに設定することができます(図10)。DACラッチ内容とVOUTの関係を表4に示します。この構成では、コンバータは単一電源またはデュアル電源のいずれにおいても動作します。このレンジでは、 $1\text{LSB} = 2 \times V_{\text{REFIN}} \times 2^{-10} = V_{\text{REFIN}} \times 2^{-9}$ です。

5V、低電力、パラレル入力、 10ビット電圧出力DAC

表3. ユニポーラバイナリコード表
(出力0V ~ V_{REFIN}) ゲイン=1

入力*	出力
1111 1111 11(00)	$(V_{REFIN}) \frac{1023}{1024}$
1000 0000 01(00)	$(V_{REFIN}) \frac{513}{1024}$
1000 0000 00(00)	$(V_{REFIN}) \frac{512}{1024} = +V_{REFIN}/2$
0111 1111 11(00)	$(V_{REFIN}) \frac{511}{1024}$
0000 0000 01(00)	$(V_{REFIN}) \frac{1}{1024}$
0000 0000 00(00)	0V

*DACの入力ラッチが12ビット幅のため、10ビットのデータと2つの0を書込む。

バイポーラ構成

$-V_{REFIN}$ ~ $+V_{REFIN}$ のバイポーラ・レンジは、ROFSをREFINに、RFBをVOUTに接続することで設定でき、デュアル($\pm 5V$)電源時に動作します(図11)。表5にDACラッチの内容(入力)とVOUT(出力)の関係を示します。このレンジでは、 $1LSB = V_{REFIN} \times 2^{-9}$ です。

4象限乗算

MAX503は、ROFSとREFIN、RFBとVOUTを接続し、(1)オフセット・バイナリのデジタルコード、(2)バイポーラ電源、および、(3)REFINにおいて $V_{SS} + 2V - V_{DD} - 2V$ 範囲のバイポーラ・アナログ入力を用いるとき、4象限乗算器として用いることができます(図12参照)。

一般に、10ビットDACの出力は $D \times V_{REFIN} \times G$ です。ここで、“G”はゲイン(または2)、“D”はデジタル入力を 2^{10} または1,024で割った値のバイナリ表現です。この式は、ユニポーラ動作においては正確です。しかしながら、バイポーラのオフセットバイナリ動作においては、MSBは極性を表すビットとなります。ステップ数は同一であるため分解能は失われませんが、出力電圧は、例えば0 ~ 4.096V($G=2$)から-2.048V ~ +2.048Vにシフトされます。

DACを4象限乗算器として用いる際には、乗算のスケールがスキューされることに留意してください。負のフルスケールは $-V_{REFIN}$ ですが、正のフルスケールは $+V_{REFIN} - 1LSB$ となります。

表4. ユニポーラバイナリコード表
(出力0V ~ $2V_{REFIN}$) ゲイン=2

入力*	出力
1111 1111 11(00)	$+2(V_{REFIN}) \frac{1023}{1024}$
1000 0000 01(00)	$+2(V_{REFIN}) \frac{513}{1024}$
1000 0000 00(00)	$+2(V_{REFIN}) \frac{512}{1024} = +V_{REFIN}$
0111 1111 11(00)	$+2(V_{REFIN}) \frac{511}{1024}$
0000 0000 01(00)	$+2(V_{REFIN}) \frac{1}{1024}$
0000 0000 00(00)	0V

*DACの入力ラッチが12ビット幅のため、10ビットのデータと2つの0を書込む。

表5. バイポーラ(オフセットバイナリ)
コード表(出力 $-V_{REFIN}$ ~ $+V_{REFIN}$)

入力*	出力
1111 1111 11(00)	$(+V_{REFIN}) \frac{511}{512}$
1000 0000 01(00)	$(+V_{REFIN}) \frac{1}{512}$
1000 0000 00(00)	0V
0111 1111 11(00)	$(-V_{REFIN}) \frac{1}{512}$
0000 0000 01(00)	$(-V_{REFIN}) \frac{511}{512}$
0000 0000 00(00)	$(-V_{REFIN}) \frac{512}{512} = -V_{REFIN}$

*DACの入力ラッチが12ビット幅のため、10ビットのデータと2つの0を書込む。

5V、低電力、パラレル入力、10ビット電圧出力DAC

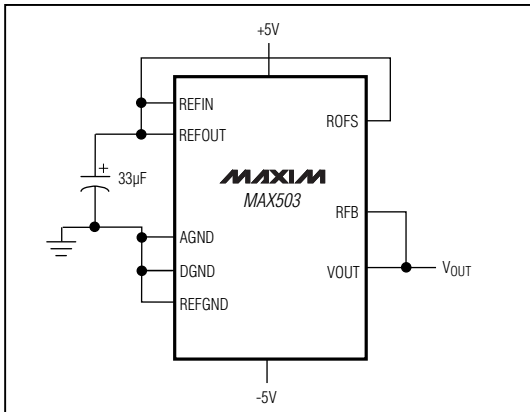


図11. バイポーラ構成 (出力-2.048V ~ +2.048V)

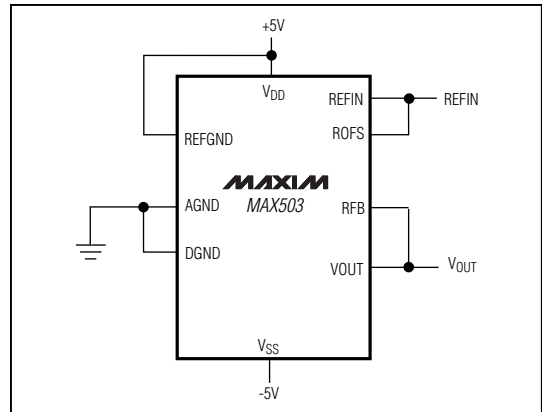


図12. 4象限乗算回路

アプリケーション情報

単一電源での直線性

あらゆるアンプと同様に、MAX503の出力オペアンプのオフセットは正または負となり得ます。オフセットが正のときには、それを補正することは容易です。しかしオフセットが負で負電源がない場合、出力は直線的になりません。この場合、アンプの出力(VOUT)は、DAC電圧がオフセットよりも十分に大きくなるまでグランド・レベルを保ち、その後正となります。この場合の伝達関数を図13に示します。

通常、直線性はゼロ誤差およびゲイン誤差を考慮した後に測定されます。単一電源動作では実際の負のオフセット値が不明であるため、テスト時にその値を補正することができません。MAX503での直線性とゲイン誤差は、コード3~1023の範囲において測定されています(電氣的特性の注2を参照)。出力アンプのオフセットは単調性には影響を与えず、これらのDACの単調性はコード0から保証されています。デュアル電源動作での直線性およびゲイン誤差は、コード0~1023の範囲で測定しています。

電源のバイパス処理とグランド管理

最良のシステム性能は、独立したアナログおよびデジタル・グランド・プレーンをもつプリント回路基板によって得ることができます。ワイヤラップ基板は推奨できません。2つのグランド・プレーンは低インピーダンスな電源において相互に接続してください。

AGNDおよびREFGNDは相互に接続し、素子のピンにおいてDGNDに接続してください。単一電源応用では、VSSと

AGNDを素子において接続してください。最良のグランド接続は、AGND、REFGNDおよびDGNDピンを、システムのアナログ・グランド・プレーンに一点で接続することによって実現できます。DGNDをシステムのデジタル・グランドに接続すると、デジタル・ノイズがDACのアナログ部分に影響する可能性があります。

VDD(デュアル電源ではVSSも)を、0.1µFのセラミック・コンデンサをVDDとAGND間(VSSとAGND間)に接続することでバイパスしてください。セラミック・コンデンサは短いリード線を用いて、できる限りデバイスの近くに実装してください。

ACへの配慮

デジタル・フィードスルー

すべてのデジタル入力ピンにおける高速なデータは、LDACとCSがハイレベルの場合であっても、DACのパッケージを介して結合し、内部寄生容量によりDAC出力にノイズとして現れます(「標準動作特性」を参照)。このデジタル・フィードスルーはLDACとCSをハイレベルに保持し、データ入力を全1から全0にトグルすることによりテストされています。

アナログ・フィードスルー

内部寄生容量の影響により、入力デジタル・コードが全0であっても、REFINにおける高周波アナログ入力信号は出力に結合することがあります(「標準動作特性」のアナログ・フィードスルー対周波数のグラフを参照)。これは、CLRをローに設定(DACラッチの内容を全て0に設定)し、REFINをスリープテストされています。

5V、低電力、パラレル入力、 10ビット電圧出力DAC

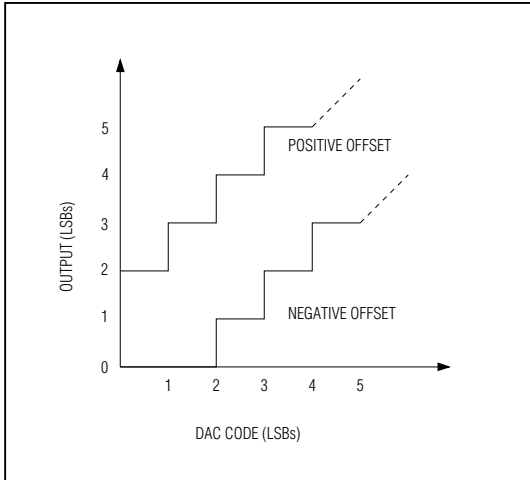


図13. 単一電源DACの伝達関数

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03) 3232-6141 FAX. (03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 1994 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.