

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

概要

MAX3876は、2.488Gbps SDH/SONETアプリケーション用のコンパクトな低電力クロックリカバリ及びデータリタイミングICです。完全集積化された位相ロックループが、シリアルNRZデータ入力からの同期クロック信号を再生します。データは再生されたクロックによってリタイミングされます。差動CML出力がクロック及びデータ信号に対して提供されており、システムループバック診断テスト用として別の2.488Gbpsシリアル入力が提供されています。更にこのデバイスには、TTLコンパチブルのロスオブブロック(LOL)モニタも含まれています。

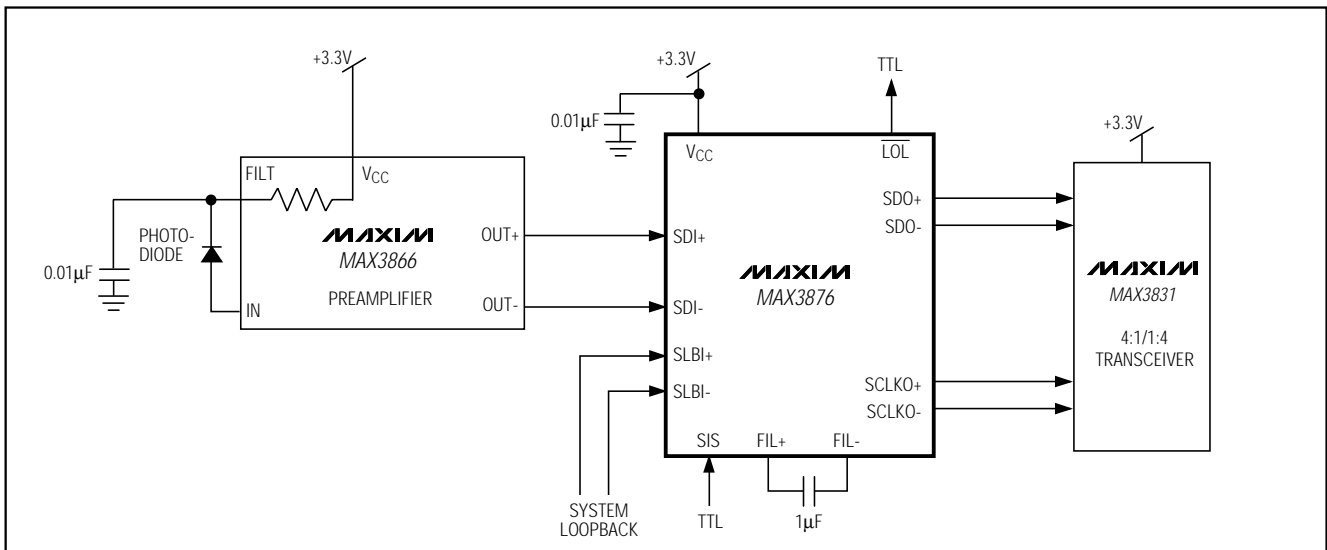
MAX3876は、OC-48/STM-16伝送システムのセクションリジェネレータ及びターミナルレシーバアプリケーション用に設計されています。ジッタ性能は、全てのSONET/SDH仕様を上回っています。

このデバイスは、-40 ~ 85 の温度範囲において+3.3V又は+5.0Vの単一電源で動作します。標準消費電力は、+3.3V電源で僅か445mWとなっています。MAX3876は、チップ形式に加え、32ピンTQFPパッケージでも提供されています。

アプリケーション

SDH/SONETレシーバ及びリジェネレータ
アッド/ドロップマルチプレクサ
デジタルクロスコネクタ
2.488Gbps ATMレシーバ
デジタルビデオ送信
SDH/SONET試験機器
内部ラック/サブラック相互接続

標準アプリケーション回路



特長

- ◆ ANSI、ITU、及びBellcore SONET/SDHリジェネレータ仕様を上回る機能性
- ◆ 消費電力：440mW(+3.3Vの場合)
- ◆ クロックジッタ生成：3.7mUI_{RMS}
- ◆ 電源：3.3V又は+5V単一
- ◆ 完全集積化クロックリカバリ及びデータリタイミング
- ◆ 高速入力の追加によるシステムループバック診断テスト
- ◆ 許容差：>2500 連続同一符号
- ◆ ロスオブブロックインジケータ
- ◆ 差動CMLデータ及びクロック出力

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3876EHJ	-40°C to +85°C	32 TQFP
MAX3876E/D	-40°C to +85°C	Dice*

*Dice are designed to operate over this range, but are tested and guaranteed at $T_A = +25^\circ\text{C}$ only. Contact factory for availability.

ピン配置はデータシートの最後に記載されています。

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

MAX3876

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}-0.5V to +7.0V
 Input Voltage Levels
 (SDI+, SDI-, SLBI+, SLBI-)($V_{CC} - 0.5V$) to ($V_{CC} + 0.5V$)
 Input Current Levels (SDI+, SDI-, SLBI+, SLBI-)..... $\pm 11mA$
 CML Output Current Levels
 (SDO+, SDO-, SCLKO+, SCLKO-) $\pm 22mA$
 Voltage at \overline{LOL} , SIS, FIL+, FIL-.....-0.5V to ($V_{CC} + 0.5V$)

Continuous Power Dissipation ($T_A = +85^\circ C$)
 32-Pin TQFP (derate 16.1mW/ $^\circ C$ above +85 $^\circ C$).....1.0W
 Operating Temperature Range
 MAX3876EHJ.....-40 $^\circ C$ to +85 $^\circ C$
 Operating Junction Temperature Range (die) ..-55 $^\circ C$ to +150 $^\circ C$
 Storage Temperature Range-60 $^\circ C$ to +160 $^\circ C$
 Processing Temperature (die)+400 $^\circ C$
 Lead Temperature (soldering, 10s)+300 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to +5.5V, $T_A = -40^\circ C$ to +85 $^\circ C$, unless otherwise noted. Typical values are at +3.3V and $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Supply Current	I_{CC}	Excluding CML output termination		135	167	mA	
Input Common-Mode Voltage	V_{CM}	DC-coupled	$V_{CC} - 0.25$			V	
Differential Input Voltage (SDI \pm , SLBI \pm)	V_{ID}	Figure 1, DC-coupled	50		1000	mVp-p	
		Figure 1, AC-coupled	50		1600		
Single-Ended Input Voltage (SDI \pm , SLBI \pm)	V_{IS}		$V_{CC} - 0.4$		$V_{CC} + 0.4$	V	
Input Termination to V_{CC} (SDI \pm , SLBI \pm)	R_{IN}			48		Ω	
CML Differential Output Voltage Swing		$R_L = 50\Omega$ to V_{CC}	$T_A = 0^\circ C$ to +85 $^\circ C$	640	800	1000	mVp-p
			$T_A = -40^\circ C$	580	800	1000	
Differential Output Impedance			85	100	115	Ω	
CML Output Common-Mode Voltage		$R_L = 50\Omega$ to V_{CC}		$V_{CC} - 0.2$		V	
TTL Input High Voltage (SIS)	V_{IH}		2.0			V	
TTL Input Low Voltage (SIS)	V_{IL}				0.8	V	
TTL Input Current (SIS)			-10		+10	μA	
TTL Output High Voltage (\overline{LOL})	V_{OH}		2.4		V_{CC}	V	
TTL Output Low Voltage (\overline{LOL})	V_{OL}				0.4	V	

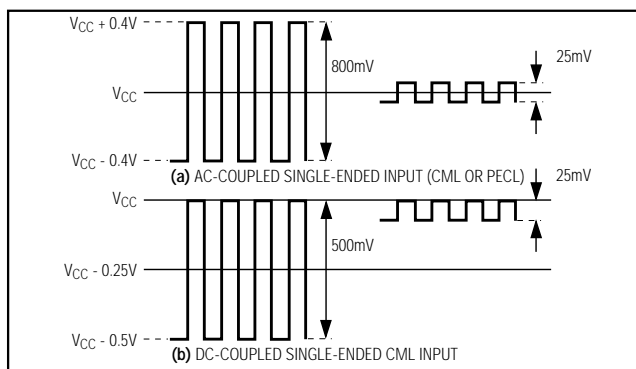


図1. 入力電圧

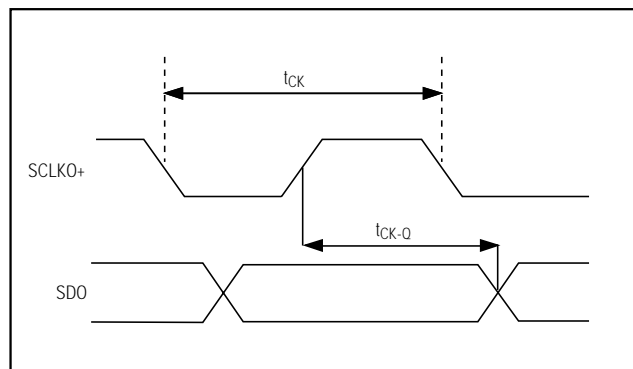


図2. 出力クロック対Q遅延

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

MAX3876

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +5.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at +3.3V and T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Output Clock Rate				2.488		GHz
Clock-to-Q Delay		Figure 2	110		290	ps
Jitter Peaking	J _p	f ≤ 2MHz		0.03	0.1	dB
Jitter Transfer Bandwidth	J _{BW}			1.4	2.0	MHz
Jitter Tolerance		f = 70kHz (Note 3)	2.1	4.4	Ulp-p	
		f = 100kHz	1.76	3.32		
		f = 1MHz	0.41	0.74		
		f = 10MHz	0.32	0.51		
Jitter Generation	J _{GEN}	Jitter BW = 12kHz to 20MHz		3.7	6.2	mUI _{RMS}
				19.2	61.0	mUIp-p
Clock Output Edge Speed		20% to 80%		75		ps
Data Output Edge Speed		20% to 80%		95		ps
Tolerated Consecutive Identical Digits				2500		Bits
Input Return Loss (SDI±, SLBI±)		100kHz to 2.5GHz		17		dB
		2.5GHz to 4.0GHz		15		

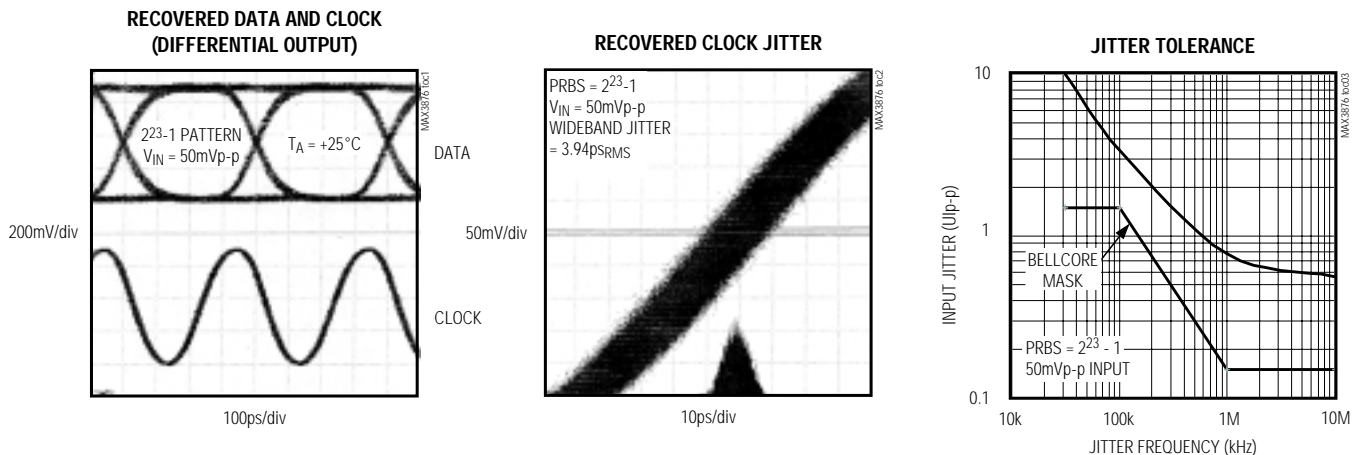
Note 1: Dice are tested at T_A = +25°C only.

Note 2: AC characteristics are guaranteed by design and characterization.

Note 3: At jitter frequencies < 70kHz, the jitter tolerance characteristics exceed the ITU/Bellcore specifications.

標準動作特性

(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted.)

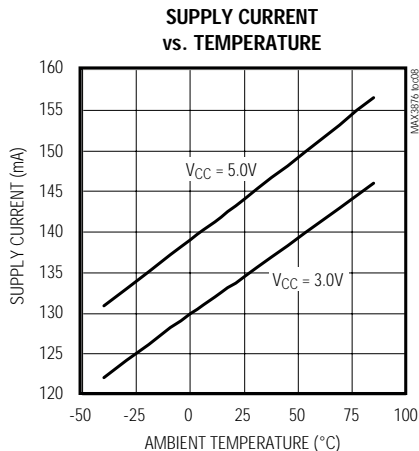
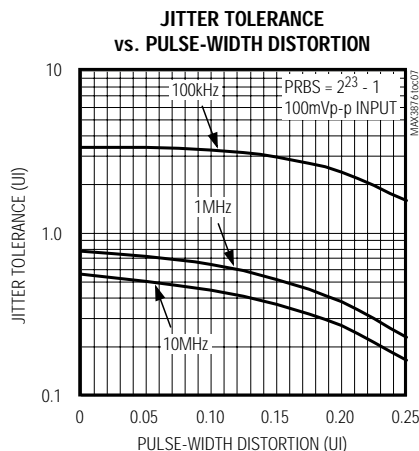
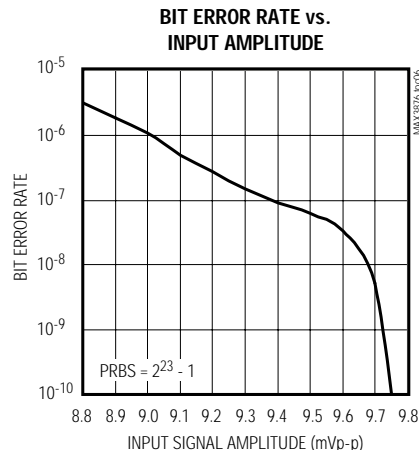
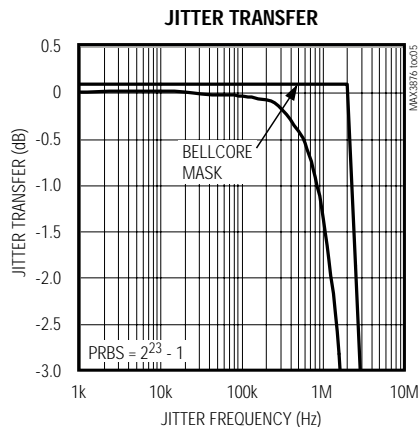
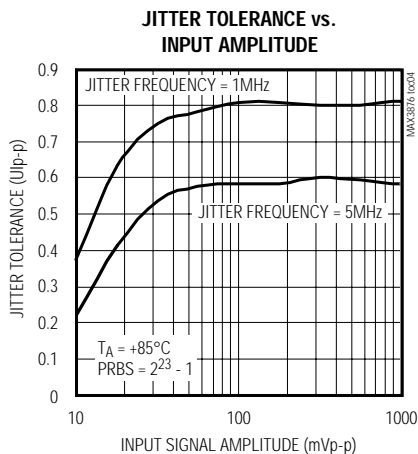


2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

MAX3876

標準動作特性(続き)

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1, 2, 8, 9, 10, 16, 26, 29, 32	GND	電源グランド
3, 6, 11, 14, 15, 17, 20, 21, 24, 27, 28	V_{CC}	正電源電圧
4	SDI+	正データ入力。2.488Gbpsシリアルデータストリーム。
5	SDI-	負データ入力。2.488Gbpsシリアルデータストリーム。
7	SIS	信号入力選択、TTL。ローの時に通常のデータ入力で、ハイの時にシステムループバック入力になります。
12	SLBI+	正システムループバック入力。2.488Gbpsシリアルデータストリーム。
13	SLBI-	負システムループバック入力。2.488Gbpsシリアルデータストリーム。
18	SCLKO-	負シリアルクロック出力、CML、2.488GHz。SDO-は、SCLKO-の立下りエッジでクロックアウトされます。

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

MAX3876

端子説明(続き)

端子	名称	機能
19	SCLKO+	正シリアルクロック出力、CML、2.488GHz。SDO+は、SCLKO+の立上りエッジでクロックアウトされます。
22	SDO-	負データ出力、CML、2.488Gbps
23	SDO+	正データ出力、CML、2.488Gbps
25	$\overline{\text{LOL}}$	ロスオブロック出力、TTL、PLLロスオブロックモニタ、アクティブロー(内部10k Ω プルアップ抵抗)
30	FIL-	負フィルタ入力。PLLループフィルタ接続。FIL+とFIL-の間に1.0 μF コンデンサを接続して下さい。
31	FIL+	正フィルタ入力。PLLループフィルタ接続。FIL+とFIL-の間に1.0 μF コンデンサを接続して下さい。

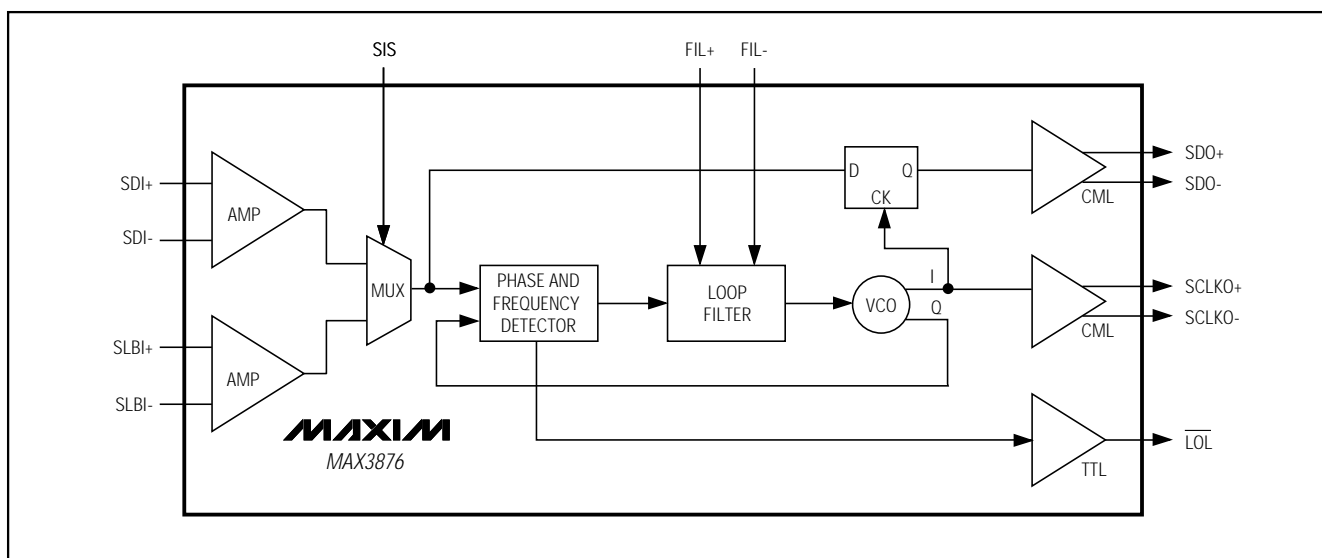


図3. ファンクションダイアグラム

詳細

MAX3876は、完全集積化された位相ロックループ(PLL)、入力アンプ、データリタイミングブロック及びCML出力バッファから構成されています(図3)。PLLは、位相/周波数ディテクタ(PFD)、ループフィルタ及び電圧制御発振器(VCO)から構成されています。

このデバイスは、完全差動信号構成及び低ノイズ設計技法を採用することによって、ジッタ性能及び消費電力の最適な組合せを提供します。

入力アンプ

入力アンプは、メインデータ入力及びシステムループバック入力の両方に対応しています。これらのアンプは、DCカップリングされた50mV_{p-p} ~ 1000mV_{p-p}差動入力電圧を受け付けます。ACカップリングの場合は、差動

入力信号電圧を最大1600mV_{p-p}まで増加できます。ジッタ公差性能は低下しますが、ビットエラーレートは10mV_{p-p}までの入力信号に対して $1 \cdot 10^{-10}$ よりも良好です。PECL信号レベルとのインタフェースに関しては、「アプリケーション情報」の項を参照して下さい。

位相ディテクタ

MAX3876で使用している位相ディテクタは、入力データと内部クロックの位相差に比例する電圧を発生します。PLLはそのフィードバック特性により、誤差電圧をゼロに駆動し、再生されたクロックをリタイミング用入力データアイの中央に合わせます。

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

MAX3876

周波数ディテクタ

デジタル周波数ディテクタ(FD)は、スタートアップ状態における周波数の取得を補助します。受け取ったデータとVCOクロック間の周波数の差は、データ入力信号の立上りエッジの同相及び直交VCO出力をサンプリングすることによって得ます。FDは、得られた周波数差の極性に従い、周波数差がゼロになるまでVCOを駆動します。周波数の取得処理が完了した時点で、FDは中立状態に戻ります。異常ロッキングは、このデジタル周波数ディテクタによって完全に回避できます。

ループフィルタ及びVCO

位相ディテクタ及び周波数ディテクタの出力は、ループフィルタ内で加算されます。PLLダンピング比を設定するには、外部コンデンサ C_F が必要です。このコンデンサを選択する時のガイドラインについては、「設計手順」の項を参照して下さい。

ループフィルタの出力は、2.488GHzで動作する内蔵LC VCOを制御します。VCOは低位相ノイズを提供し、適正な周波数にトリミングされます。クロックジッタは、12kHz ~ 20MHzのジッタ帯域幅で1.5ps_{RMS}(typ)です。

ロスオブロックモニタ

MAX3876周波数ディテクタには、ロスオブロック(LOL)モニタが備わっています。ロスオブロック状態は、直ちにTTLローとして伝えられます。PLLで周波数ロックが発生すると、約800ns以内にLOLスイッチがTTLハイに切り替わります。

注記：このLOLモニタは、データストリームがMAX3876の入力に存在する時のみ有効です。このため、入力信号の損失に起因するロスオブパワー状態は、LOLでは検出できません。

設計手順

ループフィルタの設計

MAX3876は、リジェネレータアプリケーション及びレシーバアプリケーションの両方で使用できるように設計されています。完全集積化PLLは、ループ帯域幅(f_L)が1.5MHz固定の典型的な二次フィードバックシステムです。外部コンデンサ C_F を調整することにより、ループダンピングを設定できます。図4は開ループ転送機能を、図5は閉ループ転送機能を示しています。

PLLゼロ周波数 f_z は外部コンデンサ C_F の関数で、次式で概算できます。

$$f_z = \frac{1}{2\pi(60) C_F}$$

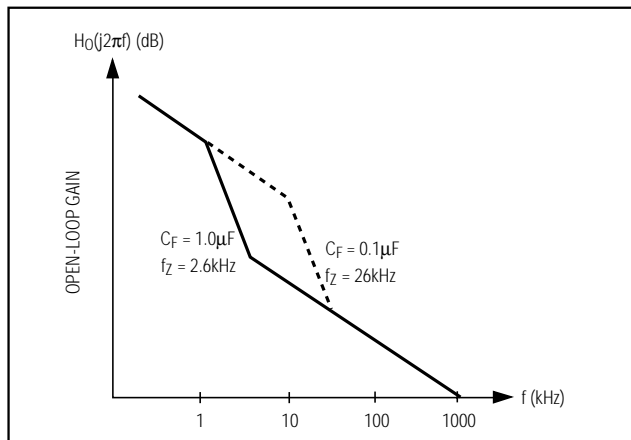


図4. オープンループトランスファーファンクション

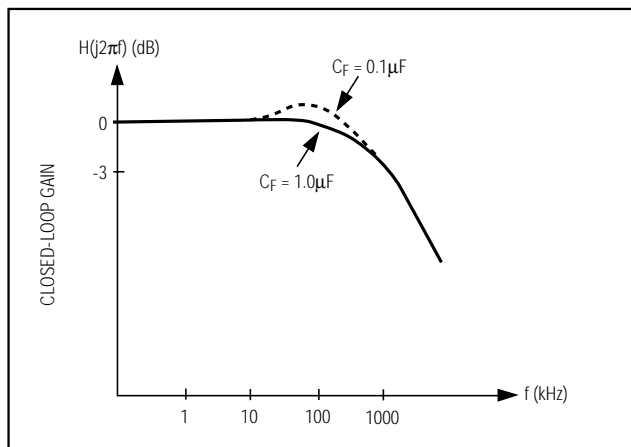


図5. クローズドループトランスファーファンクション

オーバダンピングシステム ($f_z/f_L < 0.25$) の場合は、二次システムのジッタピーク(M_P)を次式で概算できます。

$$M_P = 20 \log \left(1 + \frac{f_z}{f_L} \right)$$

例えば $C_F = 0.1 \mu F$ の場合は、ジッタピークは0.2dBになります。 C_F を0.01 μF 以下にすると、PLLが不安定になることがあります。0.1dB以下の最大ジッタピークを保証するには、 C_F の値として1.0 μF が推奨されます。 C_F は低TCで、X7Rタイプ以上の品質のコンデンサである必要があります。

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

入力及び出力の終端

MAX3876のデジタル出力(SDO+, SDO-, SCLKO+, SCLKO-)は、50ΩでV_{CC}に内部終端されます(図6)。信号スイング及びコモンモード電圧のレベルについては、「DC Electrical Characteristics」の項を参照して下さい。最も優れた性能を保証するために、差動出力の負荷のバランスを取る必要があります。入力終端は差動で駆動するか、SDI-又はSLBI-を電圧スイングの中心に外部バイアスすることによってシングルエンドで駆動できます。

ジッタ公差と入力感度のバランス

受信したデータ電圧が50mV_{p-p}以上の場合、MAX3876は10MHz以上のジッタ周波数で標準ジッタ公差0.51UIを提供します。SDH/SONETジッタ公差仕様は0.15UIになっているため、受信プリアンプ及びポストアンプ設計で0.36UIのジッタが許容されることになります。

BERは、入力信号が10mV_{p-p}以上の時に $1 \cdot 10^{-10}$ よりも良好です。この入力レベルではジッタ公差は低下しますが、それでもSDH/SONET仕様を上回ります。ユーザは、アプリケーションに応じて、ジッタ公差と入力感度とのバランスで値を決定できます。ジッタ公差及びBER対入力電圧のグラフについては、「標準動作特性」を参照して下さい。

ジッタ公差対パルス幅の歪み

MAX3876は、通常0.20UIまでのパルス幅の歪み(PWD)を許容でき、尚且つ正弦ジッタ公差に対するITU及びBellcoreの仕様を上回ります。ジッタ公差及びPWD対ジッタ周波数のグラフについては、「標準動作特性」を参照して下さい。

アプリケーション情報

連続同一符号(CID)

データ遷移が存在しない場合、MAX3876の位相及び周波数ドリフトは低くなります。この結果、0や1が長く連続しても、 $1 \cdot 10^{-10}$ のBERが維持されます。このCID公差は、 $2^{13}-1$ PRBSを使用し、最悪の条件をシミュレーションするためにゼロの長い繰返しに置換して、試験を実施します。CID公差としては、2500ビットが標準です。

システムループバック

MAX3876は、システムループバック試験を実行できるように設計されています。システムを診断する時は、トランシーバのシリアルライザ出力をMAX3876のSLBI+及びSLBI-入力に直接接続できます。SLBI±入力を選択するには、SISピンにTTLロジックハイを供給します。

PECL入力レベル

差動PECL入力レベルにインタフェースする時は、50Ω終端を維持しながら信号を減衰することが重要です(図7)。又、入力コモンモードレベルを維持するには、ACカップリングが必要です。

レイアウト

MAX3876の性能は、回路ボードのレイアウトと設計に大きく依存します。グラウンドインダクタンスの最小化と、データ及びクロック信号の固定インピーダンス伝送ラインの仕様を含め、優れた高周波数設計技法を使用するようにして下さい。電源デカップリングはできるだけV_{CC}の近くに配置して下さい。又、入力はフィールドスルーを低減するために、出力信号から分離して下さい。

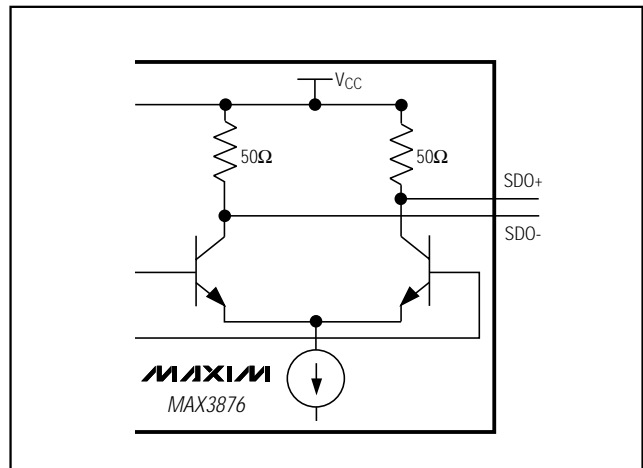


図6. CML出力

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

MAX3876

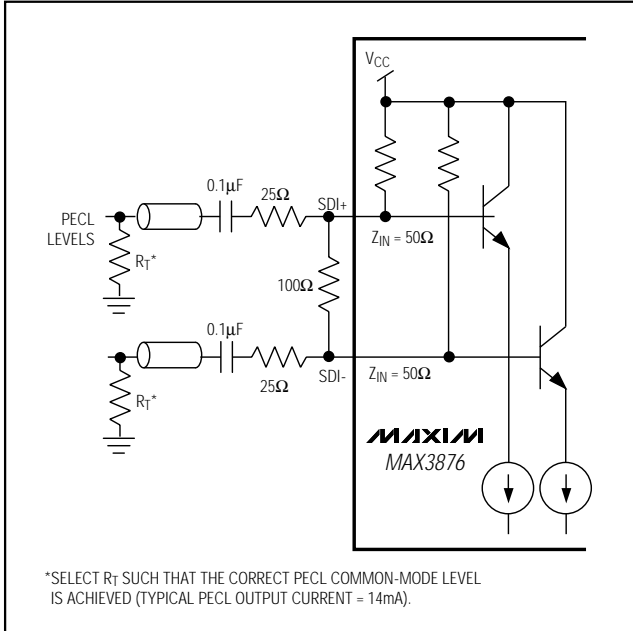


図7. PECL/CMLインタフェース

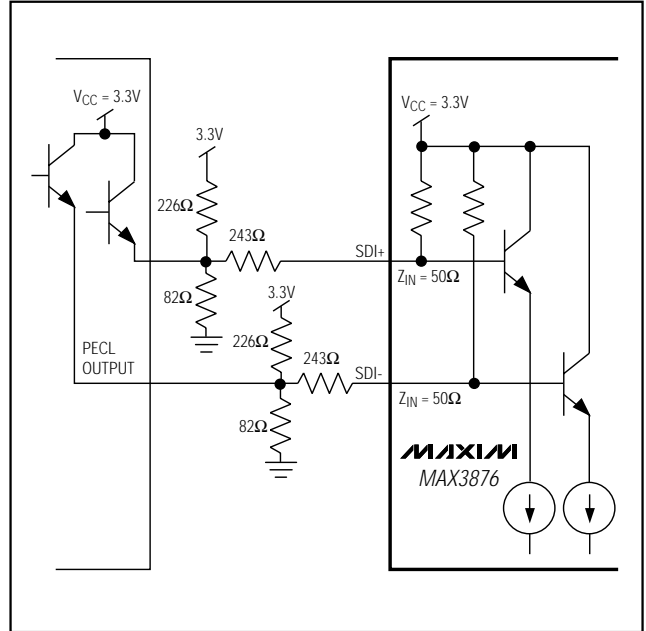
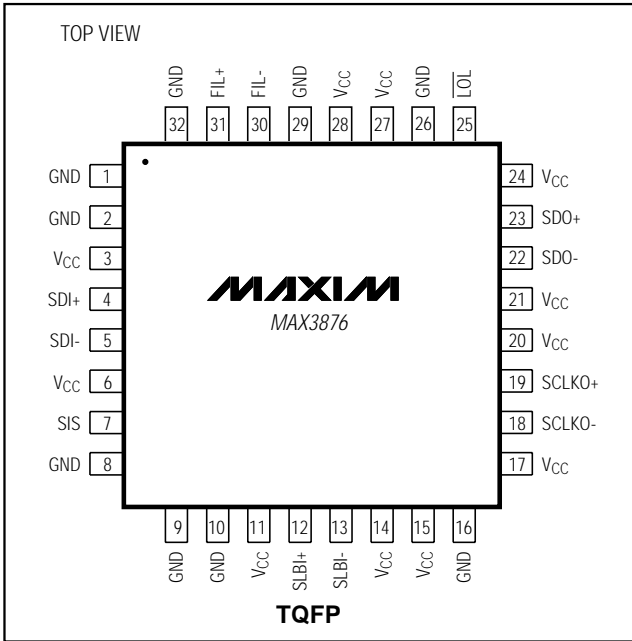


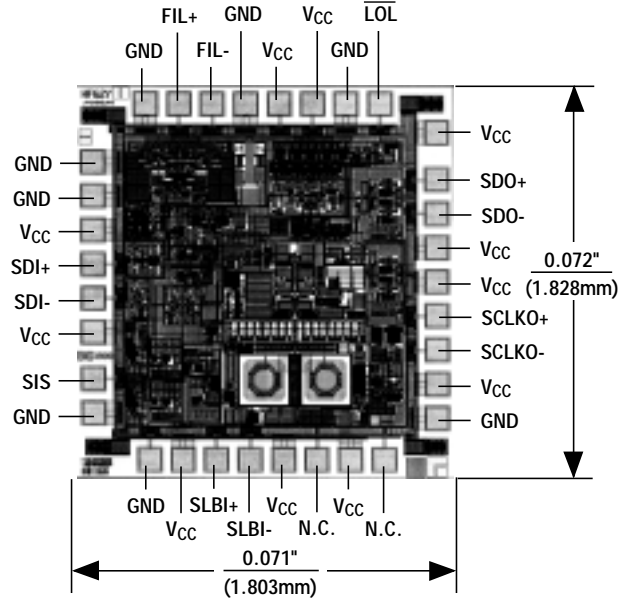
図8. PECL出力からMAX3876への直接カップリング

2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

ピン配置



チップ構造図



MAX3876

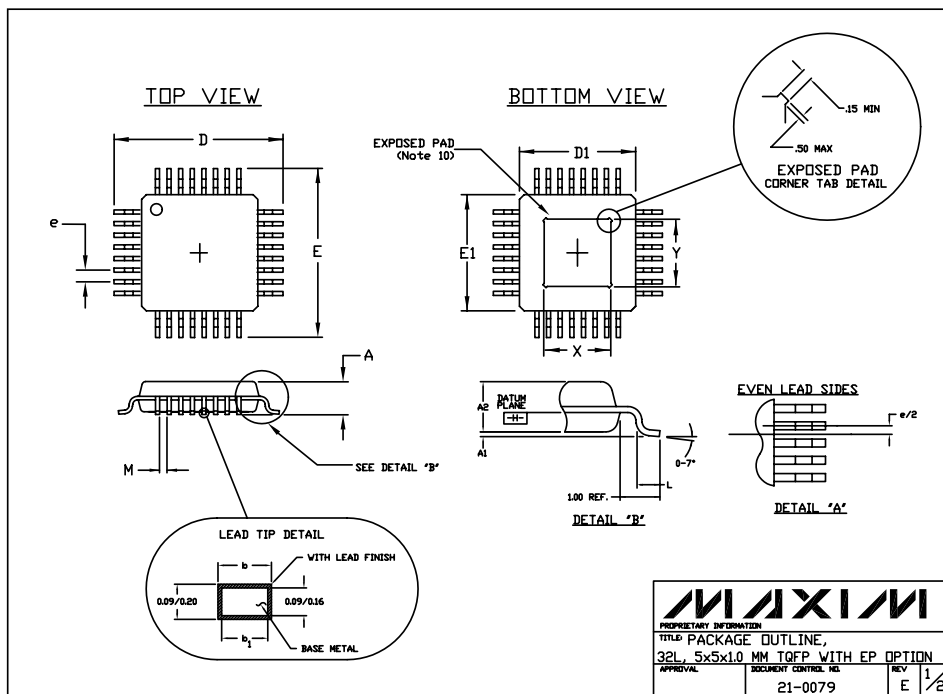
TRANSISTOR COUNT: 1334

SUBSTRATE CONNECTED TO GROUND

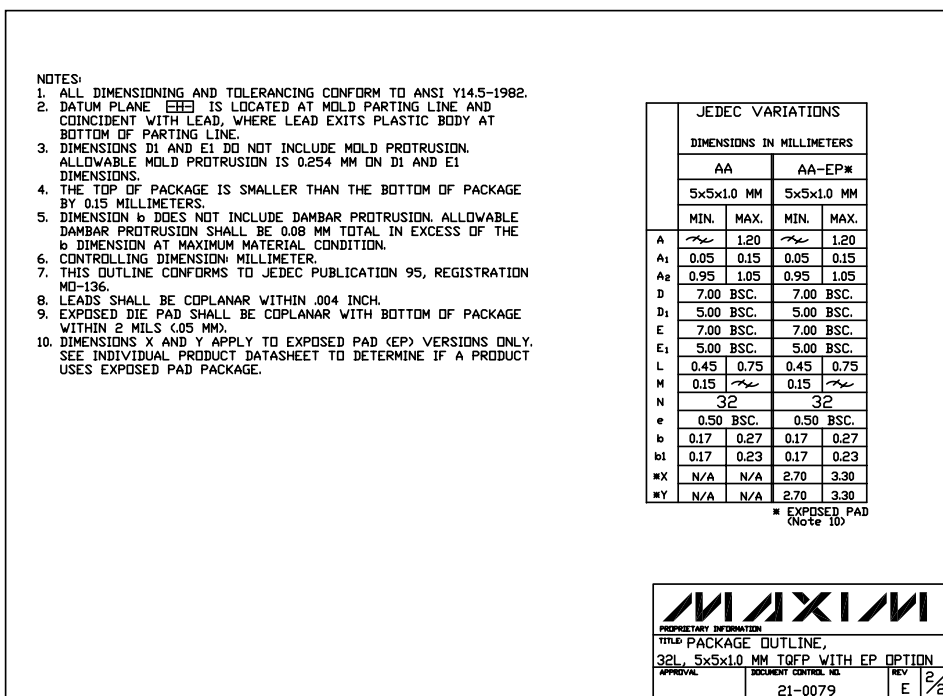
2.5Gbps、低電力、+3.3V クロックリカバリ及びデータリタイミングIC

MAX3876

パッケージ



32L TQFP EPS



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

10 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600