

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

概要

MAX3866は2.488Gbpsで動作するSDH/SONETシステムのアプリケーション用の複合トランスインピーダンスプリアンプ/リミティングポストアンプです。+3.3V又は+5V単一電源で動作し、差動出力信号を提供します。差動出力は、低ノイズ及び高速信号性能を達成するために各々50Ωで逆終端処理(100Ω差動終端処理)されています。

小信号帯域幅及びノイズ性能はソース容量0.5pFで規定されています。MAX3866をPINフォトディテクタと共に使用することで、-22dBmを超える優れた感度を実現できます。MAX3866はプログラマブルのTTLロスオブパワー(LOP)出力を備えています。

アプリケーション

- SDH/SONET伝送システム
- PIN/プリアンプレシーバ
- 2.488Gbps ATMレシーバ

特長

- ◆ 入力感度：-22dBm(7.8μAp-p)以上
- ◆ オーバドライブ能力：+1.4dBm(2.5mAp-p)以上
- ◆ 単一電源：+3.3V又は+5V
- ◆ 電力消費：165mW(3.3V)
- ◆ アナログ入力帯域幅：1.8GHz
- ◆ プログラマブルのロスオブパワー・インジケータ
- ◆ 100Ω 差動出力

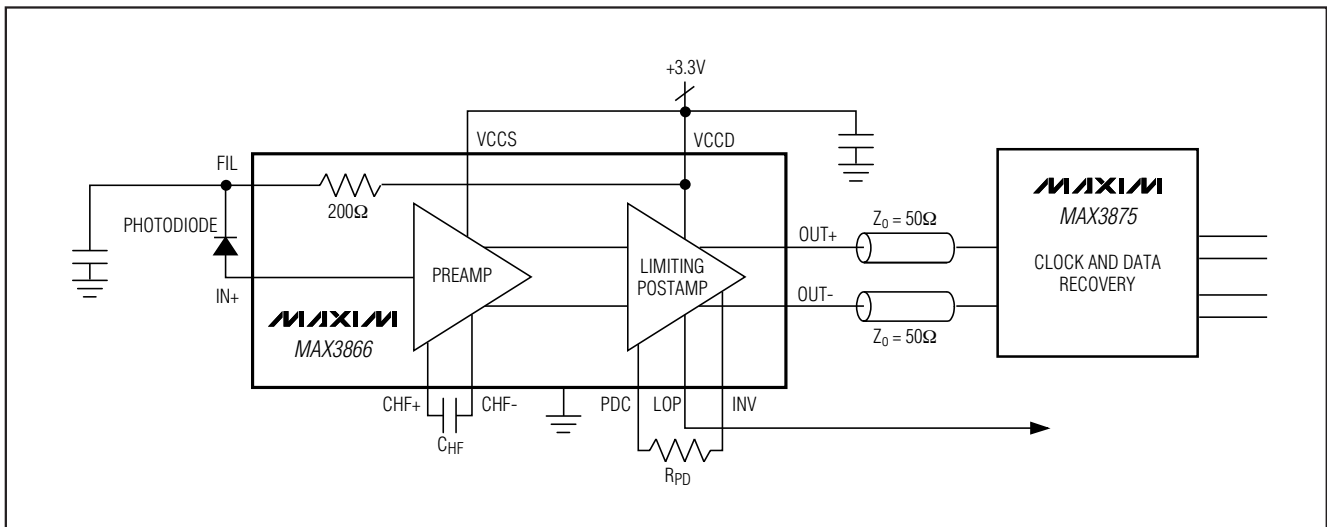
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3866E/D	(see Note)	Dice

Note: Dice are designed to operate over a -40°C to +120°C junction temperature (T_j) range, but are tested and guaranteed at $T_A = +25^\circ\text{C}$.

ピン配置はデータシートの最後に記載されています。

標準アプリケーション回路



2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

ABSOLUTE MAXIMUM RATINGS

VCCD Voltage	-0.5V to +7.0V	OUT+, OUT- Voltage	(VCCD - 1.1V) to (VCCD + 0.5V)
VCCS Voltage	$0 \leq VCCS \leq VCCD$ and if $VCCD \geq 3.13V$ then $3.13V \leq VCCS \leq VCCD$	IN Current.....	0 to 3mA
CHF+, CHF-, FIL, INV, LOP Voltage	-0.5V to (VCCD + 0.5V)	PDC Current.....	-1mA to 0
IN-, IN+ Voltage.....	-0.5V to +1.0V	Operating Junction Temperature Range (T _j).....	-55°C to +125°C
CPD+, CPD- Voltage	(VCCD - 1.6V) to (VCCD + 0.5V)	Storage Temperature Range	-60°C to +160°C
		Processing Temperature (Die).....	+400°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(VCCD = VCCS = +3.3V ±5% or VCCD = +5.0V ±10%, VCCS = open, T_j = -40°C to +120°C, unless otherwise noted. Typical values are at +3.3V and T_j = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{VCC}			50	73	mA
Input Bias Voltage	V _{IN}			0.84	0.95	V
Differential Output Impedance	Z _{OUT}		90	105	120	Ω
LOP Output High Voltage	V _{OH}	Load = 4.7kΩ to VCCD (Note 7)	VCCD - 0.1		VCCD	V
LOP Output Low Voltage	V _{OL}	Load = 4.7kΩ to VCCD (Note 7)			0.4	V
Differential Output Voltage Swing	V _{OD}	R _L = 100Ω (differential), I _{IN} ≥ 7μAp-p	100	145		mVp-p
Output Common-Mode Voltage	V _{CM}	R _L = 100Ω (differential)		VCCD - 0.12		V

AC ELECTRICAL CHARACTERISTICS

(VCCD = VCCS = +3.3V ±5% or VCCD = +5.0V ±10%, VCCS = open, T_j = -40°C to +120°C, unless otherwise noted. Typical values are at +3.3V and T_j = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Small-Signal Bandwidth	BW			1.8		GHz
Input Sensitivity	I _{IN}	2.5Gbps, 2 ²³ - 1 PRBS, BER ≤ 10 ⁻¹⁰ , C _{IN} = 0.5pF, T _j = +120°C		7.8	(Note 3)	μAp-p
Input-Referred RMS Noise	N _{IN}	C _{IN} = 0.5pF, T _j = +120°C		433	566	nA
Low-Frequency Cutoff	f _L				100	kHz
Power-Supply Rejection Ratio	PSRR	f ≤ 2MHz, 100mVp-p	25	30		dB
LOP Hysteresis		Electrical (Note 4), low LOP assert, R _{PD} = 510Ω	3			dB
LOP Assert Level		R _{PD} = 510Ω	0.9			μA
LOP Deassert Level		R _{PD} = 510Ω			8.0	μA
Output Edge Speed	t _r , t _f	20% to 80% (Note 5)		50	70	ps
Pulse-Width Distortion	PWD	(Notes 5, 6)		21	80	ps

Note 1: C_{IN} = total capacitance on IN.

Note 2: AC parameters are guaranteed by design and characterization.

Note 3: See *Typical Operating Characteristics* for worst-case distribution.

Note 4: Hysteresis = 20 log (V_{DEASSERT} / V_{ASSERT}).

Note 5: I_{IN} = 2.5mA.

Note 6: PWD = $\lfloor [(2 \cdot \text{Pulse Width}) - \text{Period}] / 2 \rfloor$.

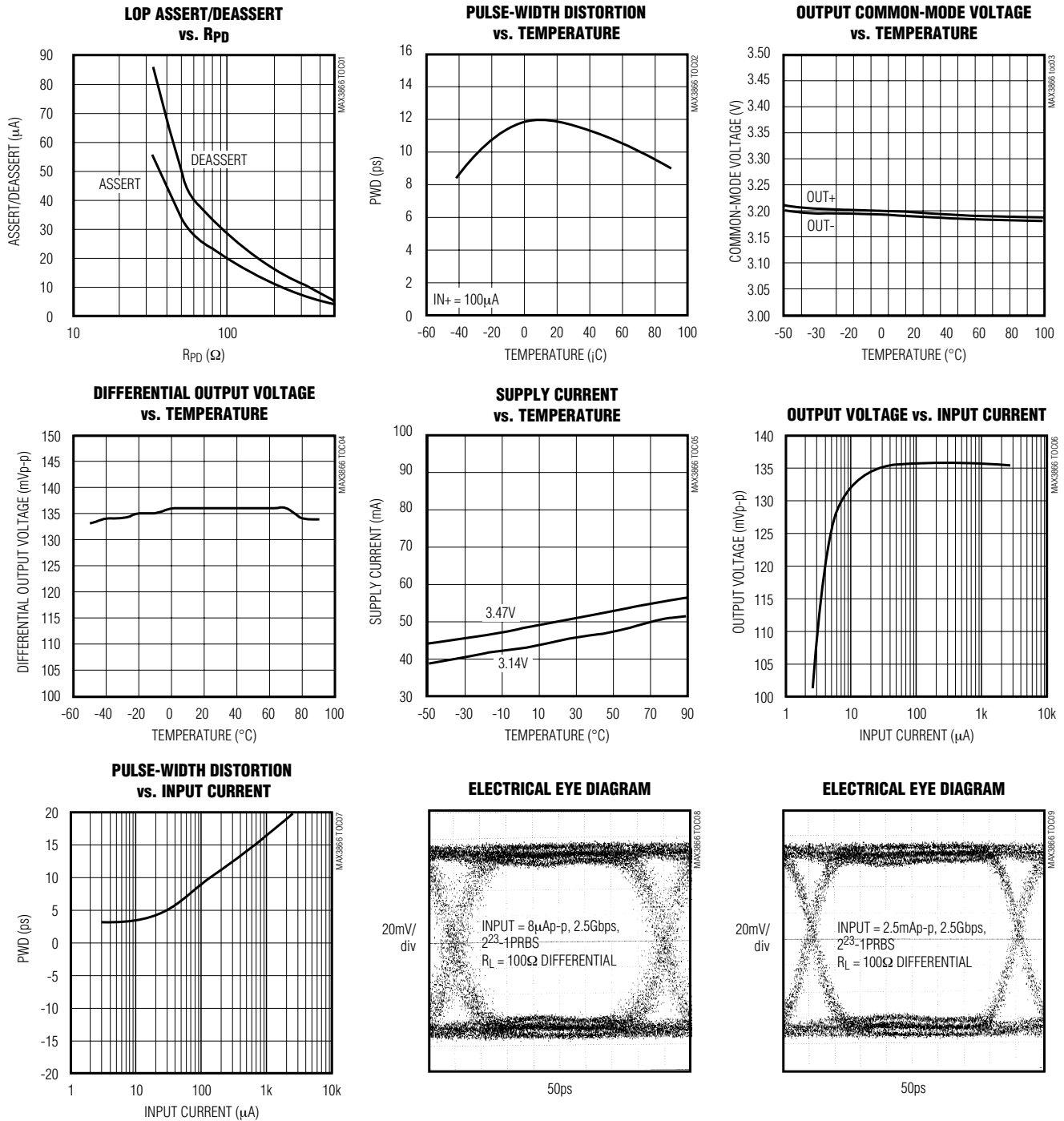
Note 7: External load not required for normal operation.

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

標準動作特性

($V_{CCD} = V_{CCS} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

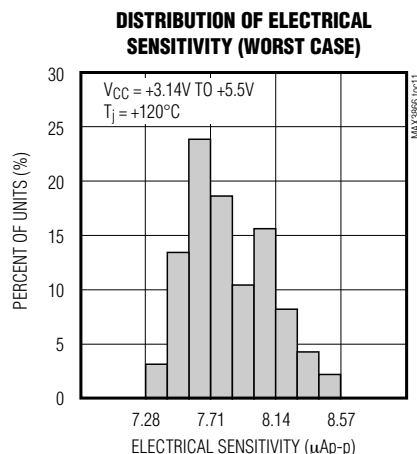
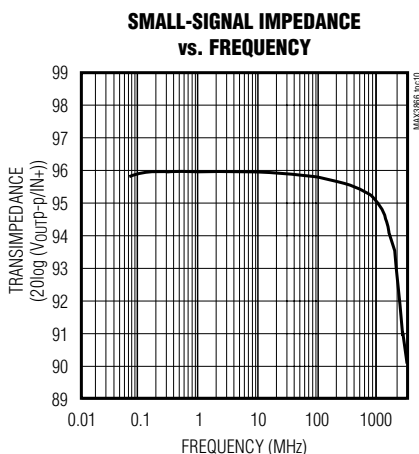


2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

標準動作特性(続き)

(VCCD = VCCS = +3.3V, T_A = +25°C, unless otherwise noted.)



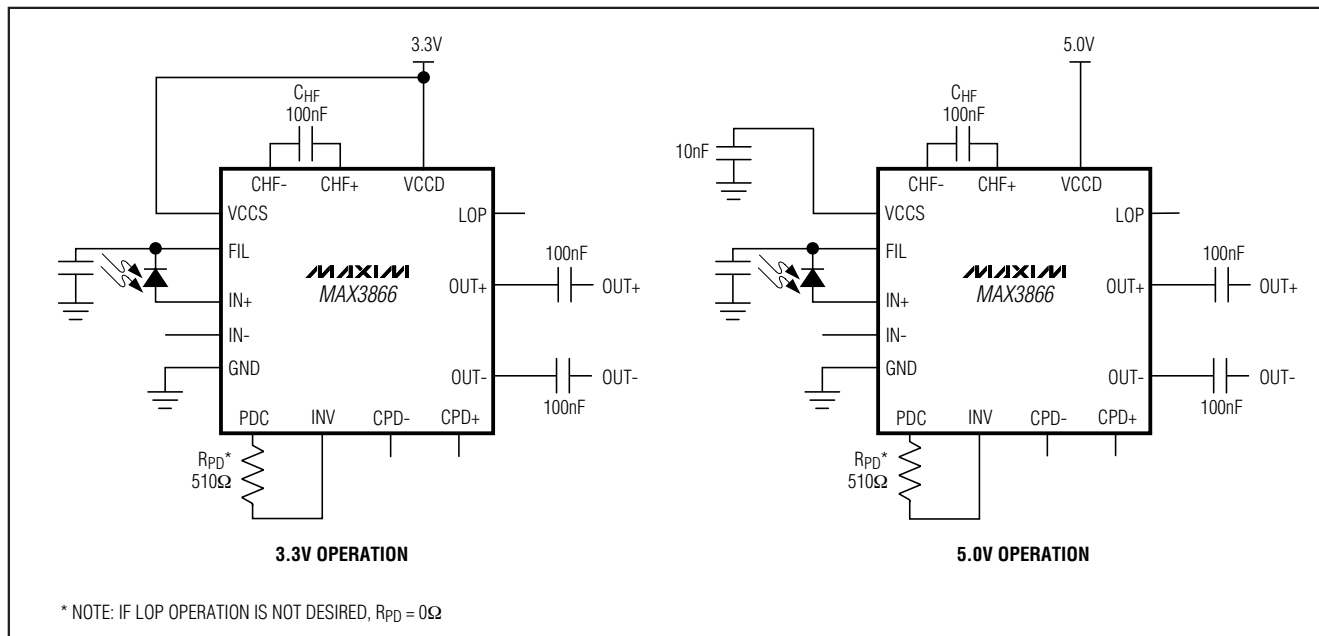
端子説明

パッド名称	機能
VCCS	入力段の正電源電圧。VCCD = +3.3Vの場合は+3.3Vを印加して下さい。VCCD > +3.47Vの場合は、電源から切り離してGNDにデカップリングして下さい。
CHF+	外部フィルタコンデンサ。CHF+とCHF-の間に接続されるコンデンサは低周波カットオフを設定するために使用されます。
CHF-	外部フィルタコンデンサ。CHF+とCHF-の間に接続されるコンデンサは低周波カットオフを設定するために使用されます。
FIL	フォトダイオードの電源電圧をフィルタリングするための内部抵抗(チップ上のVCCDに接続されています)。
GND	電氣的グラウンド
IN+	信号入力
IN-	無接続
PDC	このノードの電圧によってパワーディテクタの利得が設定されます。PDCとINVの間に抵抗を接続することにより、LOPスレッシュホールドを調節して下さい。
INV	パワーディテクタの利得を設定するために使用されます。PDCとINVの間に抵抗を接続することにより、LOPスレッシュホールドを調節して下さい。
CPD-	パワーディテクタのフィルタノード。CPD+とCPD-の間に接続されたコンデンサが、パワーディテクタ内の整流器出力をさらにフィルタリングします。
CPD+	パワーディテクタのフィルタノード。CPD+とCPD-の間に接続されたコンデンサが、パワーディテクタ内の整流器出力をさらにフィルタリングします。
OUT-	反転データ信号出力
OUT+	非反転データ信号出力
LOP	TTL出力、ロスオブパワー、アクティブハイ
VCCD	電源電圧

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

標準動作回路



回路の説明

データ経路

複合プリアンプ/リミティングポストアンプ(図1)は入力パッドIN+に接続されたフォトダイオードからの入力電流を受け付けます。トランスインピーダンス入力アンプ段は入力電流を標準トランスインピーダンス1.4k で出力電圧に変換します。

データ経路の第2段はアクティブハイパスフィルタです。このフィルタはシングルエンド入力信号を差動信号に変換して、DC成分を除去し、約16dBの利得を与えます。このハイパスフィルタの出力がパワーディテクタ及びリミティングアンプ回路を駆動します。

リミティングアンプ回路はデータ信号経路の第3段です。この回路は差動入力信号を増幅及び制限します。出力段は内部50 Ω 負荷抵抗付の差動ペアです。制限出力電圧は145mVp-p(typ)です。

パワーディテクタ

電力検出回路は可変利得アンプ及びローパスフィルタ付きの複合整流器から構成されています。可変利得アンプはオペアンプによって制御されます。利得はPDCとINVピンの間に接続された外付抵抗によって調節されます。

可変利得アンプの出力電圧は複合整流器及びローパスフィルタ回路を駆動します。その結果得られるDC電圧がシュミットトリガに入ります。DC入力信号がLOP発生レベルよりも小さい場合、シュミットトリガがハイレベル出力信号を発生してLOP出力がLOP状態となります。

設計手順

電源

本アンプは単一電源電圧V_{CCD}から電源を得ています。3.3V動作の場合、電源電圧はV_{CCD}とV_{CCS}ピンの両方に印加されます(「標準動作回路」を参照)。5.0V動作の場合、電圧はV_{CCD}にのみ印加されます。この場合、V_{CCS}は内部で約3.2Vに制御されます。5.0V構成においては、V_{CCS}ピンに外付の10nF接地コンデンサが必要です。

外部フィルタコンデンサC_{HF}

C_{HF}の値は、補償ループが入力オフセット電流を調節する際の最大速度に影響します。C_{HF}は10nF~100nFの間で選んで下さい。パターン依存ジッタを低減するため、ループはできるだけ低速にしてください。マキシム社ではC_{HF} = 100nFを推奨しています。

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

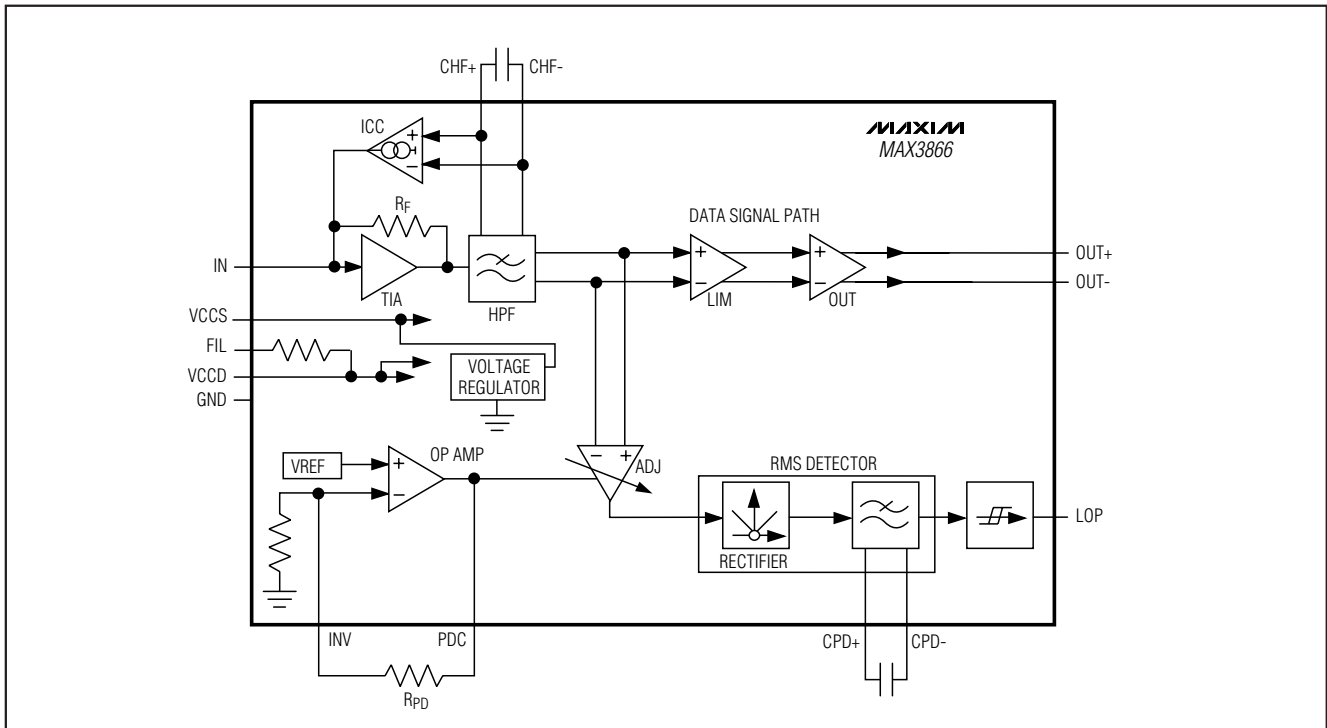


図1. 複合プリアンプ/リミティングポストアンプのファンクションダイアグラム

外部フィルタコンデンサ C_{PD}

パワーディテクタのLFカットオフは、両CPDピンの間に外付コンデンサを追加することにより低減することができます。このコンデンサが必要なのは、本回路が低データレート、低エッジ速度で動作している時だけです。これにより、パワーディテクタ出力電圧の残存リップルが小さくなります。

ロスオブパワースレッシュヨルド

LOP機能が必要な場合、マキシム社では $R_{PD} = 510$ を推奨しています。LOP機能が必要でない場合は、 $R_{PD} = 0$ (短絡)として下さい。LOPの定義については図2を参照して下さい。必要であれば、LOPスレッシュヨルドを調節することができます(「標準動作特性」のAssert/Deassert vs R_{PD} を参照)。

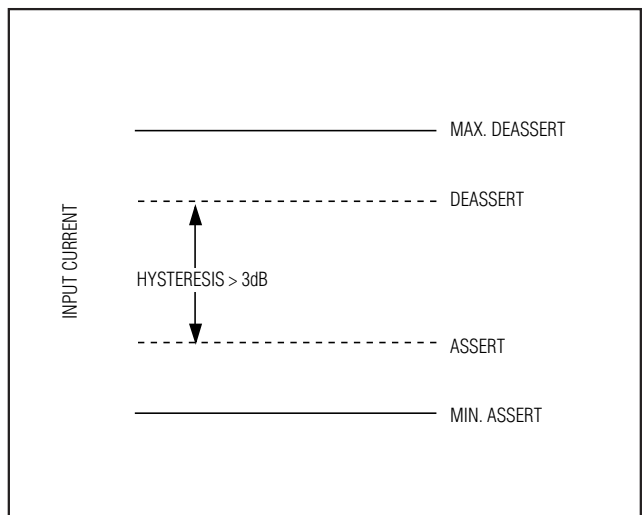


図2. $R_{PD} = 510$ 時のロスオブパワーの定義

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

内部入力/出力回路

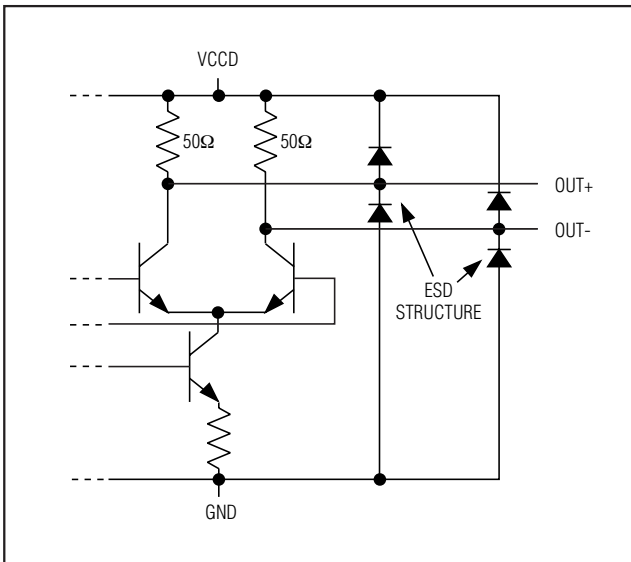


図3. OUTパッド

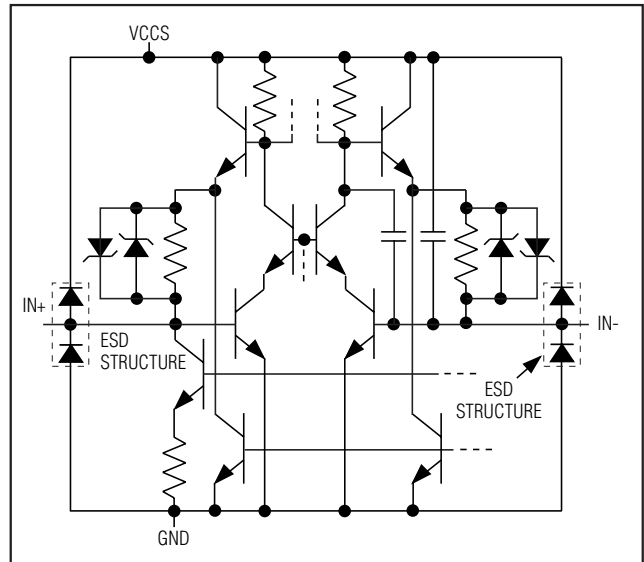


図4. INパッド

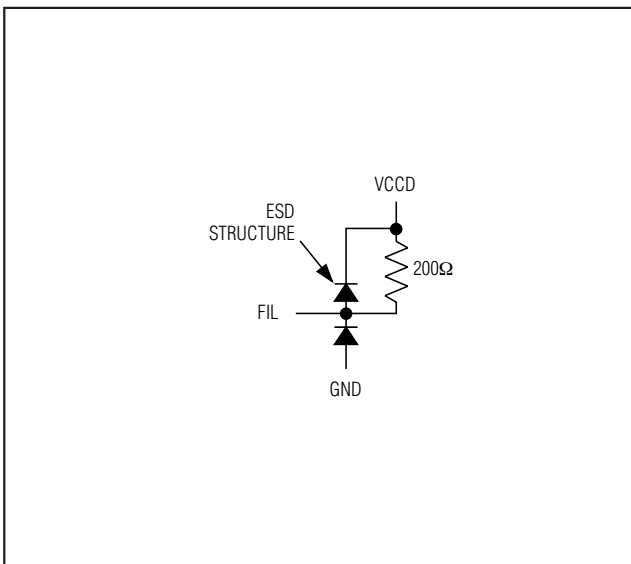


図5. FILパッド

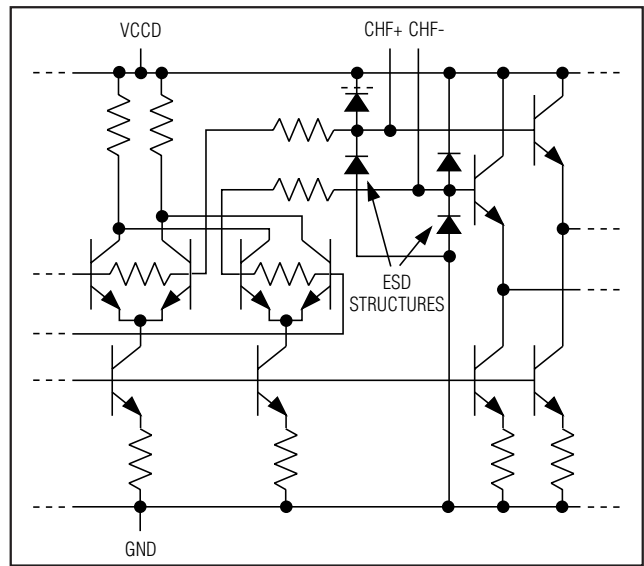


図6. CHFパッド

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

内部入力/出力回路(続き)

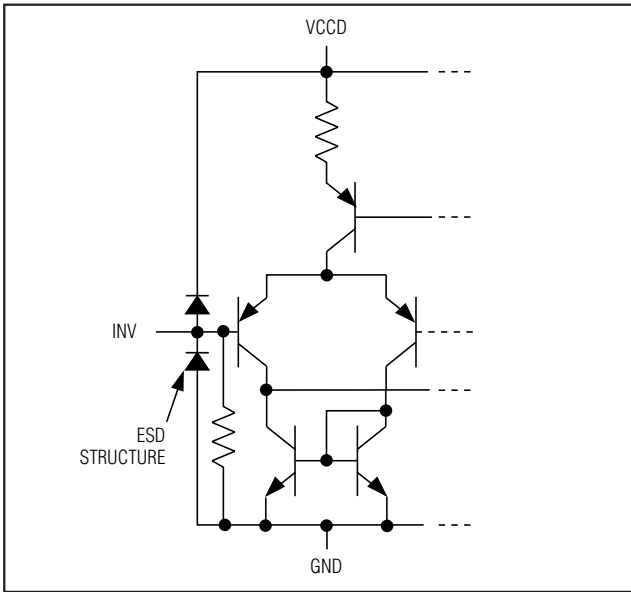


図7. INVパッド

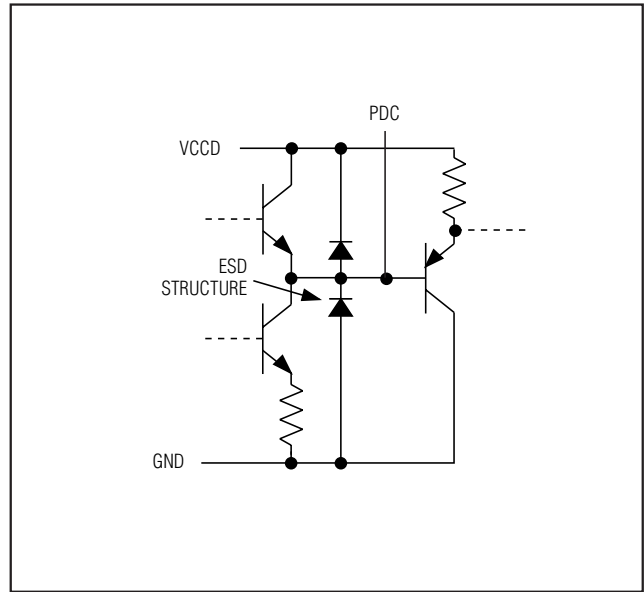


図8. PDCパッド

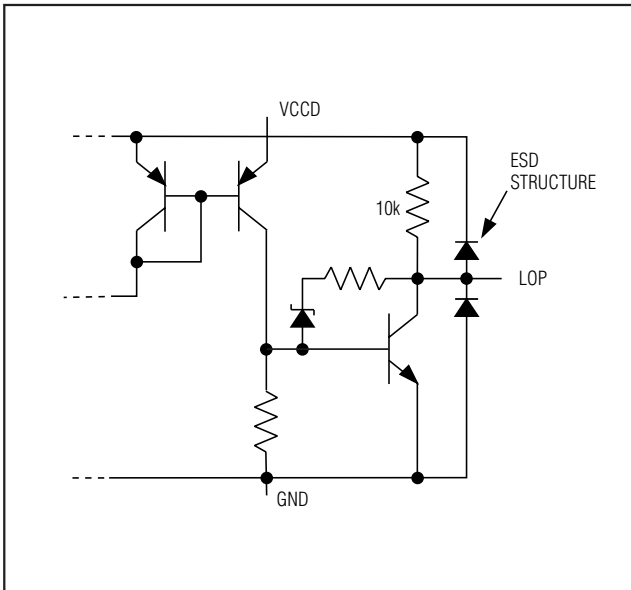


図9. LOPパッド

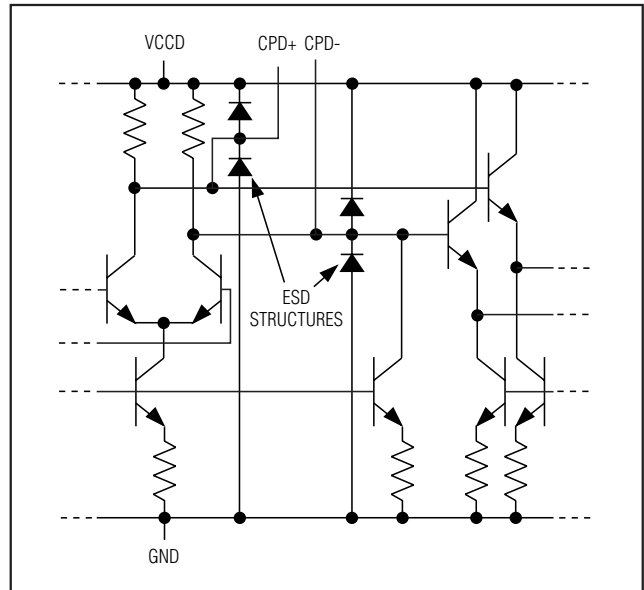


図10. CPDパッド

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

アプリケーション情報

平均光パワーから信号振幅への変換

MAX3866の仕様の多くは入力信号振幅に関係しています。光ファイバレシーバを使用している場合、入力は通常平均光パワー及び消滅比によって表現されます。MAX3866を使用する設計を行う場合には、表1に示す関係式を使用して光パワーを入力信号に変換することができます。

光レシーバの場合、トランスインピーダンスアンプへの入力電流は表1のパワーの関係式にフォトダイオードの応答感度を掛けることによって得られます。

ワイヤボンディング

チップへの接続は金ワイヤでのみ行い、ボールボンディング法を用いて下さい。チップパッドサイズは4mil(100µm)、チップの厚さは12mil(~300µm)です。

レイアウト技法

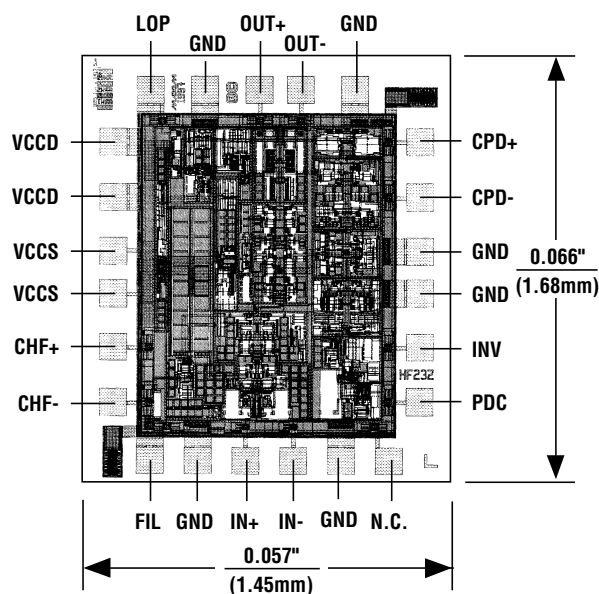
MAX3866の性能は回路基板のレイアウト及び設計に大きく影響されます。グラウンドインダクタンスを最小限に抑え、全てのデータ信号に固定インピーダンス伝送ラインを用いる等、良質の高周波設計技法を使用して下さい。

表1. 光パワーの関係式*

PARAMETER	SYMBOL	RELATION
Average Power	P_{AVE}	$P_{AVE} = (P_0 + P_1) / 2$
Extinction Ratio	r_e	$r_e = P_1 / P_0$
Optical Power of a "1"	P_1	$P_1 = 2P_{AVE} \frac{r_e}{r_e + 1}$
Optical Power of a "0"	P_0	$P_0 = 2P_{AVE} / (r_e + 1)$
Signal Amplitude	P_{IN}	$P_{IN} = P_1 - P_0 = 2P_{AVE} \frac{(r_e - 1)}{(r_e + 1)}$

*Assuming a 50% average input mark density.

パッド配置



TRANSISTOR COUNT: 851

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

NOTES

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

NOTES

MAX3866

2.5Gbps、+3.3Vトランスインピーダンス/ リミティング複合アンプ

MAX3866

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1999 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.