

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

概要

MAX3110E/MAX3111Eは、スペース、コスト、および電力に制約のあるアプリケーション向けに、完全な機能を備えた汎用非同期レシーバ/トランスミッタ(UART)と、±15kV ESD保護されたRS-232トランシーバおよび内蔵チャージポンプコンデンサを組み合わせ、単一の28ピンパッケージに実装した製品です。また、MAX3110E/MAX3111EはSPI™/QSPI™/MICROWIRE™対応のシリアルインタフェースも備えており、基板スペースとマイクロコントローラ(μC)のI/O端子数をさらに削減することができます。

独自の低ドロップアウトの出力段によって、2ドライバ/2レシーバのインタフェースは消費電流わずか600μAでありながら、V_{CC} = +3V (MAX3110Eの場合は+4.5V)以上で真のRS-232の性能を提供することができます。ハードウェア/ソフトウェアによるシャットダウン時にもレシーバは作動したままであり、わずか10μAの消費電流で外部のデバイスを監視することが可能です。各デバイスは、真のEIA/TIA-232出力電圧レベルを維持したまま、最大230kbpsで動作することが保証されています。

MAX3110E/MAX3111EのUARTは水晶発振器とポーレートジェネレータを内蔵しており、300baud~230kbaudのすべての一般的なポーレート用にソフトウェアで分周比を設定可能です。このUARTは、プロセッサのオーバーヘッドを最小限に抑える8ワード分の受信FIFOを備えており、4つのマスク可能ソースによる柔軟な割り込みを提供します。ハードウェアによるハンドシェイク用に、2本の制御ライン(入力1本と出力1本)を備えています。

UARTとRS-232の機能は電源とグラウンドの接続のみを共有しているため、この2つの機能を同時に使用することも、個別に使用することも可能です(MAX3110E/MAX3111Eは、MAX3100とMAX3222Eの組合せとハードウェアおよびソフトウェアの互換性があります)。

アプリケーション

- POS (Point-of-Sale)デバイス
- ハンディターミナル
- テレコム/ネットワーク診断ポート
- 産業用フロントパネルインタフェース
- ハンドヘルド/バッテリー駆動機器

ピン配置はデータシートの最後に記載されています。

SPIおよびQSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。



特長

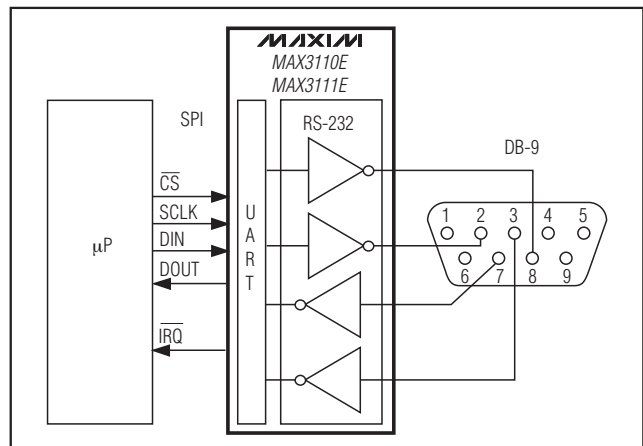
- ◆ RS-232トランシーバとUARTを単一の28ピンパッケージに集積化
- ◆ SPI/QSPI/MICROWIRE対応μCインタフェース
- ◆ チャージポンプコンデンサ内蔵—外付け部品が不要
- ◆ V_{CC} = +3V以上で真のRS-232動作(MAX3111E)
- ◆ RS-232 I/O端子のESD保護
 - ±15kV—ヒューマンボディモデル
 - ±8kV—IEC 1000-4-2、接触放電
 - ±15kV—IEC 1000-4-2、気中放電
- ◆ 単一電源動作
 - +5V (MAX3110E)
 - +3.3V (MAX3111E)
- ◆ 低電力
 - 消費電流：600μA
 - シャットダウン消費電流：10μA (レシーバ割込みアクティブ)
- ◆ 保証データレート：230kbps
- ◆ MAX3100およびMAX3222Eとハードウェア/ソフトウェア互換

型番

| PART | TEMP. RANGE | PIN-PACKAGE | V _{CC} (V) |
|-------------|--------------|----------------|---------------------|
| MAX3110ECWI | 0°C to +70°C | 28 Wide SO | 5 |
| MAX3110ECNI | 0°C to +70°C | 28 Plastic DIP | 5 |

型番はデータシートの最後に続いています。

標準アプリケーション回路



コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

ABSOLUTE MAXIMUM RATINGS

| | |
|---|-----------------------------------|
| V _{CC} to GND (MAX3110E) | -0.3V to +6V |
| V _{CC} to GND (MAX3111E)..... | -0.3V to +4V |
| V ₊ to GND (Note 1) | -0.3V to +7V |
| V ₋ to GND (Note 1) | +0.3V to -7V |
| V ₊ to V ₋ (Note 1) | +13V |
| Input Voltages to GND | |
| CS, X1, CTS, RX, DIN, SCLK..... | -0.3V to (V _{CC} + 0.3V) |
| T_IN, SHDN | -0.3V to +6V |
| R_IN | ±25V |
| Output Voltage to GND | |
| DOUT, RTS, TX, X2 | -0.3V to (V _{CC} + 0.3V) |
| IRQ | -0.3V to +6V |
| T_OUT | ±13.2V |
| R_OUT | -0.3V to (V _{CC} + 0.3V) |
| TX, RTS Output Current | 100mA |

| | |
|--|----------------|
| Short-Circuit Duration | |
| X2, DOUT, $\overline{\text{IRQ}}$ (to V _{CC} or GND)..... | Continuous |
| T_OUT (to GND) | Continuous |
| Continuous Power Dissipation (T _A = +70°C) | |
| 28-pin Wide SO (derate 12.5mW/°C above +70°C) | 1W |
| 28-pin Plastic DIP (derate 14.3mW/°C above +70°C) | 1.14W |
| Operating Temperature Ranges | |
| MAX311_EC_ | 0°C to +70°C |
| MAX311_EE_ | -40°C to +85°C |
| Storage Temperature Range | |
| -65°C to +150°C | |
| Lead Temperature (soldering, 10s) | |
| +300°C | |
| Soldering Temperature (reflow) | |
| PDIP lead(Pb)-free | +225°C |
| PDIP containing lead(Pb)..... | +240°C |
| Wide SO lead(Pb)-free..... | +225°C |
| Wide SO containing lead(Pb) | +240°C |

Note 1: V₊ and V₋ can have maximum magnitudes of 7V, but their absolute difference should not exceed 13V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX3110E

(V_{CC} = +4.5V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are measured for baud rate set to 9600baud at V_{CC} = +5V, T_A = +25°C.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|--------------------------|------------------------------------|--------------------|-------|--------------------|-------|
| DC CHARACTERISTICS (V_{CC} = +5V, T_A = +25°C) | | | | | | |
| Supply Current | I _{CC} | SHDN = V _{CC} , no load | | 0.6 | 2 | mA |
| Supply Current with Hardware Shutdown | I _{CCSHDN(H)} | SHDN = GND (Note 3) | | 0.48 | 1 | mA |
| Supply Current with Hardware and Software Shutdown | I _{CCSHDN(H+S)} | SHDN = GND, SHDNi bit = 1 (Note 4) | | 3 | 20 | μA |
| UART OSCILLATOR INPUT (X1) | | | | | | |
| Input High Voltage | V _{IH1} | | 0.7V _{CC} | | | V |
| Input Low Voltage | V _{IL1} | | | | 0.2V _{CC} | V |
| Input Current | I _{IIN1} | V _{X1} = 0 or 5.5V | SHDNi bit = 0 | | 25 | μA |
| | | | SHDNi bit = 1 | | 2 | |
| Input Capacitance | C _{IN1} | | | 5 | | pF |
| UART LOGIC INPUTS (DIN, SCLK, CS, CTS, RX) | | | | | | |
| Input High Voltage | V _{IH2} | | 0.7V _{CC} | | | V |
| Input Low Voltage | V _{IL2} | | | | 0.3V _{CC} | V |
| Input Hysteresis | V _{HYST2} | | | 250 | | mV |
| Input Leakage Current | I _{LKG1} | | | | ±1 | μA |
| Input Capacitance | C _{IN2} | | | 5 | | pF |
| RS-232 LOGIC INPUTS (T_IN, SHDN) | | | | | | |
| Input High Voltage | V _{IH3} | V _{CC} = 5V | 2.4 | | | V |
| Input Low Voltage | V _{IL3} | | | | 0.8 | V |
| Transmitter Input Hysteresis | V _{HYST3} | | | 500 | | mV |
| Input Leakage Current | I _{IIN3} | | | ±0.01 | ±1 | μA |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

ELECTRICAL CHARACTERISTICS—MAX3110E (continued)

(V_{CC} = +4.5V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are measured for baud rate set to 9600baud at V_{CC} = +5V, T_A = +25°C.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|--------------------|---|-----------------------|-------|-----|-------|
| RS-232 RECEIVER INPUTS (R_IN) | | | | | | |
| Input Voltage Range | | | -25 | | +25 | V |
| Input High Voltage | V _{IH4} | T _A = +25°C, V _{CC} = 5V | 2.4 | | | V |
| Input Low Voltage | V _{IL4} | T _A = +25°C, V _{CC} = 5V | | | 0.8 | V |
| Input Hysteresis | V _{HYST4} | | | 500 | | mV |
| Input Resistance | R _{IN} | T _A = +25°C | 3 | 5 | 7 | kΩ |
| RS-232 ESD PROTECTION (R_IN, T_OUT) | | | | | | |
| ESD Protection | | Human Body Model | | ±15 | | kV |
| | | IEC 1000-4-2 Air Discharge | | ±15 | | |
| | | IEC 1000-4-2 Contact Discharge | | ±8 | | |
| RS-232 RECEIVER OUTPUTS (R_OUT) | | | | | | |
| Output High Voltage | | | | ±0.05 | ±10 | μA |
| Output Low Voltage | V _{OL1} | I _{SINK} = 1.6mA | | | 0.4 | V |
| RS-232 TRANSMITTER OUTPUTS (T_OUT) | | | | | | |
| Output Voltage Swing | | 3kΩ load on all transmitter outputs | 5 | ±5.4 | | V |
| Output Resistance | R _O | V _{CC} = V ₊ = V ₋ = 0, V _{OUT} = ±2V | 300 | 10M | | Ω |
| Output Short-Circuit Current | | | | | ±60 | mA |
| Output Leakage Current | I _{LKG2} | V _{CC} = 0 or 5.5V, V _{OUT} = ±12V, transmitters disabled | | | ±25 | μA |
| UART OUTPUTS (DOUT, TX, RTS) | | | | | | |
| Output Leakage Current | I _{LKG3} | DOUT only, $\overline{CS} = V_{CC}$ | | | ±1 | μA |
| Output High Voltage | V _{OH2} | I _{SOURCE} = 5mA; DOUT, \overline{RTS} | V _{CC} - 0.5 | | | V |
| | | I _{SOURCE} = 10mA; TX only | V _{CC} - 0.5 | | | |
| Output Low Voltage | V _{OL2} | I _{SINK} = 4mA; DOUT, \overline{RTS} | | | 0.4 | V |
| | | I _{SINK} = 25mA; TX only | | | 0.9 | |
| Output Capacitance | C _{OUT1} | | | 5 | | pF |
| UART IRQ OUTPUTS (\overline{IRQ} = open drain) | | | | | | |
| Output Leakage Current | I _{LKG4} | V \overline{IRQ} = 5.5V | | | ±1 | μA |
| Output Low Voltage | V _{OL3} | I _{SINK} = 4mA | | | 0.4 | V |
| Output Capacitance | C _{OUT2} | | | 5 | | pF |
| UART AC TIMING | | | | | | |
| \overline{CS} Low to DOUT Valid | t _{DV} | C _{LOAD} = 100pF | | | 100 | ns |
| \overline{CS} High to DOUT Tri-State | t _{TR} | C _{LOAD} = 100pF, R \overline{CS} = 10kΩ | | | 100 | ns |
| \overline{CS} to SCLK Setup Time | t _{CSS} | | 100 | | | ns |
| \overline{CS} to SCLK Hold Time | t _{CSH} | | 0 | | | ns |
| SCLK Fall to DOUT Valid | t _{DO} | C _{LOAD} = 100pF | | | 100 | ns |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

ELECTRICAL CHARACTERISTICS—MAX3110E (continued)

(V_{CC} = +4.5V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are measured for baud rate set to 9600baud at V_{CC} = +5V, T_A = +25°C.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|-------------------------------------|--|----------------------------------|-----|-----|------------|
| DIN to SCLK Setup Time | t _{DS} | | 100 | | | ns |
| DIN to SCLK Hold Time | t _{DH} | | 0 | | | ns |
| SCLK Period | t _{CP} | | 238 | | | ns |
| SCLK High Time | t _{CH} | | 100 | | | ns |
| SCLK Low Time | t _{CL} | | 100 | | | ns |
| SCLK Rising Edge to CS Falling | t _{CS0} | | 100 | | | ns |
| $\overline{\text{CS}}$ Rising Edge to SCLK Rising Edge | t _{CS1} | | 200 | | | ns |
| CS High Pulse Width | t _{CSW} | | 200 | | | ns |
| Output Rise Time | t _r | TX, $\overline{\text{RTS}}$, DOUT; C _L = 100pF | | 10 | | ns |
| Output Fall Time | t _f | TX, $\overline{\text{RTS}}$, DOUT, $\overline{\text{IRQ}}$; C _L = 100pF | | 10 | | ns |
| RS-232 AC TIMING | | | | | | |
| Maximum Data Rate | | R _L = 3k Ω , C _L = 1000pF, one transmitter switching | 250 | | | kbps |
| Receiver Propagation Delay | t _{PHL} | Receiver input to receiver output | | 150 | | ns |
| | t _{PLH} | C _L = 150pF | | 150 | | |
| Transmitter Skew | t _{PHL} - t _{PLH} | (Note 5) | | 100 | | ns |
| Receiver Skew | t _{PHL} - t _{PLH} | | | 50 | | ns |
| Transition-Region Slew Rate | | V _{CC} = 5V, R _L = 3k Ω to 7k Ω , T _A = +25°C, measured from +3V to -3V or -3V to +3V | C _L = 150pF to 1000pF | 6 | 30 | V/ μ s |
| | | | C _L = 150pF to 2500pF | 4 | 30 | |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

ELECTRICAL CHARACTERISTICS—MAX3111E

($V_{CC} = +3.0V$ to $+3.6V$, $V_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are measured for baud rate set to 9600baud at $V_{CC} = +3.3V$, $T_A = +25^{\circ}C$.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | | MIN | TYP | MAX | UNITS |
|--|-------------------|---|--------------------------------|-------|----------|----------|------------|
| DC CHARACTERISTICS ($V_{CC} = 3.3V$, $T_A = +25^{\circ}C$) | | | | | | | |
| Supply Current | I_{CC} | $\overline{SHDN} = V_{CC}$, no load | | | 0.45 | 1.4 | mA |
| Supply Current with Hardware Shutdown | $I_{CCSHDN(H)}$ | $\overline{SHDN} = GND$ (Note 3) | | | 0.18 | 0.4 | mA |
| Supply Current with Hardware and Software Shutdown | $I_{CCSHDN(H+S)}$ | $\overline{SHDN} = GND$ $SHDN_i$ bit = 1 (Note 4) | | | 1 | 20 | μA |
| UART OSCILLATOR INPUT (X1) | | | | | | | |
| Input High Voltage | V_{IH1} | | | 0.7 | V_{CC} | | V |
| Input Low Voltage | V_{IL1} | | | 0.2 | | V_{CC} | V |
| Input Current | I_{IN1} | $V_{X1} = 0$ or $3.6V$ | $SHDN_i$ bit = 0 | | | 25 | μA |
| | | | $SHDN_i$ bit = 1 | | | 2 | |
| Input Capacitance | C_{IN1} | | | 5 | | | pF |
| UART LOGIC INPUTS (DIN, SCLK, \overline{CS}, RX) | | | | | | | |
| Input High Voltage | V_{IH2} | | | 0.7 | V_{CC} | | V |
| Input Low Voltage | V_{IL2} | | | 0.3 | | V_{CC} | V |
| Input Hysteresis | V_{HYST2} | | | 165 | | | mV |
| Input Leakage Current | I_{LKG1} | | | | | ±1 | μA |
| Input Capacitance | C_{IN2} | | | 5 | | | pF |
| RS-232 LOGIC INPUTS (T_IN, SHDN) | | | | | | | |
| Input High Voltage | V_{IH3} | $V_{CC} = 3.3V$ | | | 2.0 | | V |
| Input Low Voltage | V_{IL3} | | | | | 0.8 | V |
| Transmitter Input Hysteresis | V_{HYST3} | | | 500 | | | mV |
| Input Leakage Current | I_{IN3} | | | ±0.01 | | ±1 | μA |
| RS-232 RECEIVER INPUTS (R_IN) | | | | | | | |
| Input Voltage Range | | | | -25 | | +25 | V |
| Input High Voltage | V_{IH4} | $T_A = +25^{\circ}C$, $V_{CC} = 3.3V$ | | 2.4 | | | V |
| Input Low Voltage | V_{IL4} | $T_A = +25^{\circ}C$, $V_{CC} = 3.3V$ | | | | 0.6 | V |
| Input Hysteresis | V_{HYST4} | | | 500 | | | mV |
| Input Resistance | R_{IN} | $T_A = +25^{\circ}C$ | | 3 | 5 | 7 | k Ω |
| RS-232 ESD PROTECTION (R_IN, T_OUT) | | | | | | | |
| ESD Protection | | | Human Body Model | | | ±15 | kV |
| | | | IEC 1000-4-2 Air Discharge | | | ±15 | |
| | | | IEC 1000-4-2 Contact Discharge | | | ±8 | |

MAX3110E/MAX3111E

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

ELECTRICAL CHARACTERISTICS—MAX3111E (continued)

($V_{CC} = +3.0V$ to $+3.6V$, $V_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are measured for baud rate set to 9600baud at $V_{CC} = +3.3V$, $T_A = +25^{\circ}C$.) (Note 2)

| PARAMETER | SYMBOL | CONDITION | MIN | TYP | MAX | UNITS |
|---|------------|--|----------------|-----------|----------|----------|
| RS-232 RECEIVER OUTPUTS (R_OUT) | | | | | | |
| Output High Voltage | V_{OH1} | $I_{SOURCE} = 1mA$ | $V_{CC} - 0.6$ | | | V |
| Output Low Voltage | V_{OL1} | $I_{SINK} = 1.6mA$ | | | 0.4 | V |
| RS-232 TRANSMITTER OUTPUTS (T_OUT) | | | | | | |
| Output Voltage Swing | | 3k Ω load on all transmitter outputs | ± 5 | ± 5.4 | | V |
| Output Resistance | R_O | $V_{CC} = V_+ = V_- = 0$, $V_{OUT} = \pm 2V$ | 300 | 10M | | Ω |
| Output Short-Circuit Current | | | | | ± 60 | mA |
| Output Leakage Current | I_{LKG2} | $V_{CC} = 0$ or $3.6V$, $V_{OUT} = \pm 12V$, transmitters disabled | | | ± 25 | μA |
| UART OUTPUTS (DOUT, TX, \overline{RTS}) | | | | | | |
| Output Leakage Current | I_{LKG3} | DOUT only; $\overline{CS} = V_{CC}$ | | | ± 1 | μA |
| Output High Voltage | V_{OH2} | $I_{SOURCE} = 5mA$; DOUT, \overline{RTS} | $V_{CC} - 0.5$ | | | V |
| | | $I_{SOURCE} = 10mA$, TX only | $V_{CC} - 0.5$ | | | |
| Output Low Voltage | V_{OL2} | $I_{SINK} = 4mA$; DOUT, \overline{RTS} | | | 0.4 | V |
| | | $I_{SINK} = 25mA$, TX only | | | 0.9 | |
| Output Capacitance | C_{OUT1} | | | 5 | | pF |
| UART \overline{IRQ} OUTPUT (\overline{IRQ} = open drain) | | | | | | |
| Output Leakage Current | I_{LKG4} | $V_{\overline{IRQ}} = 3.6V$ | | | ± 1 | μA |
| Output Low Voltage | V_{OL3} | $I_{SINK} = 4mA$ | | | 0.4 | V |
| Output Capacitance | C_{OUT2} | | | 5 | | pF |
| UART AC TIMING | | | | | | |
| \overline{CS} Low to DOUT Valid | t_{DV} | $C_{LOAD} = 100pF$ | | | 100 | ns |
| \overline{CS} High to DOUT Tri-State | t_{TR} | $C_{LOAD} = 100pF$, $R_{\overline{CS}} = 10k\Omega$ | | | 100 | ns |
| \overline{CS} to SCLK Setup Time | t_{CSS} | | 100 | | | ns |
| \overline{CS} to SCLK Hold Time | t_{CSH} | | 0 | | | ns |
| SCLK Fall to DOUT Valid | t_{DO} | $C_{LOAD} = 100pF$ | | | 100 | ns |
| DIN to SCLK Setup Time | t_{DS} | | 100 | | | ns |
| DIN to SCLK Hold Time | t_{DH} | | 0 | | | ns |
| SCLK Period | t_{CP} | | 238 | | | ns |
| SCLK High Time | t_{CH} | | 100 | | | ns |
| SCLK Low Time | t_{CL} | | 100 | | | ns |
| SCLK Rising Edge to \overline{CS} Falling | t_{CS0} | | 100 | | | ns |
| \overline{CS} Rising Edge to SCLK Rising Edge | t_{CS1} | | 200 | | | ns |
| \overline{CS} High Pulse Width | t_{CSW} | | 200 | | | ns |
| Output Rise Time | t_r | TX, \overline{RTS} , DOUT; $C_{LOAD} = 100pF$ | | 10 | | ns |
| Output Fall Time | t_f | TX, \overline{RTS} , DOUT, \overline{IRQ} ; $C_{LOAD} = 100pF$ | | 10 | | ns |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

ELECTRICAL CHARACTERISTICS—MAX3111E (continued)

(V_{CC} = +3.0V to +3.6V, V_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are measured for baud rate set to 9600baud at V_{CC} = +3.3V, T_A = +25°C.) (Note 2)

| PARAMETER | SYMBOL | CONDITIONS | | MIN | TYP | MAX | UNITS |
|-----------------------------|-------------------------------------|---|----------------------------------|-----|-----|-----|-------|
| RS-232 AC TIMING | | | | | | | |
| Maximum Data Rate | | R _L = 3kΩ, C _L = 1000pF, one-transmitter switching | | 250 | | | kbps |
| Receiver Propagation Delay | t _{PHL} | Receiver input to receiver output | | | 150 | | ns |
| | t _{PLH} | C _L = 150pF | | | 150 | | |
| Transmitter Skew | t _{PHL} - t _{PLH} | (Note 5) | | | 200 | | ns |
| Receiver Skew | t _{PHL} - t _{PLH} | | | | 100 | | ns |
| Transition-Region Slew Rate | | V _{CC} = 3.3V, R _L = 3kΩ to 7kΩ, T _A = +25°C, measured from +3V to -3V or -3V to +3V | C _L = 150pF to 1000pF | 6 | | 30 | V/μs |
| | | | C _L = 150pF to 2500pF | 4 | | 30 | |

Note 2: All currents into the device are positive; all currents out of the device are negative. All voltages are referred to device ground unless otherwise noted.

Note 3: ICCSHDN(H) represents a hardware-only shutdown. In hardware shutdown, the UART is in normal operation and the charge pumps for the RS-232 transmitters are shut down.

Note 4: ICCSHDN(H+S) represents a simultaneous software and hardware shutdown in which the UART and charge pumps are shut down.

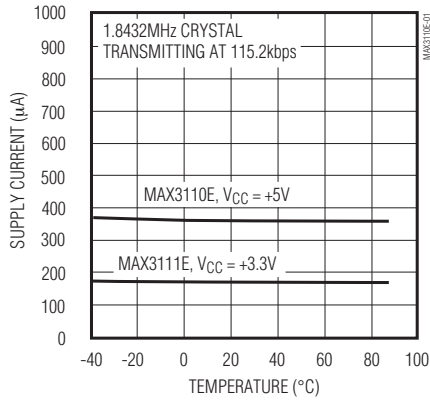
Note 5: Transmitter skew is measured at the transmitter zero cross points.

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

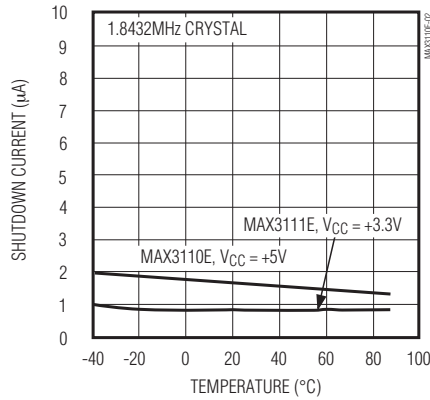
標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

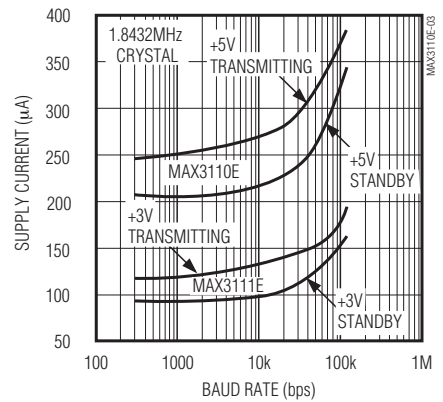
UART SUPPLY CURRENT vs. TEMPERATURE



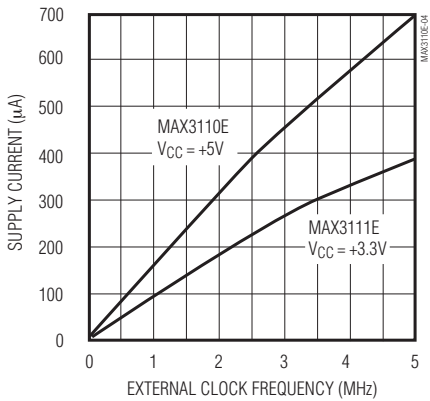
UART SHUTDOWN CURRENT vs. TEMPERATURE



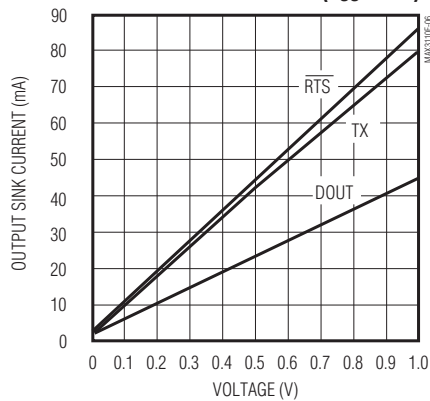
UART SUPPLY CURRENT vs. BAUD RATE



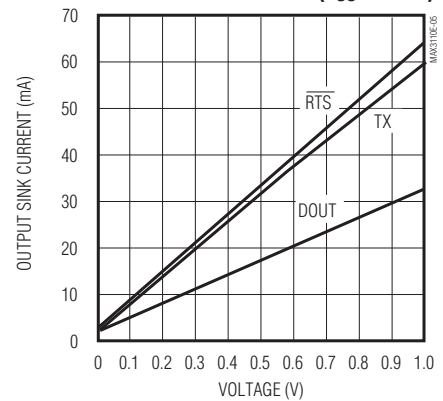
UART SUPPLY CURRENT vs. EXTERNAL CLOCK FREQUENCY



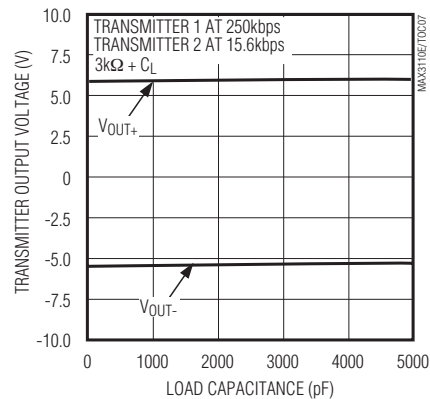
MAX3110E TX, RTS, DOUT OUTPUT CURRENT vs. OUTPUT LOW VOLTAGE ($V_{CC} = +5\text{V}$)



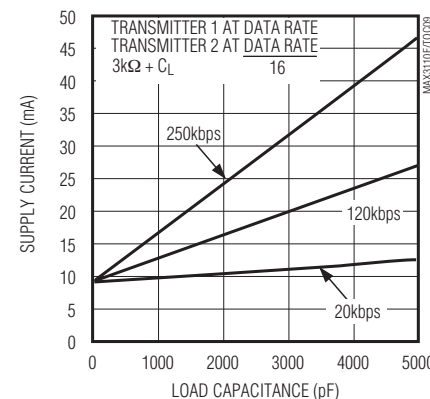
MAX3111E TX, RTS, DOUT OUTPUT CURRENT vs. OUTPUT LOW VOLTAGE ($V_{CC} = +3.3\text{V}$)



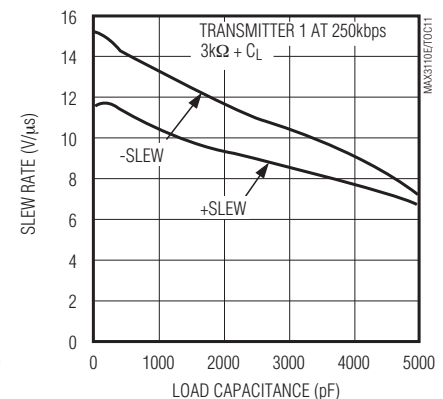
RS-232 TRANSMITTER OUTPUT VOLTAGE vs. LOAD CAPACITANCE



RS-232 TRANSCEIVER SUPPLY CURRENT vs. LOAD CAPACITANCE



RS-232 TRANSMITTER SLEW RATE vs. LOAD CAPACITANCE



コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

端子説明

| 端子 | 名称 | 機能 |
|----|-------|---|
| 1 | R2IN | RS-232レシーバ入力2 |
| 2 | R2OUT | RS-232レシーバ出力2、TTL/CMOS |
| 3 | T2IN | RS-232トランスミッタ入力2、TTL/CMOS |
| 4 | T1IN | RS-232トランスミッタ入力1、TTL/CMOS |
| 5 | R1OUT | RS-232レシーバ出力1、TTL/CMOS |
| 6 | R1IN | RS-232レシーバ入力1 |
| 7 | T1OUT | RS-232トランスミッタ出力1 |
| 8 | VCC | 正の電源電圧 |
| 9 | X2 | UART水晶接続。外部CMOSクロックを使用する場合は、X2を未接続のままにしてください。「水晶、発振器、およびセラミック共振器」の項を参照してください。 |
| 10 | X1 | UART水晶接続。X1は、外部CMOSクロック入力としても機能します。「水晶、発振器、およびセラミック共振器」の項を参照してください。 |
| 11 | CTS | アクティブローのUART Clear-to-Send入力。CTSビットを通して読取りを行います。 |
| 12 | RTS | アクティブローのUART Request-to-Send出力。RTSビットによって制御されます。RS-485ネットワークでのドライバインペーブルの制御にも使用されます。 |
| 13 | RX | UART非同期シリアルデータ(レシーバ)入力。RS-232レシーバから受信したシリアル情報です。シャットダウン中にRXの状態が遷移した場合、割込みが発生します(表1)。 |
| 14 | TX | UART非同期シリアルデータ(トランスミッタ)出力 |
| 15 | DIN | SPI/MICROWIREシリアルデータ入力。シュミットトリガ入力です。 |
| 16 | DOUT | SPI/MICROWIREシリアルデータ出力。CSがハイの場合は、ハイインピーダンスになります。 |
| 17 | SCLK | SPI/MICROWIREシリアルクロック入力。シュミットトリガ入力です。 |
| 18 | CS | アクティブローのUARTチップセレクト入力。CSがハイの場合、DOUTはハイインピーダンスになります。IRQ、TX、およびRTSは、常にアクティブです。シュミットトリガ入力です。 |
| 19 | IRQ | アクティブローのUART割込み出力。マイクロプロセッサへのオープンドレインの割込み出力です。 |
| 20 | SHDN | ハードウェアシャットダウン入力。RS-232トランスミッタおよびチャージポンプをシャットダウンするには、SHDNをローに駆動してください。通常動作の場合はハイに駆動してください。 |
| 21 | V+ | 内蔵チャージポンプによって生成される+5.5V。この端子には何も接続しないでください。 |
| 22 | C1+ | 内蔵電圧ダブルチャージポンプコンデンサの正の端子。この端子には何も接続しないでください。 |
| 23 | C1- | 内蔵電圧ダブルチャージポンプコンデンサの負の端子。この端子には何も接続しないでください。 |
| 24 | C2+ | 内蔵反転チャージポンプコンデンサの正の端子。この端子には何も接続しないでください。 |
| 25 | C2- | 内蔵反転チャージポンプコンデンサの負の端子。この端子には何も接続しないでください。 |
| 26 | V- | 内蔵チャージポンプによって生成される-5.5V。この端子には何も接続しないでください。 |
| 27 | GND | グラウンド |
| 28 | T2OUT | RS-232トランスミッタ出力2 |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

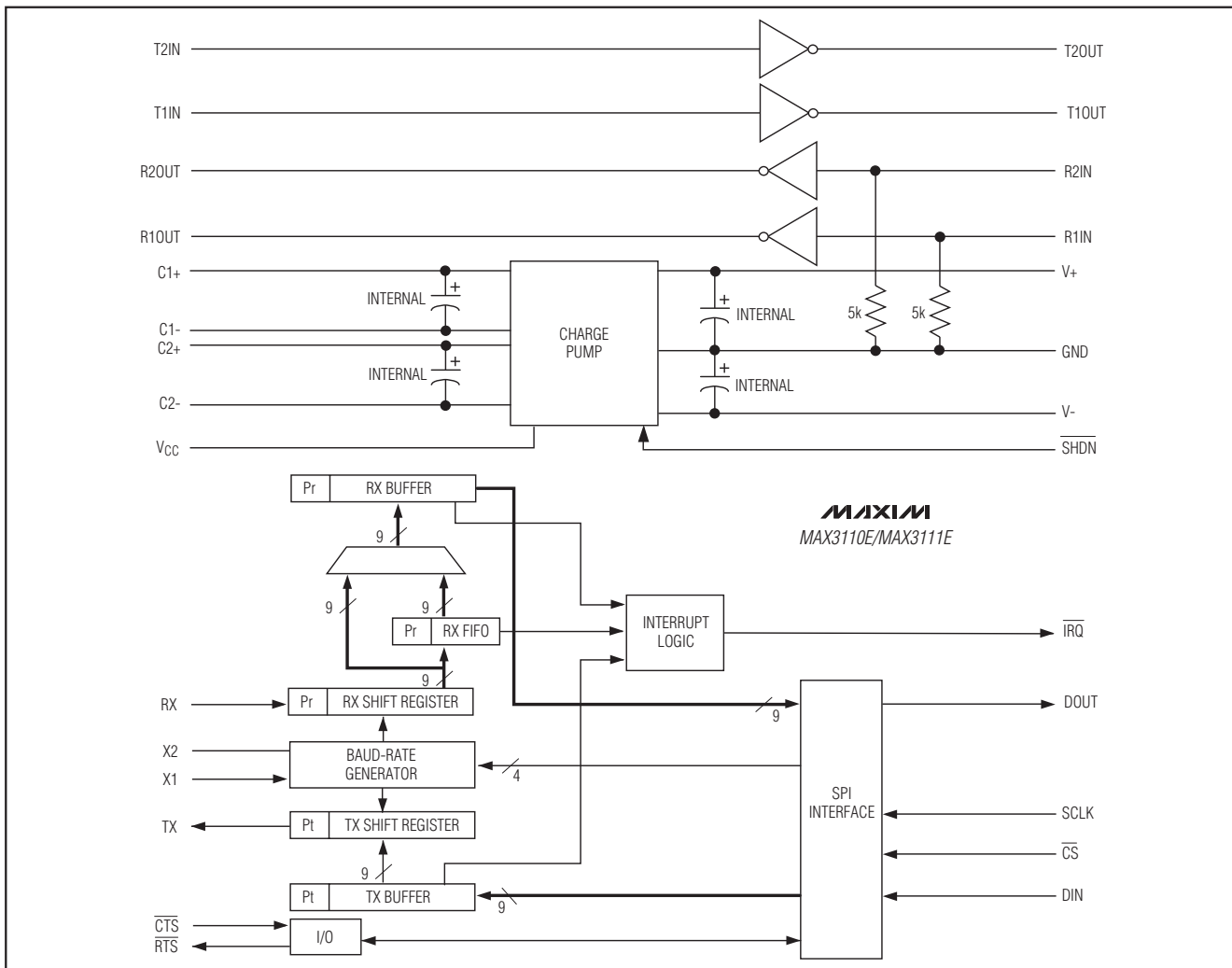


図1. MAX3110E/MAX3111Eのファンクションダイアグラム

詳細

MAX3110E/MAX3111Eは、SPI/QSPI/MICROWIRE対応のUARTと、2つのドライバと2つのレシーバを備えたRS-232トランシーバを内蔵しています。UARTは、CPOL = 0、CPHA = 0のSPIおよびQSPIと互換性があります。UARTは、標準的なUARTビットストリームおよびIrDAについて最大230kbaudのデータレートをサポートし、8ワードの受信FIFOを内蔵しています。また、9ビットのアドレスを認識する割り込みも内蔵しています。RS-232トランシーバは、トランスミッタの出力とレシーバの入力に静電気放電(ESD)保護を備えています。内蔵チャージポンプコンデンサによって、必要な外付け部品数が最小限に抑えられます。RS-232トランシーバはV_{CC}が最低電源電圧以上でEIA/TIA-232仕様に適合し、

最大250kbpsのデータレートでの動作が保証されています。

UARTとRS-232の機能は電源とグラウンドの接続のみを共有しているため、1つのデバイスとしての動作も、個別の動作も可能です。

UART

汎用非同期レシーバ/トランスミッタ(UART)は、マイクロプロセッサ(μP)からのSPI/QSPI/MICROWIRE対応の同期シリアルデータと、非同期、シリアルデータ通信ポート(RS-232、IrDA)とのインタフェースを行います。図1に、MAX3110E/MAX3111Eのファンクションダイアグラムを示します。UARTの機能には、SPI/QSPI/MICROWIREインタフェース、ボーレートジェネレータ、および割り込み発生器が含まれます。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

SPIインタフェース

MAX3110E/MAX3111Eは、SPI、QSPI (CPOL = 0、CPHA = 0)、およびMICROWIREの各シリアルインタフェース規格と互換性があります(図2)。MAX3110E/MAX3111Eは独自の全二重専用アーキテクチャを採用しており、どの読取り/書き込みレジスタを使用するかに関わらず、常にDINから16ビットワードを受け取ることを想定して、同時にDOUT用の16ビットワードを生成します。UARTはDINストリームを監視して、その最初の2ビットによって実行中のデータ伝送の種類を判断します(「Write Configurationレジスタ」、「Read Configurationレジスタ」、「Write Dataレジスタ」、および「Read Dataレジスタ」の項を参照)。DIN (MOSI)は、SCLKの立上りエッジでラッチされます。DOUT (MISO)は、SCLKの立上りエッジでμPへの読取りを行う必要があります。DOUTの最初のビット(ビット15)はCSの立下りエッジで遷移し、ビット14~0はSCLKの立下りエッジで遷移

します。図3に、同期SPIポートのシリアルタイミング仕様の詳細を示します。

想定されているのは16ビットワードのみです。伝送の途中(第16のビットより前の任意の時点)でCSがハイになった場合、そのシーケンスは中止されます(すなわち、データは個々のレジスタに書き込まれません)。内部レジスタのクリアなど、大部分の操作はCSの立上りエッジでのみ行われることが想定されています。CSがローになるごとに、新しい16ビットのストリームが予期されます。Write Configurationレジスタを使用する例を図4に示します。

表1に、Write Configuration、Read Configuration、Write Data、およびRead Dataの各レジスタに位置しているビットの説明を示します。この表では、ビットが読取りビットか書き込みビットか、およびビットのパワーオンリセット状態(POR)についても説明しています。図5に、パリティおよびワード長の制御の例を示します。

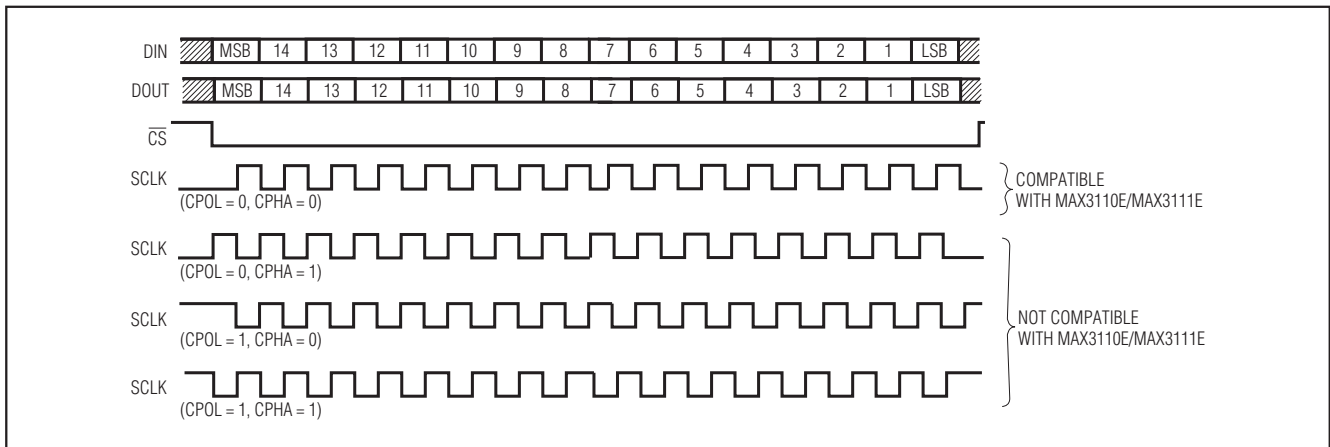


図2. CPOLおよびCPHAの各タイミングモードの互換性

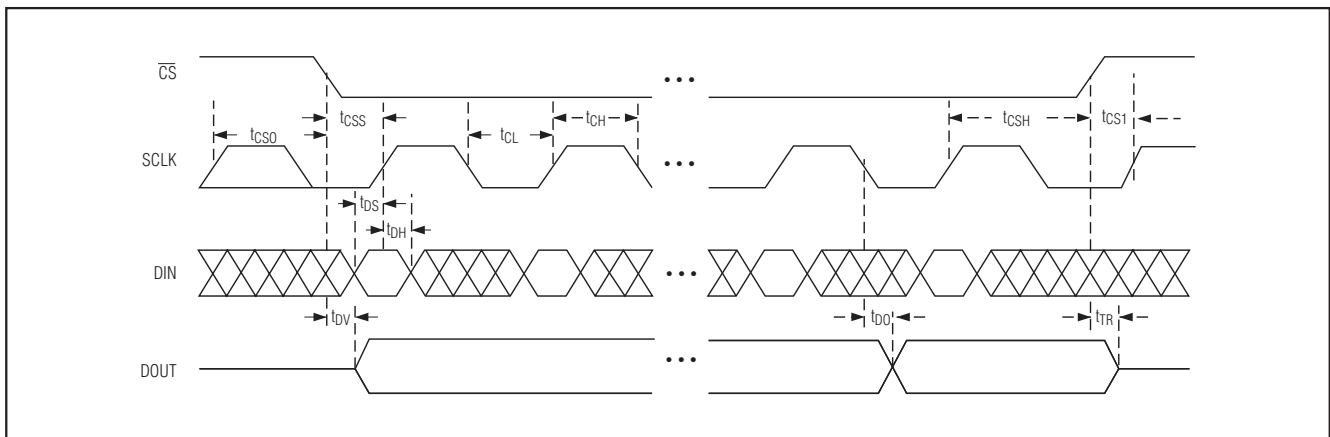


図3. 同期SPIポートのシリアルタイミング仕様の詳細

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

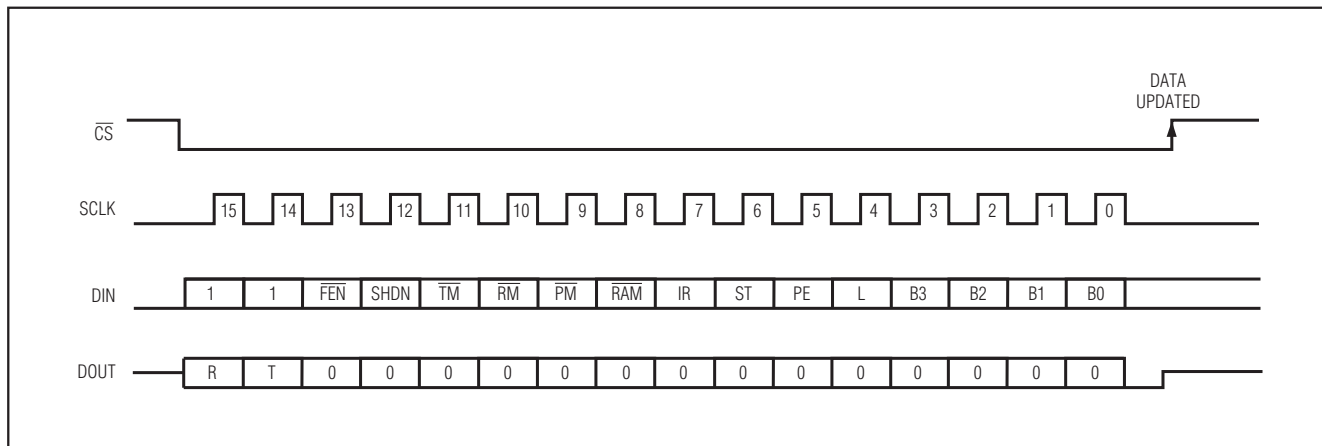


図4. Write Configurationレジスタの例

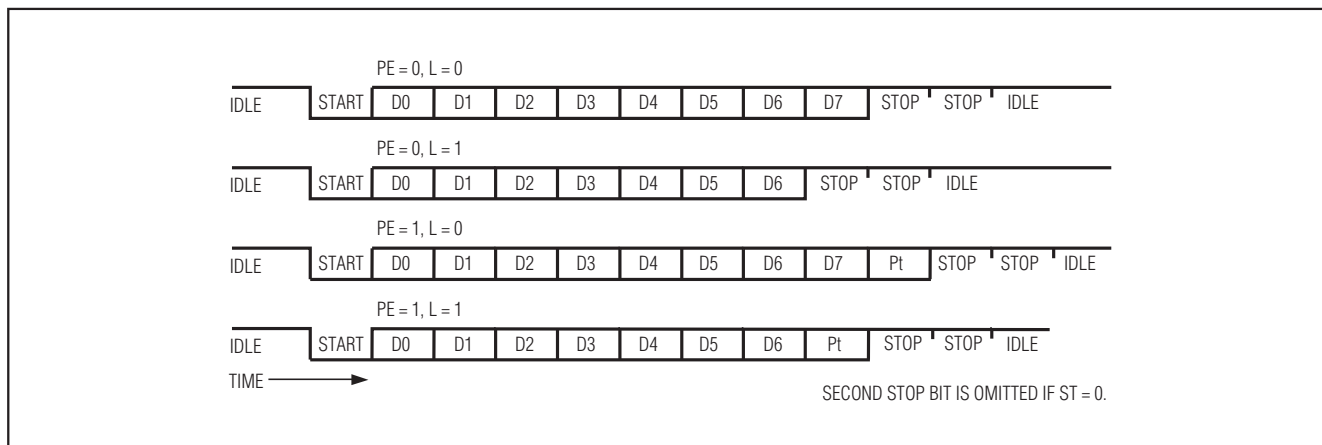


図5. パリティおよびワード長の制御

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

表1. ビットの説明

| BIT NAME | BIT TYPE | POR STATE | DESCRIPTION |
|-------------------------|----------|-----------|---|
| B0–B3 | write | 0000 | Baud-Rate Divisor Select Bits. Sets the baud clock's value (Table 6). |
| B0–B3 | read | 0000 | Baud-Rate Divisor Select Bits. Reads the 4-bit baud clock value assigned to these registers. |
| CTS | read | No change | Clear-to-Send-Input. Records the state of the $\overline{\text{CTS}}$ pin (CTS bit = 0 implies $\overline{\text{CTS}}$ pin = logic high). |
| D0t–D7t | write | XXXXXXXX | Transmit-Buffer Register. Eight data bits written into the transmit-buffer register. D7t is ignored when L = 1. |
| D0r–D7r | read | 00000000 | Eight data bits read from the receive FIFO or the receive-buffer register. When L = 1, D7r is always 0. |
| $\overline{\text{FEN}}$ | write | 0 | FIFO Enable. Enables the receive FIFO when $\overline{\text{FEN}} = 0$. When $\overline{\text{FEN}} = 1$, FIFO is disabled. |
| $\overline{\text{FEN}}$ | read | 0 | FIFO-Enable Readback. $\overline{\text{FEN}}$'s state is read. |
| IR | write | 0 | Enables the IrDA timing mode when IR = 1. |
| IR | read | 0 | Reads the value of the IR bit. |
| L | write | 0 | Bit to set the word length of the transmitted or received data. L = 0 results in 8-bit words (9-bit words if PE = 1) (see Figure 5). L = 1 results in 7-bit words (8-bit words if PE = 1). |
| L | read | 0 | Reads the value of the L bit. |
| Pt | write | X | Transmit-Parity Bit. This bit is treated as an extra bit that is transmitted if PE = 1. In 9-bit networks, the MAX3110E/MAX3111E do not calculate parity. If PE = 0, then this bit (Pt) is ignored in transmit mode (see the <i>9-Bit Networks</i> section). |
| Pr | read | X | Receive-Parity Bit. This bit is the extra bit received if PE = 1. Therefore, PE = 1 results in 9-bit transmissions (L = 0). If PE = 0, then Pr is set to 0. Pr is stored in the FIFO with the receive data (see the <i>9-Bit Networks</i> section). |
| PE | write | 0 | Parity-Enable Bit. Appends the Pt bit to the transmitted data when PE = 1, and sends the Pt bit as written. No parity bit is transmitted when PE = 0. With PE = 1, an extra bit is expected to be received. This data is put into the Pr register. Pr = 0 when PE = 0. The MAX3110E/MAX3111E do not calculate parity. |
| PE | read | 0 | Reads the value of the Parity-Enable bit. |
| $\overline{\text{PM}}$ | write | 0 | Mask for Pr bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{PM}} = 1$ and Pr = 1 (Table 7). |
| $\overline{\text{PM}}$ | read | 0 | Reads the value of the $\overline{\text{PM}}$ bit (Table 7). |
| R | read | 0 | Receive Bit or FIFO Not Empty Flag. R = 1 means new data is available to be read or is being read from the receive register or FIFO. If performing a Read Data or Write Data operation, the R bit will clear on the falling edge of SCLK's 16th pulse if no new data is available. |
| $\overline{\text{RM}}$ | write | 0 | Mask for R bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{RM}} = 1$ and R = 1 (Table 7). |
| $\overline{\text{RM}}$ | read | 0 | Reads the value of the $\overline{\text{RM}}$ bit (Table 7). |
| $\overline{\text{RAM}}$ | write | 0 | Mask for RA/FE bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{RAM}} = 1$ and RA/FE = 1 (Table 7). |
| $\overline{\text{RAM}}$ | read | 0 | Reads the value of the $\overline{\text{RAM}}$ bit (Table 7). |
| RTS | write | 0 | Request-to-Send Bit. Controls the state of the $\overline{\text{RTS}}$ output. This bit is reset on power-up (RTS bit = 0 sets the $\overline{\text{RTS}}$ pin = logic high). |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

表1. ビットの説明(続き)

| BIT NAME | BIT TYPE | POR STATE | DESCRIPTION |
|-----------------|----------|-----------|---|
| RA/FE | read | 0 | Receiver-Activity/Framing-Error Bit. In shutdown mode, this is the RA bit. In normal operation, this is the FE bit. In shutdown mode, a transition on RX sets RA = 1. In normal mode, a framing error sets FE = 1. A framing error occurs if a zero is received when the first stop bit is expected. FE is set when a framing error occurs, and cleared upon receipt of the next properly framed character independent of the FIFO being enabled. When the device wakes up, it is likely that a framing error will occur. This error is cleared with a Write Configuration. The FE bit is not cleared on a Read Data operation. When an FE is encountered, the UART resets itself to the state where it is looking for a start bit. |
| SHDNi | write | 0 | Software-Shutdown Bit. Enter software shutdown with a Write Configuration where SHDNi = 1. Software shutdown takes effect after \overline{CS} goes high, and causes the oscillator to stop as soon as the transmitter becomes idle. Software shutdown also clears R, T, RA/FE, D0r-D7r, D0t-D7t, Pr, Pt, and all data in the receive FIFO. RTS and CTS can be read and updated while in shutdown. Exit software shutdown with a Write Configuration where SHDNi = 0. The oscillator restarts typically within 50ms of \overline{CS} going high. RTS and CTS are unaffected. Refer to the <i>Pin Description</i> for hardware shutdown (SHDN input). |
| SHDNo | read | 0 | Shutdown Read-Back Bit. The Read Configuration register outputs SHDNo = 1 when the UART is in shutdown. Note that this bit is not sent until the current byte in the transmitter is sent (T = 1). This tells the processor when it may shut down the RS-485/RS-422 driver. This bit is also set immediately when the device is shut down through the SHDN pin. |
| ST | write | 0 | Transmit-Stop Bit. One stop bit will be transmitted when ST = 0. Two stop bits will be transmitted when ST = 1. The receiver only requires one stop bit. |
| ST | read | 0 | Reads the value of the ST bit. |
| T | read | 1 | Transmit-Buffer-Empty Flag. T = 1 means that the transmit buffer is empty and ready to accept another data word. |
| \overline{TE} | write | 0 | Transmit-Enable Bit. If \overline{TE} = 1, then only the \overline{RTS} pin is updated on \overline{CS} 's rising edge. The contents of \overline{RTS} , Pt, and D0t-D7t transmit on \overline{CS} 's rising edge when \overline{TE} = 0. |
| \overline{TM} | write | 0 | Mask for T Bit. \overline{IRQ} is asserted if \overline{TM} = 1 and T = 1 (Table 7). |
| \overline{TM} | read | 0 | Reads the value of the \overline{TM} bit (Table 7). |

ハイレベルのプログラマ向けの情報：UARTは、SPIの規約に従って書き込みと読取りのための双方向データ経路を提供します。データの書き込み時には、常にデータの読取りも行われます。これによってSPIバス上の動作が高速化し、UARTは高速ボーレートで動作する場合にこの速度面の優位性を必要とします。C言語などの大部分の高水準言語には、コンソールやシリアルポートなどのストリームI/Oデバイスの書き込みと読取りを行うためのコマンドが存在します。C言語の場合について具体的にみると、1文字を送信する「PUTCHAR」コマンドと、1文字を受信する「GETCHAR」コマンドがあります。仮に基底のドライバコードなしでプログラマがC言語でダイレクト書き込みおよび読取りコマンドを記述することになったと仮定した場合、PUTCHARコマンドが実際にはPUTGETCHARコマンドであることに気づくはずですが。これらのCコマンドでは、BIOSレベルで何らかの形でこれらのコマンドがサポートされていることを前提としています。これらのコマンドを実装するための適切な方法は、通常はアセンブリ言語による割込みサービスルーチンおよび高水準ルーチンで使用する

呼出し可能ルーチンの形でドライバコードを記述することです。このドライバが割込みを処理して、MAX3110E/MAX3111Eのために受信および送信バッファの管理を行います。PUTCHARの実行時にはこのドライバが呼び出されて、現在の文字の送信中に受信した文字がある場合、安全にバッファに格納します。GETCHARの実行時には、UARTからデータを取得する前にドライバ自体の受信バッファをチェックします。このデータシートの最後に記載されているリスト1の、C言語による「MAX3110E/MAX3111Eソフトウェアドライバの概略」を参照してください。

リスト1は、C言語による割込み駆動型ソフトウェアドライバの概略です。このドライバはMAX3110E/MAX3111Eとのインタフェースを行い、ビット操作サブルーチンと通常のPUTCHAR/GETCHARサブルーチンとの中間層を提供します。

ユーザーは、送信/受信キューおよび低水準ハードウェアインタフェース自体を管理するコードを用意する必要があります。このドライバを呼び出す前に、割込み制御ハードウェアを初期化する必要があります。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

Write Configurationレジスタ(D15、D14 = 1、1)

UARTの設定は、Write Configurationレジスタに16ビットのワードを書き込むことによって行います。このレジスタは、ボーレート、データのワード長、パリティのイネーブル、および8ワード受信FIFOのイネーブルを設定します。このモードでは、設定書込みモードをイネーブルするために、DIN設定ワードのビット15および14の両方を1にする必要があります。DINの設定ワードのビット13~0で、UARTの設定を行います。表2に、Write Configurationレジスタのビット割当てを示します。Write Configurationレジスタによって、通常のUARTタイミングとIrDAのタイミングの選択が可能になり、シャットダウン制御が提供され、4つの割込みマスクビットが含まれています。

Write Configurationレジスタを使用することによって、受信FIFOおよびR、T、RA/FE、D0r~D7r、D0t~D7t、Pr、およびPtの各レジスタがクリアされます。RTSおよびCTSは変化しません。送信バッファが空(T = 1)で送信が完了している場合、CSの立上りエッジで新しい設定が有効になります。最新の送信が完了していない場合(T = 0)、送信が完了した時点でレジスタが更新されます。

Write Configurationレジスタの各ビット(FEN、SHDNi、IR、ST、PE、L、B3~B0)は、現在の送信が終了した後有効になります。マスクビット(TM、RM、PM、RAM)は、SCLKの16番目の立上りエッジの直後に有効になります。

DOUTの設定書込みのビット15および14 (RおよびT)は、後続の14個のゼロとともにMAX3110E/MAX3111Eから送信されます。RおよびTビットの使用は任意ですが、後続の14個のゼロは無視してください。

警告! UARTの設定を行う前に、水晶発振器の動作が安定する必要があります(通常はパワーアップ後25ms)。パワーアップ時には、設定書込みビットと設定読取りビットが一致するまで、ソフトウェアループで両者の比較を行ってください。これによって、発振器が安定動作していること、およびUARTが正しく設定されていることが保証されます。

Read Configurationレジスタ(D15、D14 = 0、1)

Read Configurationレジスタは、最後にUARTに書き込んだ設定の再読取りを行うために使用します。このレジ

スタでは、設定読取りモードをイネーブルするために、DINの設定ワードのビット15および14をそれぞれ0および1にする必要があります。DINのワードのビット13~1はゼロにする必要があります、ビット0はUARTをテストモードに移行するためのテストビットです(「テストモード」の項を参照)。表3に、Read Configurationレジスタのビット割当てを示します。

テストモード

設定読取りを行う際にDINの設定ワードのビット0が1である場合、デバイスはテストモードに移行します。このモードでは、CS = 0の場合、RTS端子からボーレートの16倍のクロックが送信されます。テストモードでは、CSがローである限りTX端子はローのままです。表3に、Read Configurationレジスタのビット割当てを示します。

Write Dataレジスタ(D15、D14 = 1、0)

Write Dataレジスタは、TXバッファへの送信およびRXバッファ(およびイネーブルされている場合RX FIFO)からの受信に使用します。このレジスタを使用する場合、DINとDOUTのデータ書込みワードが同時に使用され、DINとDOUTの両方ともデータ書込みワードのビット13~11は意味を持たないゼロになります。DINのデータ書込みワードには送信するデータが格納され、DOUTのデータ書込みワードにはRX FIFOからの受信データが格納されます。表4に、データ書込みモードのビット割当てを示します。データを送信せずにRTS端子の出力状態を変更するには、TEビットをハイに設定してください。データ書込み操作を実行していて、利用可能な新しいデータがない場合は、SCLKの16番目のクロックパルスの立下りエッジでRビットがクリアされます。

Read Dataレジスタ(D15、D14 = 0、0)

Read Dataレジスタは、RX FIFOからデータを受信するために使用します。このレジスタを使用する場合、DINのビット15および14の両方を0にする必要があります。DINのデータ読取りワードのビット13~0はゼロにしてください。表5に、データ読取りモードのビット割当てを示します。データの読取りによって、Rビットおよび割込みIRQがクリアされます。データ読取り操作を実行していて、利用可能な新しいデータがない場合は、SCLKの16番目のクロックパルスの立下りエッジでRビットがクリアされます。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

表2. Write Configuration (D15、D14 = 1、1)

| BIT | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|-------------------------|-------|------------------------|------------------------|------------------------|-------------------------|----|----|----|---|----|----|----|----|
| DIN | 1 | 1 | $\overline{\text{FEN}}$ | SHDNI | $\overline{\text{TM}}$ | $\overline{\text{RM}}$ | $\overline{\text{PM}}$ | $\overline{\text{RAM}}$ | IR | ST | PE | L | B3 | B2 | B1 | B0 |
| DOUT | R | T | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

D15は $\overline{\text{CS}}$ の立下りエッジでDOUTに出力されます。後続のビットはSCLKの立下りエッジでクロックアウトされます。

注：

ビット15：DOUT

R = 1、受信レジスタまたはFIFOからデータの読取りが可能または読取り中です。

R = 0、受信レジスタおよびFIFOが空です。

ビット14：DOUT

T = 1、送信バッファが空です。

T = 0、送信バッファがフルです。

ビット13~0：DOUT

ゼロ

ビット15、14：DIN

1、1 = Write Configuration (設定書込み)

ビット13：DIN

$\overline{\text{FEN}}$ = 0、FIFOがイネーブルされます。

$\overline{\text{FEN}}$ = 1、FIFOがディセーブルされます。

ビット12：DIN

SHDNI = 1、ソフトウェアシャットダウンに移行します。

SHDNI = 0、ソフトウェアシャットダウンを終了します。

ビット11：DIN

$\overline{\text{TM}}$ = 1、送信バッファエンプティ割込みがイネーブルされます。

$\overline{\text{TM}}$ = 0、送信バッファエンプティ割込みがディセーブルされます。

ビット10：DIN

$\overline{\text{RM}}$ = 1、受信レジスタまたはFIFOデータアベイラブル割込みがイネーブルされます。

$\overline{\text{RM}}$ = 0、受信レジスタまたはFIFOデータアベイラブル割込みがディセーブルされます。

ビット9：DIN

$\overline{\text{PM}}$ = 1、パリティビットハイ受信割込みがイネーブルされます。

$\overline{\text{PM}}$ = 0、パリティビット受信割込みがディセーブルされます。

ビット8：DIN

$\overline{\text{RAM}}$ = 1、レシーバ動作(シャットダウンモード時)/フレーミングエラー(通常動作時)割込みがイネーブルされます。

$\overline{\text{RAM}}$ = 0、レシーバ動作(シャットダウンモード時)/フレーミングエラー(通常動作時)割込みがディセーブルされます。

ビット7：DIN

IR = 1、IrDAモードがイネーブルされます。

IR = 0、IrDAモードがディセーブルされます。

ビット6：DIN

ST = 1、2つのストップビットを送信します。

ST = 0、1つのストップビットを送信します。

ビット5：DIN

PE = 1、送信(Ptの状態)および受信の両方についてパリティがイネーブルされます。

PE = 0、送信および受信の両方についてパリティがディセーブルされます。

ビット4：DIN

L = 1、7ビットワード(PE = 1の場合、8ビット)

L = 0、8ビットワード(PE = 1の場合、9ビット)

ビット3~0：DIN

B3~B0 = XXXX、ボーレート分周比選択ビット(表6を参照)

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

表3. Read Configuration (D15、D14 = 0、1)

| BIT | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|------------------|-------------------|-----------------|-----------------|-----------------|------------------|----|----|----|---|----|----|----|------|
| DIN | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TEST |
| DOUT | R | T | \overline{FEN} | SHDN ₀ | \overline{TM} | \overline{RM} | \overline{PM} | \overline{RAM} | IR | ST | PE | L | B3 | B2 | B1 | B0 |

D15は \overline{CS} の立下りエッジでDOUTに出力されます。後続のビットはSCLKの立下りエッジでクロックアウトされます。

注：

ビット15：DOUT

R = 1、受信レジスタまたはFIFOからデータの読取りが可能または読取り中です。

R = 0、受信レジスタおよびFIFOが空です。

ビット14：DOUT

T = 1、送信バッファが空です。

T = 0、送信バッファがフルです。

ビット13：DOUT

\overline{FEN} = 0、FIFOがイネーブルされます。

\overline{FEN} = 1、FIFOがディセーブルされます。

ビット12：DOUT

SHDN₀ = 1、ソフトウェアシャットダウンがイネーブルされています。

SHDN₀ = 0、ソフトウェアシャットダウンがディセーブルされています。

ビット11：DOUT

\overline{TM} = 1、送信バッファエンプティ割込みがイネーブルされます。

\overline{TM} = 0、送信バッファエンプティ割込みがディセーブルされます。

ビット10：DOUT

\overline{RM} = 1、受信レジスタまたはFIFOデータアベイラブル割込みがイネーブルされます。

\overline{RM} = 0、受信レジスタまたはFIFOデータアベイラブル割込みがディセーブルされます。

ビット9：DOUT

\overline{PM} = 1、パリティビットハイ受信割込みがイネーブルされます。

\overline{PM} = 0、パリティビット受信割込みがディセーブルされます。

ビット8：DOUT

\overline{RAM} = 1、レシーバ動作(シャットダウンモード時)/フレーミングエラー(通常動作時)割込みがイネーブルされます。

\overline{RAM} = 0、レシーバ動作(シャットダウンモード時)/フレーミングエラー(通常動作時)割込みがディセーブルされます。

ビット7：DOUT

IR = 1、IrDAモードがイネーブルされます。

IR = 0、IrDAモードがディセーブルされます。

ビット6：DOUT

ST = 1、2つのストップビットを送信します。

ST = 0、1つのストップビットを送信します。

ビット5：DOUT

PE = 1、送信(Ptの状態)および受信の両方についてパリティがイネーブルされます。

PE = 0、送信および受信の両方についてパリティがディセーブルされます。

ビット4：DOUT

L = 1、7ビットワード(PE = 1の場合、8ビット)

L = 0、8ビットワード(PE = 1の場合、9ビット)

ビット3~0：DOUT

B3~B0 = XXXXポーレート分周比選択ビット(表6を参照)

ビット15、14：DIN

0、1 = Read Configuration (設定読取り)

ビット13~1：DIN

ゼロ

ビット0：DIN

TEST = 1かつ \overline{CS} = 0の場合、 \overline{RTS} = 16xBaudCLK

TEST = 0、テストモードをディセーブルします。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

表4. Write Data (D15、D14 = 1、0)

| BIT | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|----|-----------------|-----|----|-----|-----|-----|-----|-----|-----|-----|-----|
| DIN | 1 | 0 | 0 | 0 | 0 | \overline{TE} | RTS | Pt | D7t | D6t | D5t | D4t | D3t | D2t | D1t | D0t |
| DOUt | R | T | 0 | 0 | 0 | RA/FE | CTS | Pr | D7r | D6r | D5r | D4r | D3r | D2r | D1r | D0r |

D15は \overline{CS} の立下りエッジでDOUtに出力されます。後続のビットはSCLKの立下りエッジでクロックアウトされます。

注：

ビット15：DOUt

R = 1、受信レジスタまたはFIFOからデータの読取りが可能または読取り中です。

R = 0、受信レジスタおよびFIFOが空です。

ビット14：DOUt

T = 1、送信バッファが空です。

T = 0、送信バッファがフルです。

ビット13～11：DOUt

ゼロ

ビット10：DOUt

RA/FE = 受信動作(UARTシャットダウン時)/フレーミングエラー(通常動作時)ビット

ビット9：DOUt

CTS = \overline{CTS} の入力状態。CTS = 0の場合 \overline{CTS} = 1であり、逆も同様です。

ビット8：DOUt

Pr = 受信したパリティビット。PE = 1の場合のみ有効です。

ビット7～0：DOUt

D7r～D0r = 受信したデータビット。L = 1の場合、D7r = 0です。

ビット15、14：DIN

1、0 = Write Data (データ書込み)

ビット13～11：DIN

ゼロ

ビット10：DIN

\overline{TE} = 1、送信をディセーブルして、 \overline{RTS} のみが更新されるようになります。

\overline{TE} = 0、送信をイネーブルします。

ビット9：DIN

RTS = 1、 \overline{RTS} = 0 (ロジックロー)に設定します。

RTS = 0、 \overline{RTS} = 1 (ロジックハイ)に設定します。

ビット8：DIN

Pt = 1、送信パリティビットはハイです。PE = 1の場合、ハイのパリティビットが送信されます。PE = 0の場合、パリティビットは送信されません。

Pt = 0、送信パリティビットはローです。PE = 1の場合、ローのパリティビットが送信されます。PE = 0の場合、パリティビットは送信されません。

ビット7～0：DIN

D7t～D0t = 送信するデータビット。L = 1の場合、D7tは無視されます。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

表5. Read Data (D15、D14 = 0、0)

| BIT | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|----|-------|-----|----|-----|-----|-----|-----|-----|-----|-----|-----|
| DIN | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| DOUR | R | T | 0 | 0 | 0 | RA/FE | CTS | Pr | D7r | D6r | D5r | D4r | D3r | D2r | D1r | D0r |

D15はCSの立下りエッジでDOURに出力されます。後続のビットはSCLKの立下りエッジでクロックアウトされます。

注：

ビット15：DOUR

R = 1、受信レジスタまたはFIFOからデータの読取りが可能または読取り中です。

R = 0、受信レジスタおよびFIFOが空です。

ビット14：DOUR

T = 1、送信バッファが空です。

T = 0、送信バッファがフルです。

ビット13～11：DOUR

ゼロ

ビット10：DOUR

RA/FE = 受信動作(UARTシャットダウン時)/フレーミングエラー(通常動作時)ビット

ビット9：DOUR

CTS = $\overline{\text{CTS}}$ の入力状態。CTS = 0の場合 $\overline{\text{CTS}}$ = 1であり、逆も同様です。

ビット8：DOUR

Pr = 受信したパリティビット。PE = 1の場合のみ有効です。

ビット7～0：DOUR

D7r～D0r = 受信したデータビット。L = 1の場合、D7r = 0です。

ビット15、14：DIN

0、0 = Read Data (データ読取り)

ビット13～0：DIN

ゼロ

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

ボーレートジェネレータ

ボーレートジェネレータは、トランスミッタおよびレシーバの動作速度を決定します。Write ConfigurationレジスタのビットB3~B0によってボーレート分周比(BRD)が決定され、それによってX1の発振器の周波数が分周されます。内蔵の発振器は1.8432MHzまたは3.6864MHzの水晶で動作するか、またはX1にデューティサイクル45%~55%の方形波を印加することによって駆動されます。表6に、所定の入力コードに対応するボーレートの分周比、および1.8432MHzと3.684MHzの水晶を使用した場合のボーレートを示します。ジェネレータのクロックは、ボーレートの16倍です。

割込みソースおよびマスク

Read DataまたはWrite Dataレジスタを使用することによって、割込みIRQがクリアされます(ただしその割込みを発生させた条件がすでに存在しないことが条件です)。表7に、各割込みソースの詳細を示します。図6に、割込みソースおよびマスクブロックのファンクションダイアグラムを示します。

以下に、MAX3110E/MAX3111EのIRQを設定する例を2つ示します。

例1. 送信バッファエンプティ割込みのみを設定する場合。Write Configurationレジスタを使用して、下記の16ビットワードをMAX3110E/MAX3111EのDINに送り込みます。MAX3110E/MAX3111Eはこの16ビットワードによって、9600bps、8ビットワード、パリティなし、1ストップビットに設定されます(1.8432MHzの水晶使用時)。

2進 1100100000001010

16進 C80A

例2. データアベイラブル(またはデータ読取り中)割込みのみを設定する場合。

Write Configurationレジスタを使用して、下記の16ビットワードをMAX3110E/MAX3111EのDINに送り込みます。MAX3110E/MAX3111Eはこの16ビットワードによって、9600bps、8ビットワード、パリティなし、1ストップビットに設定されます(1.8432MHzの水晶使用時)。

2進 1100010000001010

16進 C40A

受信FIFO

MAX3110E/MAX3111Eは、プロセッサのオーバーヘッドを最小限に抑えるため、UARTが受信するデータ用に8ワードの受信FIFOを内蔵しています。UARTのソフトウェアシャットダウンを使用した場合、受信FIFOが

表6. ボーレートの選択*

| BAUD | | | | DIVISION RATIO | BAUD RATE | BAUD RATE |
|------|----|----|-----|----------------|--------------------|--------------------|
| B3 | B2 | B1 | B0 | | (fosc = 1.8432MHz) | (fosc = 3.6864MHz) |
| 0 | 0 | 0 | 0** | 1 | 115.2k** | 230.4k** |
| 0 | 0 | 0 | 1 | 2 | 57.6k | 115.2k |
| 0 | 0 | 1 | 0 | 4 | 28.8k | 57.6k |
| 0 | 0 | 1 | 1 | 8 | 14.4k | 28.8k |
| 0 | 1 | 0 | 0 | 16 | 7200 | 14.4k |
| 0 | 1 | 0 | 1 | 32 | 3600 | 7200 |
| 0 | 1 | 1 | 0 | 64 | 1800 | 3600 |
| 0 | 1 | 1 | 1 | 128 | 900 | 1800 |
| 1 | 0 | 0 | 0 | 3 | 38.4k | 76.8k |
| 1 | 0 | 0 | 1 | 6 | 19.2k | 38.4k |
| 1 | 0 | 1 | 0 | 12 | 9600 | 19.2k |
| 1 | 0 | 1 | 1 | 24 | 4800 | 9600 |
| 1 | 1 | 0 | 0 | 48 | 2400 | 4800 |
| 1 | 1 | 0 | 1 | 96 | 1200 | 2400 |
| 1 | 1 | 1 | 0 | 192 | 600 | 1200 |
| 1 | 1 | 1 | 1 | 384 | 300 | 600 |

*標準的なボーレートを太字で示しています。

**デフォルトのボーレート

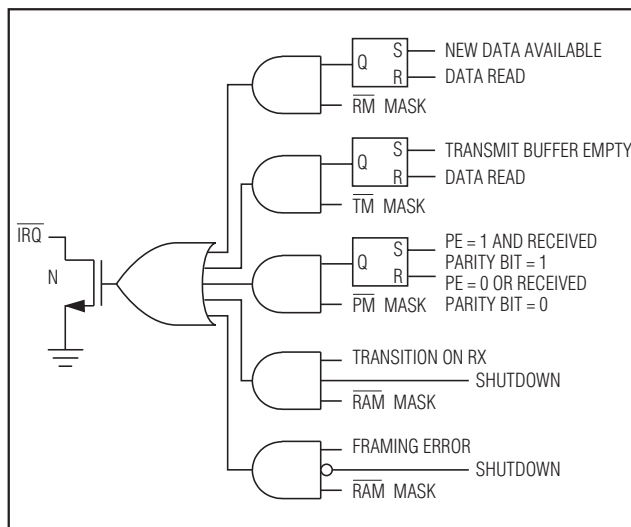


図6. 割込みソースおよびマスクブロックのファンクションダイアグラム

クリアされます。受信FIFOは、パワーアップ時にイネーブルされます。受信FIFOをディセーブルするには、Write Configurationレジスタへの書き込み時にFENビットをハイに設定してください。FIFOがイネーブルされているかディセーブルされているかを調べるには、Read Configurationを使用してFENビットの再読取りを行ってください。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

表7. 割込みソースおよびマスクビットの説明

| BIT NAME | MASK BIT | MEANING WHEN SET | DESCRIPTION |
|----------|------------------|---|--|
| Pr | \overline{PM} | Received parity bit = 1 | The Pr bit reflects the value in the word currently in the receive-buffer register (oldest data available). The Pr bit is set when parity is enabled (PE = 1) and the received parity bit is 1. The Pr bit is cleared either when parity is not enabled (PE = 0) or when parity is enabled and the received bit is 0. An interrupt is issued based on the oldest Pr value in the receiver FIFO. The oldest Pr value is the next value read by a Read Data operation. |
| R | \overline{RM} | Data available | The R bit is set when new data is available to be read or when data is being read from the receive register/FIFO. FIFO is cleared when all data has been read. An interrupt is asserted as long as R = 1 and $\overline{RM} = 1$. |
| RA/FE | \overline{RAM} | Transition on RX when in shutdown; framing error when not in shutdown | This is the RA (RX-transition) bit in shutdown, and the framing-error (FE) bit in operating mode. RA is set if there has been a transition on RX since entering shutdown. RA is cleared when the MAX3110E/MAX3111E exits shutdown. \overline{IRQ} is asserted when RA is set and $\overline{RAM} = 1$. FE is determined solely by the currently received data and is not stored in FIFO. The FE bit is set if a zero is received when the first stop bit is expected. FE is cleared upon receipt of the next properly framed character. \overline{IRQ} is asserted when FE is set and $\overline{RAM} = 1$. |
| T | \overline{TM} | Transmit buffer is empty | The T bit is set when the transmit buffer is ready to accept data. \overline{IRQ} is asserted low if $\overline{TM} = 1$ and the transmit buffer becomes empty. This source is cleared on the rising edge of SCLK's 16th clock pulse when using a Read Data or Write Data operation. \overline{CS} 's rising edge during a Read Data operation. Although the interrupt is cleared, poll T to determine transmit-buffer status. |

UARTのソフトウェアシャットダウン

ソフトウェアシャットダウン時には、UARTの発振器がオフになって消費電力が低減します。UARTはソフトウェアコマンド(SHDNiビット = 1)によってシャットダウンに移行します。ソフトウェアシャットダウンへの移行は、TransmitレジスタおよびTransmit-Bufferレジスタの両方のデータの送信が完了した時点で行われます。UARTがシャットダウンに移行した場合、SHDNoビットがセットされます。マイクロコントローラ(μC)はSHDNoビットの監視によってUARTがシャットダウンしたことを判断して、RS-232トランシーバをシャットダウンさせます。

ソフトウェアシャットダウンによって、受信FIFO、R、RA/FE、D0r~D7r、Pr、およびPtレジスタがクリアされ、Tビットにハイがセットされます。SHDNo = 1の場合も、各設定ビット(\overline{RM} 、 \overline{TM} 、 \overline{PM} 、 \overline{RAM} 、IR、ST、PE、L、B0~B3、およびRTS)は設定可能であり、またCTSが読み取り可能です。RAはシャットダウンへの移行時にリセットされますが、RX端子で何らかの遷移が検出された場合ハイになります。これによって、UARTはシャットダウン中でもレシーバの動作を監視することが可能です。

デバイスをソフトウェアシャットダウンから復帰させる際には(SHDNi = 0)、 \overline{CS} がハイになった時点で発振器が

オンになります。 \overline{CS} がハイになった後、発振器が安定するまでに通常は約25msかかります。発振器が安定した後で、RTSとCTSを除くすべてのレジスタをクリアする設定書込みを使用してUARTの設定を行ってください。フレーミングエラーが発生する場合は、発振器が安定するまでの待ち時間が十分ではない可能性があります。

ハードウェアシャットダウンはRS-232トランシーバのみに作用して、ソフトウェアシャットダウンはUARTのみに作用します。「RS-232トランシーバのハードウェアシャットダウン」の項を参照してください。

デュアルチャージポンプ電圧コンバータ

内部電源は、+3.3V電源(MAX3111E)または+5V電源(MAX3110E)を使用して+5.5V (倍圧チャージポンプ) および-5.5V (反転チャージポンプ)の出力電圧を供給する、安定化デュアルチャージポンプで構成されています。チャージポンプは不連続モードで動作します。すなわち、出力電圧が5.5Vを下回っている場合にチャージポンプがイネーブルされ、出力電圧が5.5Vを上回っている場合はチャージポンプがディセーブルされます。各チャージポンプは、V+およびV-電源を生成するためのフライングコンデンサと蓄積コンデンサを内蔵しています。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

RS-232トランスミッタ

トランスミッタは、CMOSロジックレベルを±5.0VのEIA/TIA-232レベルに変換する反転レベルトランスレータです。これらのトランスミッタは、3kΩと1000pFを並列接続したワーストケースの負荷に対して230kbpsのデータレートを保証しており、PC間通信ソフトウェア(LapLink™等)との互換性を提供します。デバイスのハードウェアシャットダウン時(SHDN = GND)には出力がハイインピーダンス状態に強制されるため、トランスミッタを並列に接続することが可能です。MAX3110E/MAX3111Eのシャットダウン中の出力に対する駆動の許容値は最大±12Vです。トランスミッタの入力はプルアップ抵抗を備えていません。使用しない入力はGNDまたはV_{CC}に接続してください。

RS-232レシーバ

レシーバは、RS-232信号をCMOSロジック出力レベルに変換します。MAX3110E/MAX3111Eのレシーバは反転出力を備えており、デバイスがハードウェア(またはソフトウェア)シャットダウン中でも常に動作します。

RS-232トランシーバの ハードウェアシャットダウン

ハードウェアシャットダウンモード(SHDN = ロー)では、消費電流がI_{CCSHDN(H)}に減少します。シャットダウン時、デバイスのチャージポンプはオフになり、V₊がV_{CC}にプルダウンされ、V₋はグラウンドにプルアップされて、トランスミッタの出力がディセーブルされます(ハイインピーダンスになります)。図7に示すように、シャットダウンからの復帰に必要な時間は100μs (typ)です。シャットダウンモードを使用しない場合は、SHDNをV_{CC}に接続してください。UARTのソフトウェアシャットダウンは、RS-232トランシーバには影響しません。

±15kVのESD保護

すべてのMaxim製デバイスと同様、取扱い中や組立て中に発生する静電気放電に対する保護のために、すべての端子にESD保護構造が組み込まれています。MAX3110E/MAX3111Eのドライバ出力とレシーバ入力は、静電気に対する保護が強化されています。Maximのエンジニアが、±15kVのESDに対して損傷なしにこれらの端子を保護するための最新の構造を開発しました。このESD構造は、通常動作、シャットダウン、および電源オフのすべての状態で高いESDに耐えることができます。ESDの発生後、競合RS-232製品がラッチを起す可能性があり、ラッチアップを解除するために電源をオフにする必要があるのに対して、MAX3110E/MAX3111Eはラッチアップなしで動作を継続します。

LapLinkはTraveling Softwareの商標です。

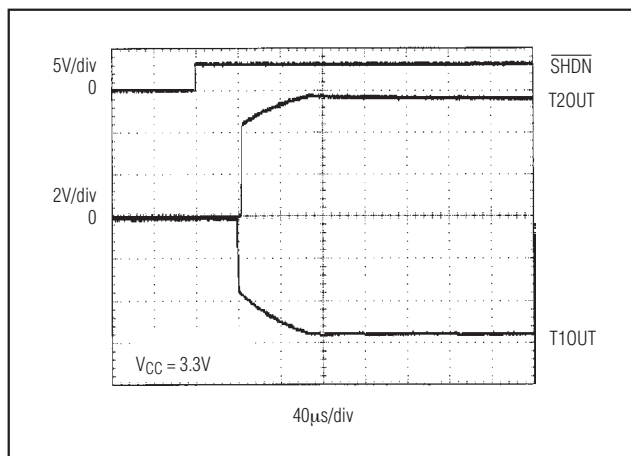


図7. シャットダウンからの復帰時またはパワーアップ時におけるMAX3111Eのトランスミッタ出力

ESD保護の試験は、さまざまな方法で行われます。これらのデバイスのトランスミッタ出力およびレシーバ入力は、以下の限界値までの保護を特性としています。

- ヒューマンボディモデルを使用した場合±15kV
- IEC 1000-4-2で規定されている接触放電法を使用した場合±8kV
- IEC 1000-4-2で規定されているエアギャップ法を使用した場合±15kV

ESD試験条件

ESD性能は、各種の条件に依存します。試験のセットアップ、方法論、および結果が記載された信頼性レポートについては、Maximの品質保証(QA)グループまでお問い合わせください。

ヒューマンボディモデル

ヒューマンボディモデルを図8aに、ローインピーダンスに対して放電した場合に生成される電流波形を図8bに示します。このモデルは、目的のESD電圧まで充電された100pFのコンデンサで構成され、それが1.5kΩの抵抗を通して試験デバイスに放電されます。

IEC 1000-4-2

IEC 1000-4-2規格は、完成した機器のESD試験およびESD性能を対象としており、ICについては特に言及していません。MAX3110E/MAX3111Eは、追加のESD保護部品を必要とせずにIEC 1000-4-2のレベル4 (最高レベル)に適合する機器を設計するために役立ちます。

ヒューマンボディモデルとIEC 1000-4-2を使用して行われる試験の間の主な違いは、IEC 1000-4-2モデルの方が直列抵抗が小さいため、IEC 1000-4-2のピーク

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

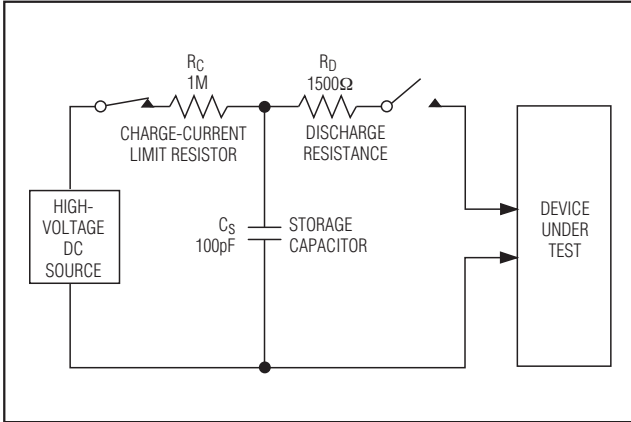


図8a. ヒューマンボディESD試験モデル

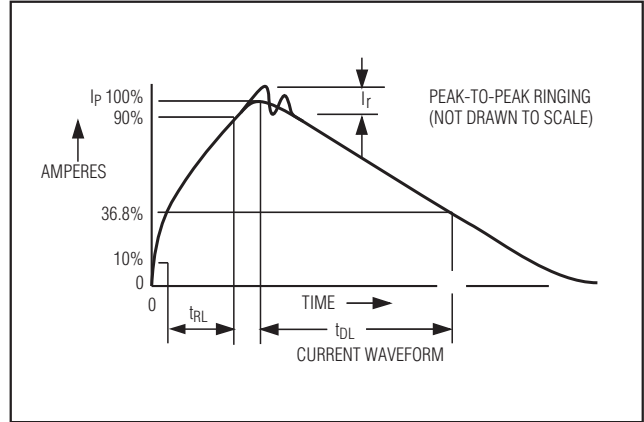


図8b. ヒューマンボディモデルの電流波形

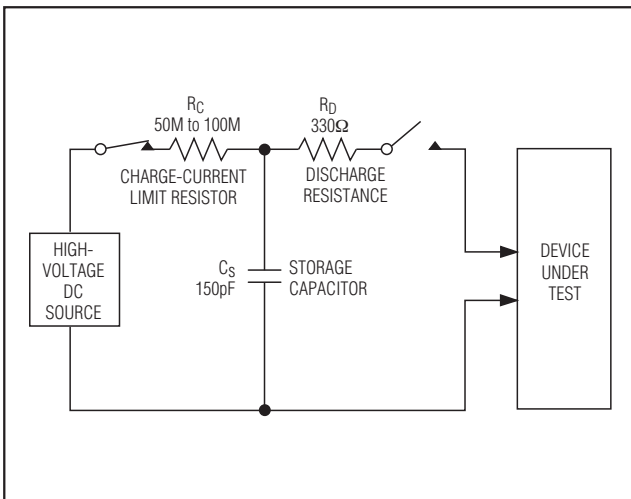


図9a. IEC 1000-4-2 ESD試験モデル

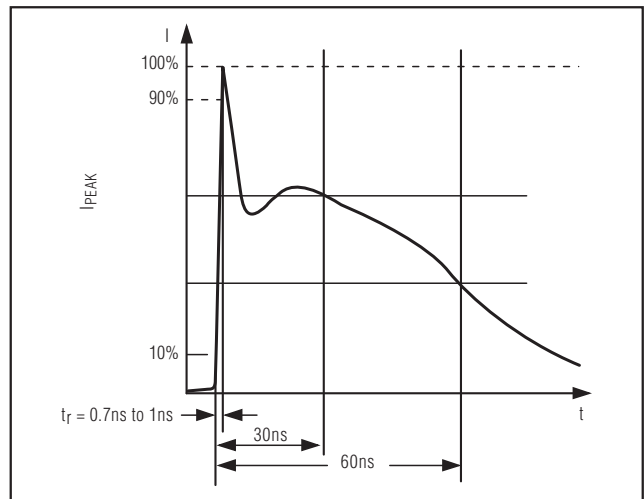


図9b. IEC 1000-4-2 ESD発生器の電流波形

電流が大きくなるという点です。このため、IEC 1000-4-2に沿って測定されたESD耐電圧は、ヒューマンボディモデルを使用して測定された値よりも一般的に低くなります。図9aにIEC 1000-4-2のモデルを、図9bに±8kVのIEC 1000-4-2レベル4 ESD接触放電試験の電流波形を示します。

エアギャップ試験では、充電したプローブをデバイスに接近させます。接触放電法では、プローブに電圧を印加する前にプローブをデバイスに接続します。

マシンモデル

ESDのマシンモデルでは、200pFの蓄積コンデンサと0Ωの放電抵抗を使用してすべての端子を試験します。その目的は、製造時の取扱いと組立てに伴って発生する接触が原因のストレスをエミュレートすることです。

もちろん、単にRS-232入力および出力のみではなく、製造時にはすべての端子がこの保護を必要とします。したがって、プリント基板の組立て後は、マシンモデルはI/Oポートにとってそれほど重要ではなくなります。

アプリケーション情報

水晶、発振器、およびセラミック共振器

MAX3110E/MAX3111Eは、外付けの水晶発振器を信号源とするポーレート生成用の発振回路を内蔵しています。標準的なポーレートの場合、1.8432MHzまたは3.6864MHzの水晶を使用してください。1.8432MHzの水晶の方が動作電流が小さくなりますが、3.6864MHzの水晶の方が表面実装型の入手が容易である可能性があります。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

セラミック共振器は、水晶に対する低コストの代替品であり、同様に動作しますが、Q値および精度は低下します。一部のセラミック共振器は負荷コンデンサを内蔵しているため、さらにコストを削減することができます。水晶とセラミック共振器のトレードオフは、初期の周波数精度と温度ドリフトの面にあります。他のシステムとの間で信頼性のある動作を行うため、ポーレートジェネレータの全誤差を1%以下に維持してください。水晶でこれを実現するのは容易であり、ほとんどの場合、セラミック共振器でも実現可能です。表8に、さまざまなタイプの水晶および共振器とそれらのメーカーの一覧を示します。

MAX3110E/MAX3111Eの発振器は、並列共振モードの水晶およびセラミック共振器をサポートしており、外部のクロックソースによって駆動することも可能です。発振器の内部は、インバータを約 $V_{CC}/2$ に自己バイアスするバイアス回路によって入力(X1)が出力(X2)に接続された反転アンプで構成されています。外付けのフィードバック回路(通常はX2とX1の間に接続した水晶)によって180°の位相差が発生して、回路が発振します。「標準アプリケーション回路」に示すように、水晶または共振器はX1とX2の間に接続され、水晶の負荷容量はC1とC2を直列に組み合わせたものになります。たとえば、規定の負荷容量が11pFである1.8432MHzの水晶の場合、水晶の両側とグランドの間に22pFのコンデンサを使用してください。直列共振モードの水晶を並列モードで動作させた場合、わずかな周波数誤差が生じ、通常は仕様上の直列共振周波数より0.03%高い周波数で発振します。

注：水晶、共振器、および負荷コンデンサのリードとトレースをできる限り短くして、直接接続することが非常に重要です。X1とX2のトレース長とグランドトラックを短くして、介在するトレースをなくしてください。これは発振器の寄生容量とノイズ混入を最小限に抑える上で役立ち、EMIが低減されます。消費電流を最小限に抑えるため、X2の容量性負荷を最小化してください。MAX3110E/MAX3111EのX1入力は、外部のCMOSクロックソースで直接駆動することが可能です。トリップレベルは約 $V_{CC}/2$ になります。このモードでは、X2には何も接続しないでください。TTLまたは非CMOSのクロックソースを使用する場合は、10nFのコンデンサでX1にAC結合してください。動作の信頼性を確保するためには、入力に2Vのピーク間振幅が必要です。

シャットダウンからの復帰時のRS-232トランスミッタ出力

図7に、シャットダウンモードからの復帰時における2つのRS-232トランスミッタ出力を示します。動作の開始とともに、2つのトランスミッタ出力が互いに反対のRS-232レベル(一方のトランスミッタ入力がハイ、他方がロー)に向かう様子が分かります。それぞれのトランスミッタは、3kΩと2500pFを並列にした負荷で動作しています。シャットダウンからの復帰時、トランスミッタ出力にリングングや有害な過渡は見られません。トランスミッタはV-の大きさが約3V以上の場合にのみイネーブルされることに注意してください。

表8. 部品およびメーカーのリスト

| DESCRIPTION | FREQUENCY (MHz) | TYPICAL C1, C2 (pF) | SUPPLIER | PART NUMBER | PHONE NUMBER |
|---------------------------------|-----------------|---------------------|-------------------------|--------------|--------------|
| Through-Hole Crystal (HC-49/U) | 1.8432 | 25 | ECS International, Inc. | ECS-18-13-1 | 913-782-7787 |
| Through-Hole Ceramic Resonator | 1.8432 | 47 | Murata North America | CSA1.84MG | 800-831-9172 |
| Through-Hole Crystal (HC-49/US) | 3.6864 | 33 | ECS International, Inc. | ECS-36-18-4 | 913-782-7787 |
| SMT Crystal | 3.6864 | 39 | ECS International, Inc. | ECS-36-20-5P | 913-782-7787 |
| SMT Ceramic Resonator | 3.6864 | None (integral) | AVX/Kyocera | PBRC-3.68B | 803-448-9411 |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

高速データレート

MAX3110E/MAX3111Eは、保証されている最高のデータレートにおいても、RS-232の最低トランスミッタ出力電圧仕様である±5.0Vを維持します。図10に、トランスミッタのループバックテスト回路を示します。図11に120kbpsでのループバックテストの結果を、図12に250kbpsでの同じテストを示します。図11では、1000pFと並列のRS-232レシーバに対して、両方のトランスミッタを同時に120kbpsで駆動しています。図12では、単一のトランスミッタを250kbpsで駆動しており、両方のトランスミッタにRS-232レシーバと1000pFを並列にした負荷が接続されています。

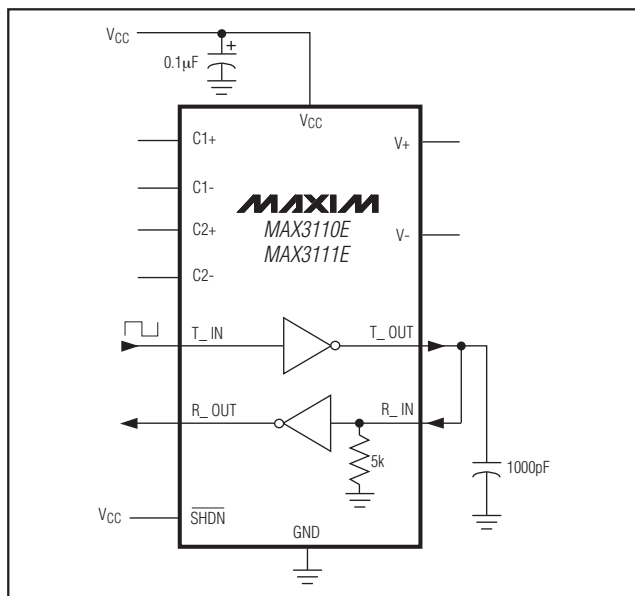


図10. ループバックテスト回路

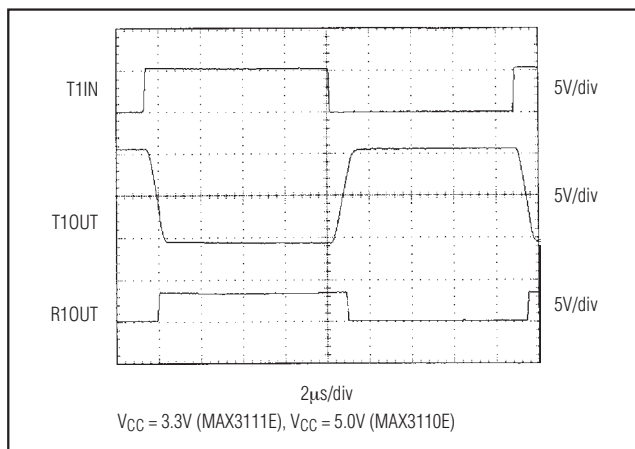


図11. 120kbpsでのループバックテスト結果

3.3Vおよび5Vロジックとの相互接続

MAX3110E/MAX3111Eは、ACTおよびHCT CMOSを含むさまざまな3.3Vおよび5Vロジックファミリと直接インタフェース可能です。相互接続が可能な組合せの詳細については、表9を参照してください。

標準アプリケーション

MAX3110E/MAX3111Eは、それぞれUART、2つのRS-232ドライバ、および2つのRS-232レシーバを1つのパッケージに内蔵しています。標準的なRS-232の標準動作回路を図13に示します。

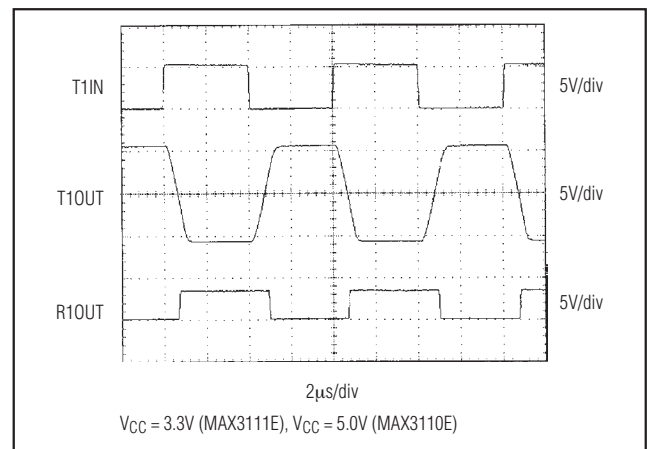


図12. 250kbpsでのループバックテスト結果

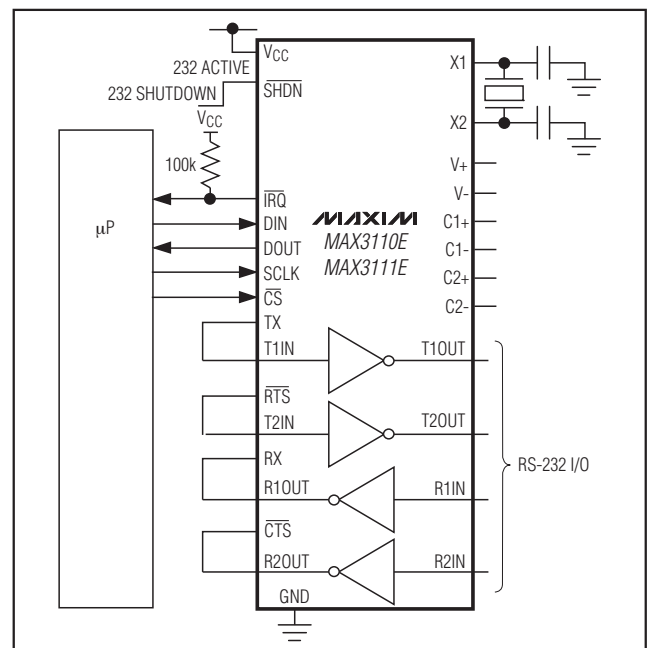


図13. RS-232の標準動作回路

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

表9. さまざまな電源電圧でのロジック
ファミリとの互換性

| LOGIC POWER-SUPPLY VOLTAGE (V) | V _{CC} SUPPLY VOLTAGE (V) | COMPATIBILITY |
|--------------------------------|------------------------------------|---|
| 5 (MAX3110E) | 5 | Compatible with all TTL and CMOS families |
| 3.3 (MAX3111E) | 3.3 | Compatible with all CMOS families |
| 5 (MAX3111E) | 3.3 | Compatible with ACT and HCT CMOS, and with AC, HC, or CD4000 CMOS |

IRおよびRS-232の標準動作回路を図14に示します。MAX3110E/MAX3111Eの内蔵UARTはIrDA機能を備えているため、標準的なIRトランシーバ(MAX3120)を使用してIrDA通信を提供することができます。2ドライバ/2レシーバのRS-232トランシーバをソフトウェアUARTとともに使用して、RS-232通信を提供することが可能です。

9ビットネットワーク

MAX3110E/MAX3111Eは、9ビットモードと呼ばれる一般的なマルチドロップ通信手法をサポートしています。このモードでは、メッセージのヘッダに宛先アドレスが含まれていることをパリティビットのセットによって示します。MAX3110E/MAX3111Eのパリティマスクを設定することによって、この条件による割込みを発生させることが可能です。このモードでネットワークを稼働させることによって、スレーブコントローラは大部分のメッセージトラフィックを無視することが可能になり、すべてのノードの処理オーバーヘッドが減少します。それによってリモートのプロセッサの負担が軽減され、より有用な作業を処理することが可能になります。

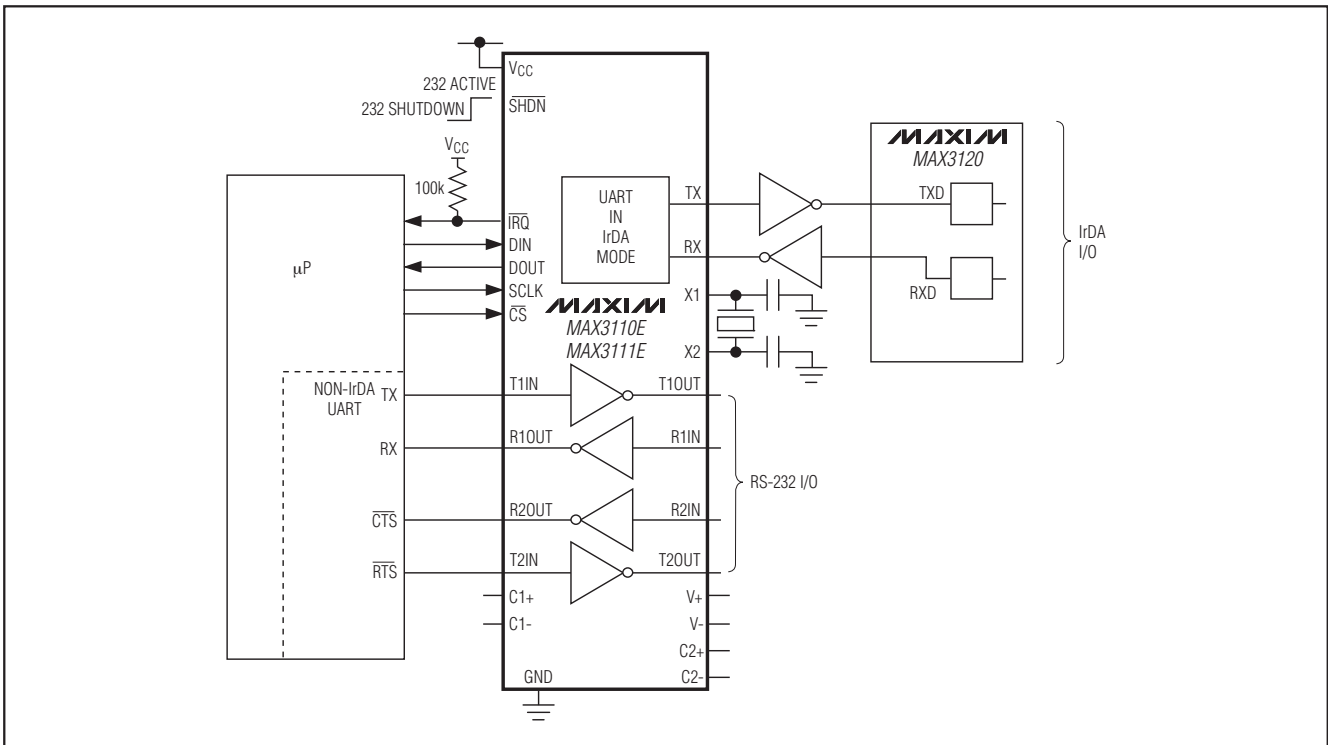


図14. IRおよびRS-232の標準動作回路

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

9ビットモード時、MAX3110E/MAX3111Eは8ビット+パリティに設定されます。すべての通常メッセージはパリティビットがクリアされていますが、アドレスタイプのメッセージはパリティがセットされます。MAX3110E/MAX3111Eのパリティ割込みマスクがイネーブルされている場合、ハイパリティ時に割込みが生成されます。パリティビットがセットされたアドレスメッセージをマスターが送信することによって、すべてのMAX3110E/MAX3111Eノードで割込みが発生します。その後すべてのノードが、受信したバイトを取り出して自分に割り当てられたアドレスとの比較を行います。アドレス指定されていた場合、そのノードは個々の受信バイトの処理を続行します。アドレス指定されなかったノードは、新しいアドレスがマスターによって送信されるまで、すべてのメッセージトラフィックを無視します。

パリティ/第9ビット割込みは、受信レジスタ内のデータによってのみ制御され、FIFO内のデータには影響されないため、FIFOをディセーブルしておくのがパリティ/第9ビット割込みの最も有効な使用方法になります。FIFOがディセーブルされている場合、受信した非アドレスワードを無視することが可能で、UARTからの読取りさえ行う必要がありません。9ビットモードの詳細については、MAX3100のデータシートを参照してください。

SIR IrDAモード

MAX3110E/MAX3111EのIrDAモードを使用することによって、他のIrDA SIR対応デバイスとの通信や、光絶縁アプリケーションでの消費電力の削減が可能になります。

IrDAモードでは、ビット時間がポー時間の3/16に短縮されます(115,200baudで1.61 μ s)。図15に示すように、データのゼロが光のパルスとして送信されます(TX端子 = ロジックロー、RX端子 = ロジックハイ)。

受信モードでは、ハイレベルの送信の中央でRX信号のサンプリングが行われます。サンプリングは(通常モードのように3回ではなく)1回行われます。MAX3110E/MAX3111Eは、ポー時間の約1/16より短いパルスは無視します。MAX3110E/MAX3111Eと通信を行っているIrDAデバイスは、送信パルスをポー時間の3/16に設定する必要があります。他のIrDAデバイスとの互換性を実現するため、8ビットデータ、1ストップ、パリティなしの形式に設定してください。SIR IrDAモードの詳細については、MAX3100のデータシートを参照してください。

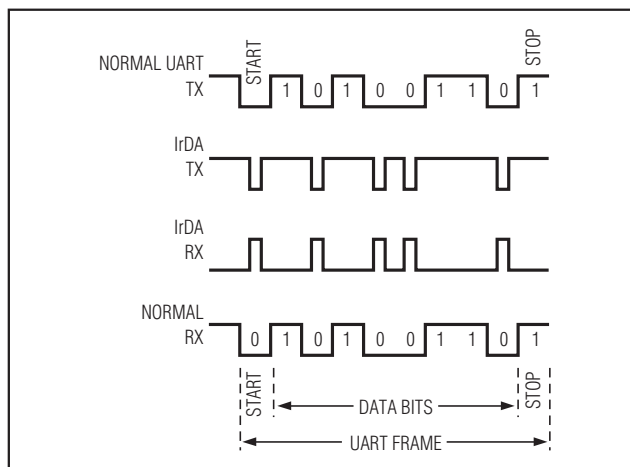


図15. IrDAのタイミング

レイアウトおよび電源について

MAX3110E/MAX3111Eは、基本的なレイアウト技法および電源について必要な考慮を必要とします。最小限の要件として、(1) 1 μ FのセラミックバイパスコンデンサをV_{CC}のできる限り近くに(できればV_{CC}リードに隣接させるか、またはV_{CC}リード直下のPCBの反対側に)配置すること、(2) PCB内層のグランドプレーンを使用してすべての回路グランドをこのグランドプレーンに戻すか、またはすべての回路グランドをICの「GND」リードの位置で共通のグランドポイントに戻す「スター型」グランド手法を使用すること、(3) 確実にICの電源に低誘導性の経路を備えさせるとともに電源電圧の大きな変化を伴うESDイベントを吸収するための高周波バイパスを施すこと、等が含まれます。

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

リスト1. MAX3110E/MAX3111Eソフトウェアドライバの概略

```
This is a C-language outline of an interrupt-driven software driver that interfaces to a MAX3110E/MAX3111E, providing an intermediate layer between the bit-manipulation subroutine and the familiar PutChar / GetChar subroutines.
```

```
User must supply code for managing the transmit and receive queues, as well as the low-level hardware interface itself. The interrupt control hardware must be initialized before this driver is called.
```

```
char is an 8 bit character. int is a 16 bit unsigned integer.  
& is the bitwise Boolean AND operator. | is the bitwise Boolean OR operator.
```

```
/* High level interface routine to put a character to the MAX3110E/MAX3111E. */  
PutChar ( char c )
```

```
{  
    EnQueue ( txqueue, c );  
    /* enable the transmit-buffer-empty interrupt */  
    config = config | 0x0800; /* set the TM bit */  
    config = config | 0xC000; /* set bits 15 and 14 */  
    MAX3110E/MAX3111E ( config );  
}
```

```
/* High level interface routine to get a character from the MAX3110E/MAX3111E.  
** Wait for a character to be received, if necessary.
```

```
*/  
char GetChar ( )  
{  
    while ( IsQueueEmpty ( rxqueue ) )  
        /* wait for data to be received */ ;  
    return DeQueue ( rxqueue );  
}
```

```
/* Configure the MAX3110E/MAX3111E with the specified baud rate. */  
ConfigureMAX3110E/MAX3111E ( int baud_rate_index )  
{  
    baud_rate_index = baud_rate_index & 0x000F; /* restrict to a 4 bit field */  
    config = 0xC400 + baud_rate_index; /* enable received data interrupt */  
    MAX3110E/MAX3111E ( config );  
}
```

```
/* private variable that stores the configuration settings for the MAX3110E/MAX3111E  
*/  
int config;
```

```
/* Low level communication routine between the computer and the MAX3110E/MAX3111E.  
** This is a PRIVATE routine to be used only within the driver software.
```

```
*/  
int MAX3110E/MAX3111E ( int mosi )  
{  
    int miso;  
    /* this is interface-specific.  
    ** Transmit 16 bits of master-out, slave-in data, MSB first,  
    ** while simultaneously receiving 16 bits of master-in, slave-out data.  
    ** If and SPI hardware interface is available, use (CPOL=0,CPHA=0) mode.  
    ** Lacking specialized hardware, just set and clear I/O bits to generate  
    ** the waveform in figures 2 and 3 in the MAX3110E/MAX3111E data sheet.  
    */  
    return miso; /* return 16 bits of master-in, slave-out data, MSB first */  
}
```

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

リスト1. MAX3110E/MAX3111Eソフトウェアドライバの概略(続き)

```
/* This driver needs a txqueue transmit-data queue and a rxqueue receive-data queue.
** These can be ring buffers or any other kind of first-in, first-out data queue.
*/
EnQueue ( queue , char )
char DeQueue ( queue )
true/false IsQueueEmpty ( queue )

/* Interrupt service routine called when the MAX3110E/MAX3111E's INT pin falls to a
low level.
** This is a PRIVATE routine to be used only within the driver software.
*/
ServiceMAX3110E/MAX3111Eint ( )
{
    int rxdata;
    int txdata;
    char c;

    /* issue a READ DATA command to discover the cause of the interrupt */
    rxdata = MAX3110E/MAX3111E ( 0 );

    if ( rxdata & 0x8000 ) /* the R bit = 1 */
    {
        c = rxdata & 0x00FF; /* get the received character data */
        EnQueue ( rxqueue, c );
    }
    if ( rxdata & 0x4000 ) /* the T bit = 1 */
    {
        if ( IsQueueEmpty ( txqueue ) )
        {
            /* mask the transmit-buffer-empty interrupt */
            config = config & ~ 0x0800; /* clear the TM bit */
            config = config | 0xC000; /* set bits 15 and 14 */
            MAX3110E/MAX3111E ( config );
        }
        else /* transmit some data */
        {
            /* issue a WRITE DATA command */
            txdata = DeQueue ( txqueue );
            c = txdata & 0x00FF; /* get the transmit character */
            MAX3110E/MAX3111E ( 0x8000 | c );
        }
    }
} /* end of ServiceMAX3110E/MAX3111Eint */
```

MAX3110E/MAX3111E

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

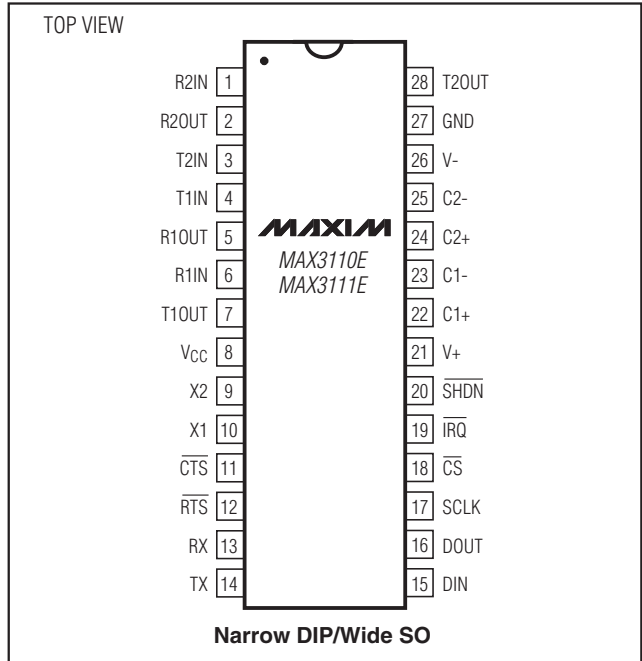
型番(続き)

| PART | TEMP. RANGE | PIN-PACKAGE | V _{CC} (V) |
|--------------------|----------------|----------------|---------------------|
| MAX3110EEWI | -40°C to +85°C | 28 Wide SO | 5 |
| MAX3110EENI | -40°C to +85°C | 28 Plastic DIP | 5 |
| MAX3111ECWI | 0°C to +70°C | 28 Wide SO | 3.3 |
| MAX3111ECNI | 0°C to +70°C | 28 Plastic DIP | 3.3 |
| MAX3111EEWI | -40°C to +85°C | 28 Wide SO | 3.3 |
| MAX3111EENI | -40°C to +85°C | 28 Plastic DIP | 3.3 |

チップ情報

TRANSISTOR COUNT: 7977

ピン配置



パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

| パッケージタイプ | パッケージコード | ドキュメントNo. |
|----------------|----------|----------------|
| 28 Wide SO | — | 21-0042 |
| 28 Plastic DIP | — | 21-0043 |

コンデンサ内蔵、SPI/MICROWIRE対応UARTおよび ±15kV ESD保護されたRS-232トランシーバ

MAX3110E/MAX3111E

改訂履歴

| 版数 | 改訂日 | 説明 | 改訂ページ |
|----|-------|---|-------|
| 0 | 7/99 | 初版。 | — |
| 1 | 12/05 | 「Absolute Maximum Ratings (絶対最大定格)」にはんだ付け温度を追加。 | 2 |

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 31