

# QSOP-16、SPI/MICROWIRE対応UART

## 概要

汎用非同期レシーバ/トランスミッタ(UART)のMAX3100は、小型のマイクロコントローラ搭載システム用に最適化された初のUARTです。ホストのマイクロコントローラ(μC)と通信するためのSPI™/MICROWIRE™インタフェースを使用するMAX3100は、小型の16ピンQSOPパッケージに収められています。非同期のI/Oは、RS-232、RS-485、IRおよび光絶縁データリンクに適しています。MAX3100の赤外線データアソシエーション(IrDA)のタイミングモードにより、IRリンク通信が容易になります。

MAX3100は、水晶発振器および300ボーから230kボーまでのすべての汎用ボーレートに対応した、ソフトウェア設定が可能な分周比を持つボーレート発生器を備えています。ソフトウェアまたはハードウェア駆動によるシャットダウンは、自己消費電流を10μAまで低減するとともに、MAX3100がレシーバの動作を検出することができるようになっています。

深さ8ワードのファーストイン/ファーストアウト(FIFO)バッファにより、プロセッサのオーバーヘッドを最小限に抑えます。また、この素子は、4つのマスク可能なソースによる柔軟性のある割込み機能を備えており、9ビットネットワーク上でのアドレス認識も含んでいます。2つのハードウェアのハンドシェイク制御ライン(1つの入力と1つの出力)があります。

MAX3100は、民生用および拡張温度範囲用の14ピンプラスチックDIPおよび小型16ピンSOPパッケージで提供されています。

## アプリケーション

携帯機器

高性能計測器

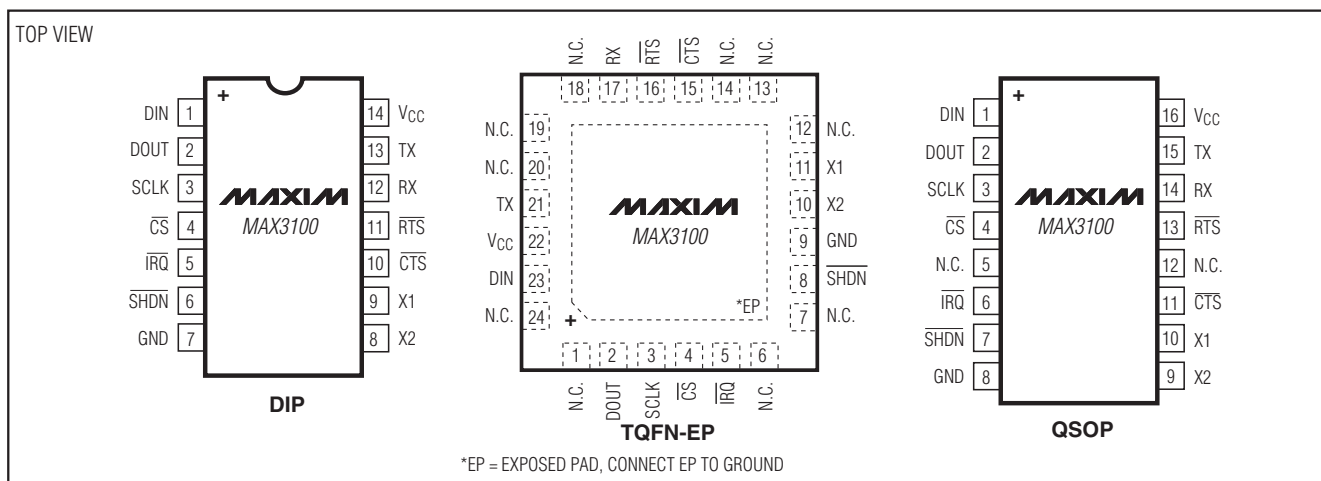
SPIシステムのUART

HVACまたはビル制御内の小型ネットワーク

絶縁型RS-232/RS-485：フォトカプラを直接駆動

コンピュータ/周辺機器用の低コストIRデータリンク

## ピン配置



SPIはMotorola, Inc.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maxim-ic.com)をご覧ください。

## 特長

- ◆ 小型TQFNおよびQSOPパッケージを提供
- ◆ 完全機能のUART：
  - IrDA SIRタイミングに対応
  - 8ワードのFIFOが高データレートにおけるプロセッサのオーバーヘッドを低減
  - 3.6864MHzの水晶で最大230kボーまで動作
  - 9ビットのアドレス認識割込み
  - シャットダウン中に受信動作割込み
- ◆ SPI/MICROWIRE対応のμCインタフェース
- ◆ 超低電力：
  - 3.3Vでの動作電流：150μA
  - 受信割込みによるシャットダウン電流：10μA
- ◆ 電源電圧：+2.7V~+5.5V (動作モードにて)
- ◆ フォトカプラ用のシュミットトリガ入力
- ◆ TXおよびRTS出力はフォトカプラ用に25mAをシンク

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX3100CPD+	0°C to +70°C	14 Plastic DIP
MAX3100CEE+	0°C to +70°C	16 QSOP
MAX3100EPD+	-40°C to +85°C	14 Plastic DIP
MAX3100EEE+	-40°C to +85°C	16 QSOP
MAX3100ETG+	-40°C to +85°C	24 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

EP = エクスポーズドパッド

標準動作回路はデータシートの最後に記載されています。

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

## ABSOLUTE MAXIMUM RATINGS

V<sub>CC</sub> to GND .....+6V  
 Input Voltage to GND  
 (CS, SHDN, X1, CTS, RX, DIN, SCLK) ....-0.3V to (V<sub>CC</sub> + 0.3V)  
 Output Voltage to GND  
 (DOUT, RTS, TX, X2) .....-0.3V to (V<sub>CC</sub> + 0.3V)  
 IRQ .....-0.3V to 6V  
 TX, RTS Output Current .....100mA  
 X2, DOUT, IRQ Short-Circuit Duration  
 (to V<sub>CC</sub> or GND) .....Indefinite

Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 Plastic DIP (derate 10.00mW/°C above +70°C) ..... 800mW  
 QSOP (derate 8.30mW/°C above +70°C) .....667mW  
 TQFN (derate 33.3mW/°C above +70°C) .....2666.7mW  
 Operating Temperature Ranges  
 MAX3100C\_ \_ .....0°C to +70°C  
 MAX3100E\_ \_ .....-40°C to +85°C  
 Storage Temperature Range ..... -65°C to +160°C  
 Lead Temperature (soldering, 10s) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = +2.7V to +5.5V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are measured at 9600 baud at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>LOGIC INPUTS (DIN, SCLK, CS, SHDN, CTS, RX)</b>							
Input High Voltage	V <sub>IH</sub>			0.7 x V <sub>CC</sub>			V
Input Low Voltage	V <sub>IL</sub>					0.3 x V <sub>CC</sub>	V
Input Hysteresis	V <sub>HYST</sub>	V <sub>CC</sub> = 3.3V		0.05 x V <sub>CC</sub>			V
Input Leakage	I <sub>IL</sub>					±1	µA
Input Capacitance	C <sub>IN</sub>			5			pF
<b>OSCILLATOR INPUT (X1)</b>							
Input High Voltage	V <sub>IH</sub>			0.7 x V <sub>CC</sub>	V <sub>CC</sub> /2		V
Input Low Voltage	V <sub>IL</sub>			V <sub>CC</sub> /2		0.2 x V <sub>CC</sub>	V
Input Current	I <sub>IN</sub>	V <sub>X1</sub> = 0V and 5.5V	Active mode			25	µA
			Shutdown mode			2	
Input Capacitance	C <sub>IN</sub>	V <sub>X1</sub> = 0V and 5.5V		5			pF
<b>OUTPUTS (DOUT, TX, RTS)</b>							
Output High Voltage	V <sub>OH</sub>	I <sub>SOURCE</sub> = 5mA		V <sub>CC</sub> - 0.5			V
		I <sub>SOURCE</sub> = 25µA, TX only		V <sub>CC</sub> - 0.5			
Output Low Voltage	V <sub>OL</sub>	TX, RTS: I <sub>SINK</sub> = 25mA				0.9	V
		DOUT, TX, RTS: I <sub>SINK</sub> = 4mA				0.4	
Output Leakage	I <sub>LK</sub>	DOUT only, CS = V <sub>CC</sub>				±1	µA
Output Capacitance	C <sub>OUT</sub>			5			pF
<b>IRQ OUTPUT (Open Drain)</b>							
Output Low Voltage	V <sub>OL</sub>	I <sub>SINK</sub> = 4mA				0.4	V
Output Leakage	I <sub>LK</sub>	V <sub>TRQ</sub> = 5.5V				±1	µA
Output Capacitance	C <sub>OUT</sub>			5			pF
<b>POWER REQUIREMENTS</b>							
V <sub>CC</sub> Supply Current in Normal Mode	I <sub>CC</sub>	With 1.8432MHz crystal; all other logic inputs are at 0V or V <sub>CC</sub>	V <sub>CC</sub> = 5V	0.27	1		mA
			V <sub>CC</sub> = 3.3V	0.15	0.4		
V <sub>CC</sub> Supply Current in Shutdown	I <sub>CC</sub>	SHDN bit = 1 or SHDN = 0, logic inputs are at 0V or V <sub>CC</sub>				10	µA
Supply Voltage	V <sub>CC</sub>			2.7		5.5	V

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>CC</sub> = +2.7V to +5.5V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>AC TIMING (Figure 1)</b>						
$\overline{\text{CS}}$ Low to DOUT Valid	t <sub>DV</sub>	C <sub>LOAD</sub> = 100pF			100	ns
$\overline{\text{CS}}$ High to DOUT Tri-State	t <sub>TR</sub>	C <sub>LOAD</sub> = 100pF, R <sub>CS</sub> = 10kΩ			100	ns
$\overline{\text{CS}}$ to SCLK Setup Time	t <sub>CSS</sub>		100			ns
$\overline{\text{CS}}$ to SCLK Hold Time	t <sub>CSH</sub>		0			ns
SCLK Fall to DOUT Valid	t <sub>DO</sub>	C <sub>LOAD</sub> = 100pF			100	ns
DIN to SCLK Setup Time	t <sub>DS</sub>		100			ns
DIN to SCLK Hold Time	t <sub>DH</sub>		0			ns
SCLK Period	t <sub>CP</sub>		238			ns
SCLK High Time	t <sub>CH</sub>		100			ns
SCLK Low Time	t <sub>CL</sub>		100			ns
SCLK Rising Edge to $\overline{\text{CS}}$ Falling	t <sub>CS0</sub>	(Note 1)	100			ns
$\overline{\text{CS}}$ Rising Edge to SCLK Rising	t <sub>CS1</sub>	(Note 1)	200			ns
$\overline{\text{CS}}$ High Pulse Width	t <sub>CSW</sub>		200			ns
Output Rise Time	t <sub>r</sub>	TX, $\overline{\text{RTS}}$ , DOUT: C <sub>LOAD</sub> = 100pF		10		ns
Output Fall Time	t <sub>f</sub>	TX, $\overline{\text{RTS}}$ , DOUT, $\overline{\text{IRQ}}$ : C <sub>LOAD</sub> = 100pF		10		ns

**Note 1:** t<sub>CS0</sub> and t<sub>CS1</sub> specify the minimum separation between SCLK rising edges used to write to other devices on the SPI bus and the  $\overline{\text{CS}}$  used to select the MAX3100. A separation greater than t<sub>CS0</sub> and t<sub>CS1</sub> ensures that the SCLK edge is ignored.

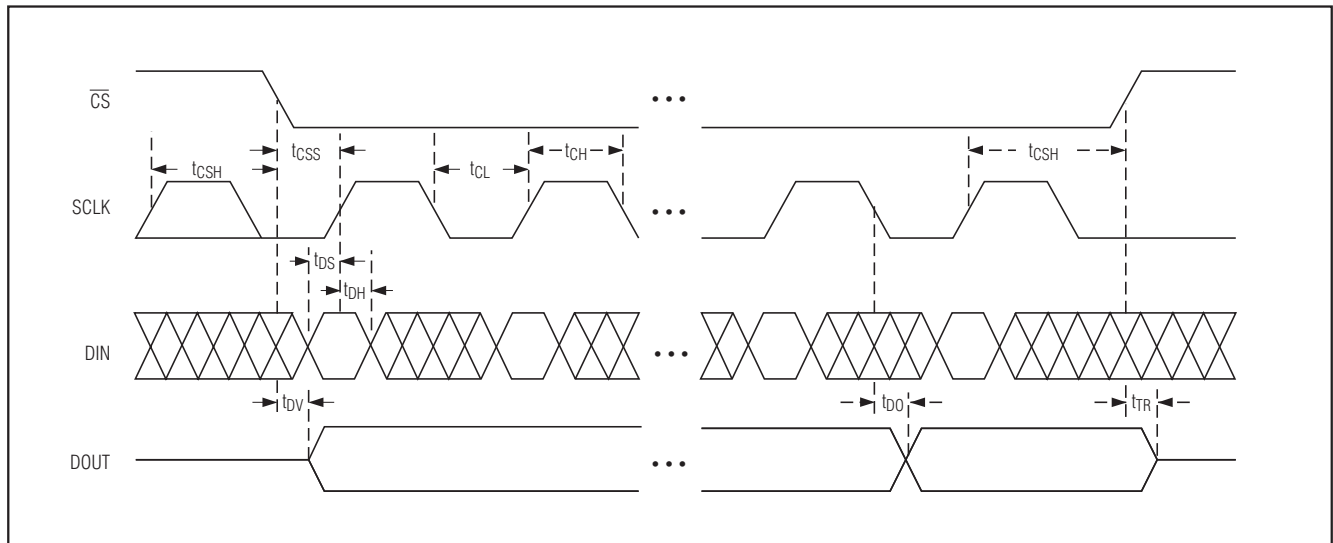


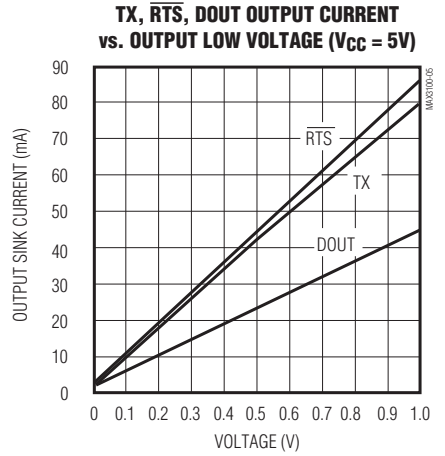
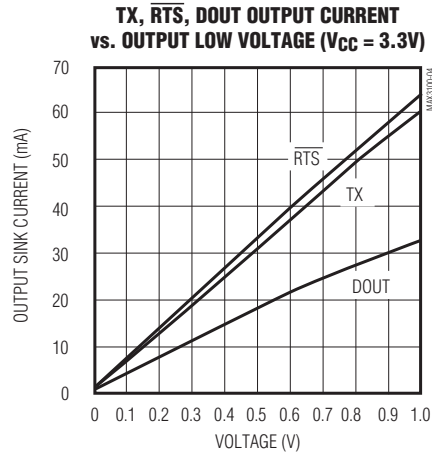
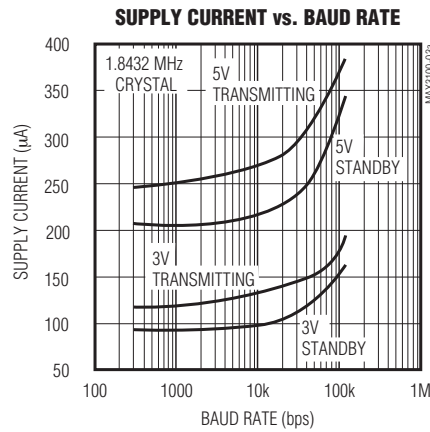
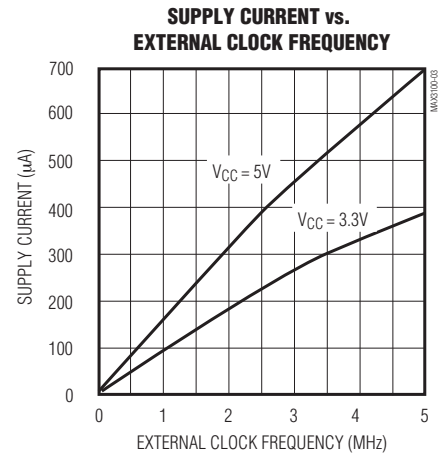
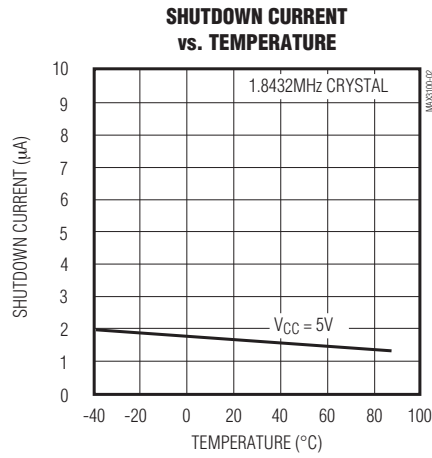
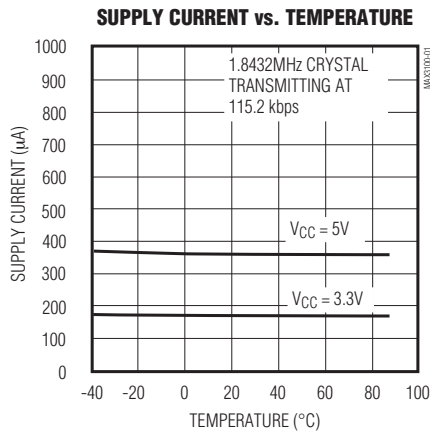
図1. シリアルインタフェースタイミングの詳細

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

## 標準動作特性

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# QSOP-16、SPI/MICROWIRE対応UART

## 端子説明

端子			名称	機能
QSOP	DIP	TQFN-EP		
1	1	23	DIN	SPI/MICROWIREのシリアルデータ入力。シュミットトリガ入力。
2	2	2	DOUT	SPI/MICROWIREのシリアルデータ出力。 $\overline{CS}$ がハイの場合はハイインピーダンス。
3	3	3	SCLK	SPI/MICROWIREのシリアルクロック入力。シュミットトリガ入力。
4	4	4	$\overline{CS}$	アクティブローのチップセレクト入力。 $\overline{CS}$ がハイの場合はDOUTがハイインピーダンスになり、 $\overline{IRQ}$ 、TXおよびRTSは常にアクティブです。シュミットトリガ入力。
6	5	5	$\overline{IRQ}$	アクティブローの割込み出力。マイクロプロセッサへのオープンドレイン割込み出力。
7	6	8	$\overline{SHDN}$	ハードウェアシャットダウン入力。シャットダウン( $\overline{SHDN} = 0$ )の場合、発振器はその時点の送信が終了するのを待たずにオフになり、消費電流をリーク電流のみにまで低減します。
8	7	9	GND	グランド
9	8	10	X2	水晶の接続。外部クロックの場合はX2を未接続にしておいてください。「水晶発振器の動作—X1およびX2の接続」の項を参照してください。
10	9	11	X1	水晶の接続。X1は外部クロック入力としても使用されます。「水晶発振器の動作—X1およびX2の接続」の項を参照してください。
11	10	15	$\overline{CTS}$	汎用アクティブロー入力。 $\overline{CTS}$ レジスタのビットを通じて読み出され、しばしばRS-232の送信クリア入力として使用されます(表1)。
13	11	16	RTS	汎用アクティブロー出力。 $\overline{CTS}$ レジスタのビットによって制御されます。しばしばRS-232の送信要求出力またはRS-485のドライバインペブル用に使用されます。
14	12	17	RX	非同期シリアルデータ(レシーバ)入力。モデムまたはRS-232/RS-485レシーバから受信されたシリアル情報。シャットダウン時のRXの遷移が割込みを発生します(表5)。
15	13	21	TX	非同期シリアルデータ(トランスミッタ)出力
16	14	22	V <sub>CC</sub>	正電源端子(2.7V~5.5V)
5, 12	—	1, 6, 7, 12, 13, 14, 18, 19, 20, 24	N.C.	接続なし。内部接続されていません。
—	—	—	EP	エクスポーズドパッド。EPをグランドに接続するか無接続のままにしてください。

## 詳細

MAX3100の汎用非同期レシーバトランスミッタ(UART)は、マイクロプロセッサ( $\mu$ P)からのSPI/MICROWIRE対応同期シリアルデータを非同期のシリアルデータ通信ポート(RS-232、RS-485、IrDA)にインタフェースします。図2にMAX3100のファンクションダイアグラムを示します。

MAX3100は、簡単なUARTおよびSPIインタフェースと割込み発生器付きのボーレート発生器を組み合わせています。ボーレート、データワード長、パリティインペブルおよび8ワードのファーストイン/ファーストアウト(FIFO)のインペブルを含んでいる書き込み設定レジスタに、16ビットワードを書き込むことによってUARTを設定します。書き込み設定によって通常のUARTタイミングとIrDAタイミング間の選択が行われ、シャットダウンが制御されると共に、書き込み設定には4つの割込マスクビットが含まれています。

16ビットワードを書き込みデータレジスタに書き込んでデータを送信し、最後の7または8ビットが実際に送信されます。また、送信されたパリティビットの状態も含まれています(インペブルされている場合)。このレジ

スタはRTS出力端子の状態を制御します。受信ビットの割込みがインペブルされている場合、ワードの受信によって割込みが発生します。

受信FIFOからの最も古いデータ、受信されたパリティデータおよびCTS入力端子のロジックレベルを保持している16ビットレジスタからデータを読み取ります。このレジスタは、通常動作でのフレーミングエラーおよびシャットダウン中の受信動作インジケータのビットも含んでいます。

ボーレート発生器により、トランスミッタおよびレシーバが動作するレートが決定されます。書き込み設定レジスタのビットB0~B3がボーレート除数(BRD)を決定し、この除数で発振器X1の周波数が分周されます。ボーレートはデータレート(ボーレート)の16倍です。

トランスミッタ部はSPI/MICROWIREのデータを受け取ってそれをフォーマット化し、TX出力から非同期のシリアルフォーマットで送信します。データはSPI/MICROWIREのインタフェースから送信バッファのレジスタにロードされます。MAX3100はデータにスタートビットおよびストップビットを付加し、選択されたボーレートでデータをクロック出力します(表7)。

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

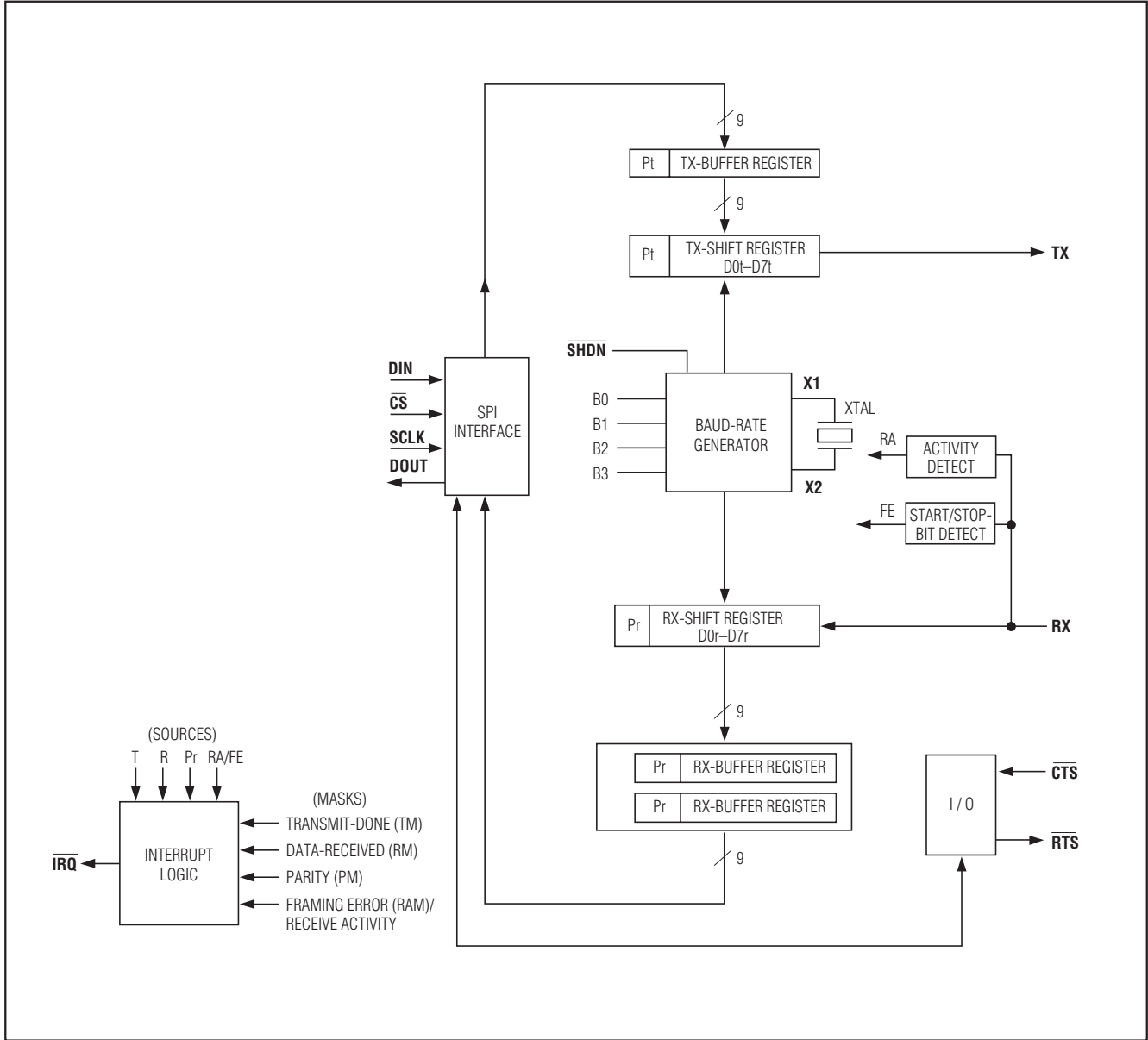


図2. ファンクションダイアグラム

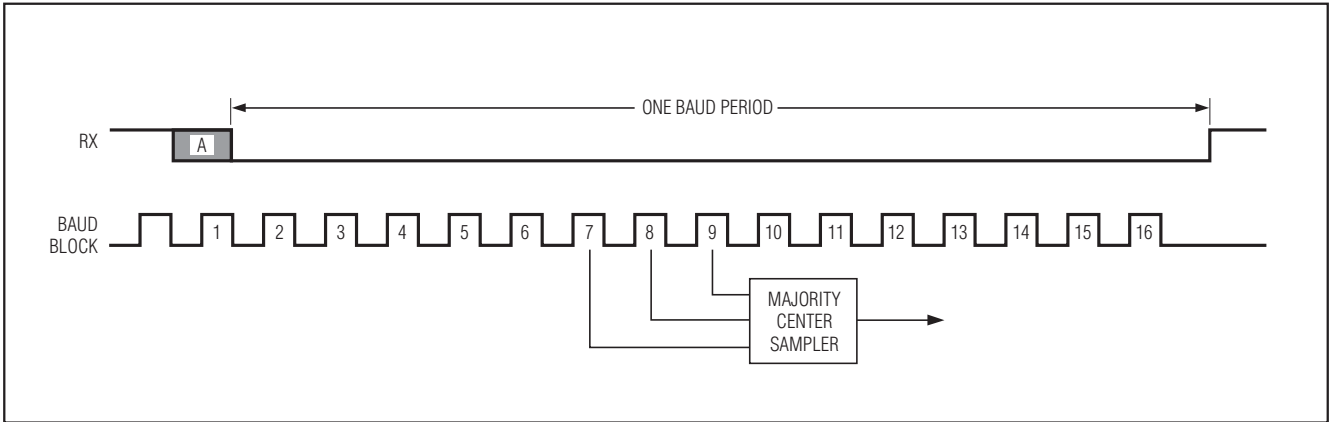


図3. スタートビットのタイミング

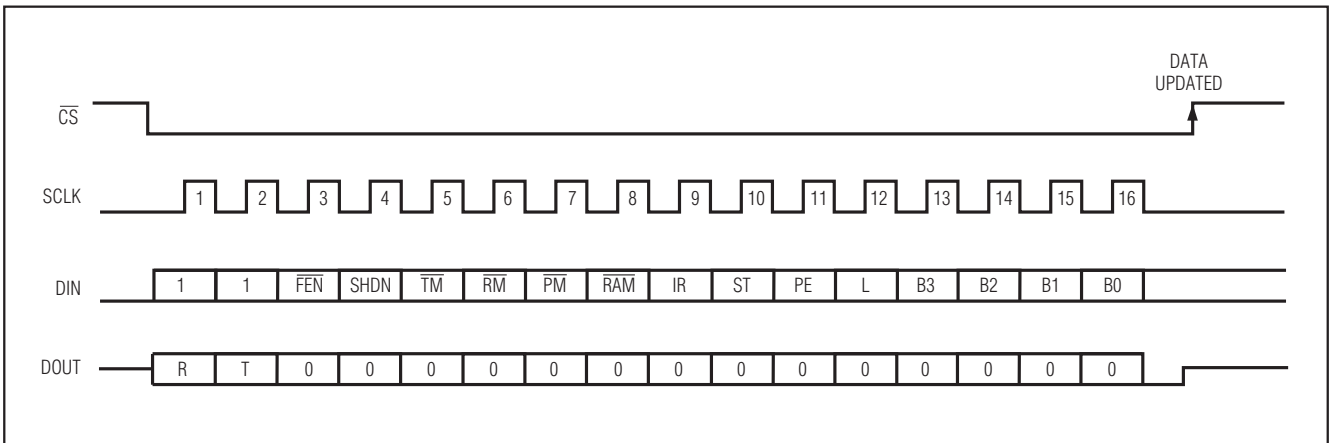


図4. SPIインタフェース(書込み設定)

レシーバ部はシリアル形式でデータを受信します。MAX3100は、ハイからローへのRXの遷移でスタートビットを検出します(図3)。内部クロックは、データレートの16倍でデータをサンプリングします。図の灰色部分で示されているように、スタートビットは、それが検出されるまでに最大1クロックサイクル経過する可能性があります。スタートビットの状態は、内部の16xボッククロックの7、8および9番目のサンプルの多数決値として定義されます。以降のビットも多数決値のサンプリングとなります。受信データは8ワードのFIFOに保存されます。FIFOはオーバーフローするとクリアされます。内蔵の発振器は1.8432MHzまたは3.6864MHzの水晶を使用するか、またはデューティサイクルが45%~55%の矩形波をX1に印加して駆動することができます。

## SPIインタフェース

「MAX3100の動作」の項にビット割り当てが示されているように、DINおよびDOUTのビットストリームは16ビットからなっています。DOUTはSCLKの立下がりエッジで遷移し、DINはSCLKの立上りエッジでラッチされます(図4)。内部レジスタのクリア等、ほとんどの動作はCSの立上りエッジでのみ実行されます。DINストリームの最初の2つのビットを監視することにより、実行されているデータ転送のタイプ(書込み設定、読取り設定、データ書込み、データ読取り)がUARTに通知されます。

16ビットワードのみが対象とされます。転送の途中(16番目のビット以前の任意の時間)でCSがハイになると、そのシーケンスは中止されます(すなわち、データは個々のレジスタに書き込まれません)。CSがローになる度に、新しい16ビットストリームが予期されます。図4に書込み設定の例を示します。



# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

## MAX3100の動作

### 書き込み動作

表1に書き込み設定データを示します。16ビットのSPI/MICROWIRE書き込み設定は、受信FIFOおよびR、T、RA/FE、D0r~D7r、D0t~D7t、PrおよびPtレジスタをクリアします。RTSとCTSは変化しません。送信バッファが空(T = 1)で送信が終了している場合、新しい設定がCSの立上りエッジで有効になります。最後の送信が完了していない場合、その送信が終了してからレジスタが更新されます(T = 0)。

書き込み設定ビット(FEN、SHDNi、IR、ST、PE、L、B3~B0)は、その時の送信が終了した後に有効になります。マスクビット(TM、RM、PM、RAM)は、SCLKの16番目のクロックの立上りエッジの直後に有効になります。

### 読取り動作

表2に読取り設定データを示します。このレジスタは、MAX3100に最後に書き込まれた設定を読み戻します。

ビット0 = 1の場合、デバイスはテストモードに入ります。このモードでCS = 0の場合、RTS端子は16xクロック発生器の出力として動作します。これは直接ボーレートを発生する場合に役立つ場合があります(このモードではTXおよびRXはデジタルループバック中にあります)。通常、書き込みデータレジスタがTXバッファレジスタをロードします。データを書き込まずにRTS端子の状態を変えるにはTEビットを設定します。TEビットをハイに設定すると書き込みコマンドが禁止されます(表3)。

データを読み取るとRビットと割込みIRQがクリアされます(表4)。

### レジスタの機能

表5は読取り/書き込み動作およびパワーオンリセット状態(POR)を示し、MAX3100のプログラミングに使用される各ビットを説明しています。図5にパリティおよびワード長制御を示します。

表1. 書き込み設定(D15、D14 = 1、1)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	1	1	FEN	SHDNi	TM	RM	PM	RAM	IR	ST	PE	L	B3	B2	B1	B0
DOUT	R	T	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表2. 読取り設定(D15、D14 = 0、1)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	TEST
DOUT	R	T	FEN	SHDN0	TM	RM	PM	RAM	IR	ST	PE	L	B3	B2	B1	B0

表3. データ書き込み(D15、D14 = 1、0)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	1	0	0	0	0	TE	RTS	Pt	D7t	D6t	D5t	D4t	D3t	D2t	D1t	D0t
DOUT	R	T	0	0	0	RA/FE	CTS	Pr	D7r	D6r	D5r	D4r	D3r	D2r	D1r	D0r

表4. データ読取り(D15、D14 = 0、0)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DOUT	R	T	0	0	0	RA/FE	CTS	Pr	D7r	D6r	D5r	D4r	D3r	D2r	D1r	D0r



表5. ビットの説明

BIT NAME	READ/ WRITE	POR STATE	DESCRIPTION
B0–B3	w	0000	Baud-Rate Divisor Select Bits. Sets the baud clock's value (Table 6).
B0–B3	r	0000	Baud-Rate Divisor Select Bits. Reads the 4-bit baud clock value assigned to these registers.
CTS	r	No change	Clear-to-Send-Input. Records the state of the $\overline{\text{CTS}}$ pin (CTS bit = 0 implies $\overline{\text{CTS}}$ pin = logic high).
D0t–D7t	w	X	Transmit-Buffer Register. Eight data bits written into the transmit-buffer register. D7t is ignored when L = 1.
D0r–D7r	r	00000000	Eight data bits read from the receive FIFO or the receive register. These will be all 0s when the receive FIFO or the receive registers are empty. When L = 1, D7r is always 0.
$\overline{\text{FEN}}$	w	0	FIFO Enable. Enables the receive FIFO when $\overline{\text{FEN}} = 0$ . When $\overline{\text{FEN}} = 1$ , FIFO is disabled.
$\overline{\text{FEN}}$	r	0	FIFO-Enable Readback. $\overline{\text{FEN}}$ 's state is read.
IR	w	0	Enables the IrDA timing mode when IR = 1.
IR	r	0	Reads the value of the IR bit.
L	w	0	Bit for setting the word length of the transmitted or received data. L = 0 results in 8-bit words (9-bit words if PE = 1), see Figure 5. L = 1 results in 7-bit words (8-bit words if PE = 1).
L	r	0	Reads the value of the L bit.
Pt	w	X	Transmit-Parity Bit. This bit is treated as an extra bit that will be transmitted if PE = 1. To be useful in 9-bit networks, the MAX3100 does not calculate parity. If PE = 0, then this bit (Pt) is ignored in transmit mode (see the <i>Nine-Bit Networks</i> section).
Pr	r	X	Receive-Parity Bit. This bit is the extra bit received if PE = 1. Therefore, PE = 1 results in 9-bit transmissions (L = 0). If PE = 0, then Pr is set to 0. Pr is stored in the FIFO with the receive data (see the <i>Nine-Bit Networks</i> section).
PE	w	0	Parity-Enable Bit. Appends the Pt bit to the transmitted data when PE = 1, and sends the Pt bit as written. No parity bit is transmitted when PE = 0. With PE = 1, an extra bit is expected to be received. This data is put into the Pr register. Pr = 0 when PE = 0. The MAX3100 does not calculate parity.
PE	r	0	Reads the value of the Parity-Enable bit.
$\overline{\text{PM}}$	w	0	Mask for Pr bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{PM}} = 1$ and Pr = 1 (Table 6).
$\overline{\text{PM}}$	r	0	Reads the value of the $\overline{\text{PM}}$ bit (Table 6).
R	r	0	Receive Bit or FIFO Not Empty Flag. R = 1 means new data is available to be read from the receive register or FIFO.
$\overline{\text{RM}}$	w	0	Mask for R bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{RM}} = 1$ and R = 1 (Table 6).
$\overline{\text{RM}}$	r	0	Reads the value of the $\overline{\text{RM}}$ bit (Table 6).
$\overline{\text{RAM}}$	w	0	Mask for RA/FE bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{RAM}} = 1$ and RA/FE = 1 (Table 6).
$\overline{\text{RAM}}$	r	0	Reads the value of the $\overline{\text{RAM}}$ bit (Table 6).
RTS	w	0	Request-to-Send Bit. Controls the state of the $\overline{\text{RTS}}$ output. This bit is reset on power-up (RTS bit = 0 sets the $\overline{\text{RTS}}$ pin = logic high).

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

表5. ビットの説明(続き)

BIT NAME	READ/ WRITE	POR STATE	DESCRIPTION
RA/FE	r	0	Receiver-Activity/Framing-Error Bit. In shutdown mode, this is the RA bit. In normal operation, this is the FE bit. In shutdown mode, a transition on RX sets RA = 1. In normal mode, a framing error sets FE = 1. A framing error occurs if a zero is received when the first stop bit is expected. FE is set when a framing error occurs, and cleared upon receipt of the next properly framed character independent of the FIFO being enabled. When the device wakes up, it is likely that a framing error will occur. This error can be cleared with a write configuration. The FE bit is not cleared on a Read Data operation. When an FE is encountered, the UART resets itself to the state where it is looking for a start bit.
SHDNi	w	0	Software-Shutdown Bit. Enter software shutdown with a write configuration where SHDNi = 1. Software shutdown takes effect after $\overline{CS}$ goes high, and causes the oscillator to stop as soon as the transmitter becomes idle. Software shutdown also clears R, T, RA/FE, D0r-D7r, D0t-D7t, Pr, Pt, and all data in the receive FIFO. RTS and CTS can be read and updated while in shutdown. Exit software shutdown with a write configuration where SHDNi = 0. The oscillator restarts typically within 50ms of $\overline{CS}$ going high. RTS and CTS are unaffected. Refer to the <i>Pin Description</i> for hardware shutdown ( $\overline{SHDN}$ input).
SHDNo	r	0	Shutdown Read-Back Bit. The read-configuration register outputs SHDNo = 1 when the UART is in shutdown. Note that this bit is not sent until the current byte in the transmitter is sent (T = 1). This tells the processor when it may shut down the RS-232 driver. This bit is also set immediately when the device is shut down through the $\overline{SHDN}$ pin.
ST	w	0	Transmit-Stop Bit. One stop bit will be transmitted when ST = 0. Two stop bits will be transmitted when ST = 1. The receiver only requires one stop bit.
ST	r	0	Reads the value of the ST bit.
T	r	1	Transmit-Buffer-Empty Flag. T = 1 means that the transmit buffer is empty and ready to accept another data word.
$\overline{TE}$	w	0	Transmit-Enable Bit. If $\overline{TE}$ = 1, then only the $\overline{RTS}$ pin will be updated on $\overline{CS}$ 's rising edge. The contents of $\overline{RTS}$ , Pt, and D0t-D7t transmit on $\overline{CS}$ 's rising edge when $\overline{TE}$ = 0.
$\overline{TM}$	w	0	Mask for T bit. $\overline{IRQ}$ is asserted if $\overline{TM}$ = 1 and T = 1 (Table 6).
$\overline{TM}$	r	0	Reads the value of the $\overline{TM}$ bit (Table 6).

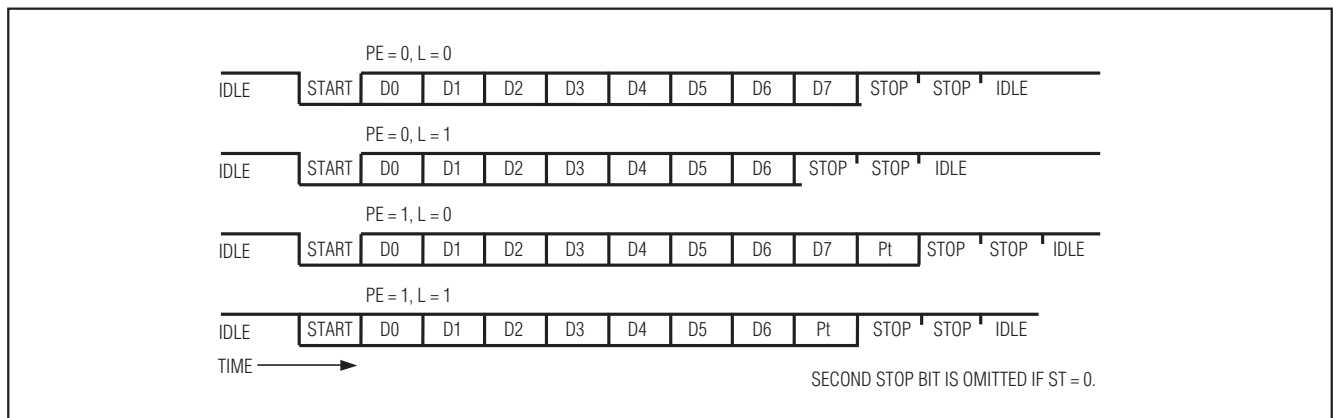


図5. パリティおよびワード長制御

# QSOP-16、SPI/MICROWIRE対応UART

## 割込みソースおよびマスク

データ読取り動作は割込み $\overline{IRQ}$ をクリアします。表6に

各割込みソースの詳細を示します。図6は、割込みソースおよびマスクブロックのファンクション図です。

表6. 割込みソースおよびマスクビットの説明

BIT NAME	MASK BIT	MEANING WHEN SET	DESCRIPTION
Pr	$\overline{PM}$	Received parity bit = 1	The Pr bit reflects the value in the word currently in the receive-buffer register (oldest data available). The Pr bit is set when parity is enabled (PE = 1) and the received parity bit is 1. The Pr bit is cleared either when parity is not enabled (PE = 0), or when parity is enabled and the received bit is 0. An interrupt is issued based on the oldest Pr value in the receiver FIFO. The oldest Pr value is the next value that will be read by a Read Data operation.
R	$\overline{RM}$	Data available	The R bit is set when new data is available to be read from the receive register/ FIFO. FIFO is cleared when all data has been read. An interrupt is asserted as long as R = 1 and $\overline{RM}$ = 1.
RA/FE	$\overline{RAM}$	Transition on RX when in shutdown; framing error when not in shutdown	This is the RA (RX-transition) bit in shutdown, and the FE (framing-error) bit in operating mode. RA is set if there has been a transition on RX since entering shutdown. RA is cleared when the MAX3100 exits shutdown. $\overline{IRQ}$ is asserted when RA is set and $\overline{RAM}$ = 1.  FE is determined solely by the currently received data, and is not stored in FIFO. The FE bit is set if a zero is received when the first stop bit is expected. FE is cleared upon receipt of the next properly framed character. $\overline{IRQ}$ is asserted when FE is set and $\overline{RAM}$ = 1.
T	$\overline{TM}$	Transmit buffer is empty	The T bit is set when the transmit buffer is ready to accept data. $\overline{IRQ}$ is asserted low if $\overline{TM}$ = 1 and the transmit buffer becomes empty. This source is cleared on $\overline{CS}$ 's rising edge during a Read Data operation. Although the interrupt is cleared, T may be polled to determine transmit-buffer status.

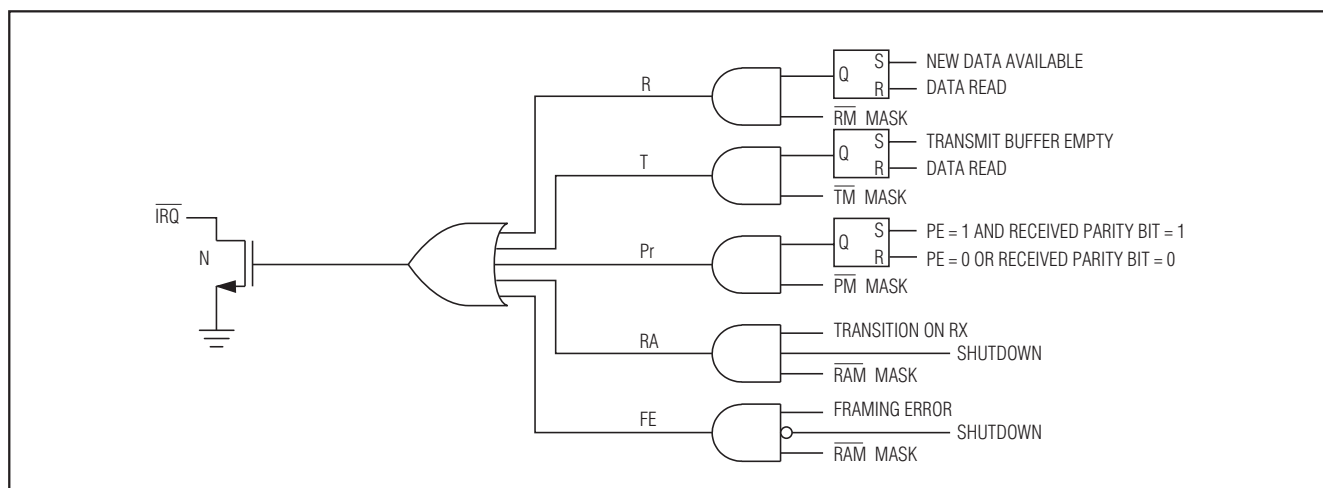


図6. 割込みソースおよびマスクのファンクションダイアグラム

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

表7. ボーレートの選択表\*

BAUD B3 B2 B1 B0				DIVISION RATIO	BAUD RATE (fosc = 1.8432MHz)	BAUD RATE (fosc = 3.6864MHz)
0	0	0	0**	1	115.2k**	230.4k**
0	0	0	1	2	57.6k	115.2k
0	0	1	0	4	28.8k	57.6k
0	0	1	1	8	14.4k	28.8k
0	1	0	0	16	7200	14.4k
0	1	0	1	32	3600	7200
0	1	1	0	64	1800	3600
0	1	1	1	128	900	1800
1	0	0	0	3	38.4k	76.8k
1	0	0	1	6	19.2k	38.4k
1	0	1	0	12	9600	19.2k
1	0	1	1	24	4800	9600
1	1	0	0	48	2400	4800
1	1	0	1	96	1200	2400
1	1	1	0	192	600	1200
1	1	1	1	384	300	600

\*標準ボーレートは太字で表示

\*\*デフォルトのボーレート

## クロック発振器のボーレート

書き込み設定レジスタのビットB0~B3によりボーレートが決定されます。表7は、与えられた入力コードに対するボーレート除数および1.8432MHzと3.6864MHzの水晶を使用した場合の与えられたボーレートを示しています。ボーレート = 水晶の周波数/16xの分周比であることに注意してください。

## シャットダウンモード

シャットダウン時には、発振器はオフになって消費電力を削減します(lcc < 10μA)。MAX3100は、ソフトウェアコマンド(SHDNiビット = 1)またはハードウェアコマンド(SHDN = ロジックロー)の2つの手段のうちの1つの方法でシャットダウンに入ります。ハードウェアシャットダウンは直ちに有効となり、進行中の送信を直ちに終了します。SHDNiビット = 1を設定することによって要求されるソフトウェアシャットダウンは、送信レジスタおよび送信バッファレジスタの両方のデータの送信が完了してからになります。MAX3100が(ハードウェアあるいはソフトウェアによる)シャットダウンに入ると、SHDNoビットが設定されます。マイクロコントローラ(μC)はSHDNoビットを監視し、すべてのデータが送信された時点を判定し、その時に(RS-232トランシーバ等の)すべての外部回路をシャットダウンすることができます。

シャットダウンは、受信FIFO、R、A、RA/FE、D0r~D7r、PrおよびPtレジスタをクリアし、Tビットをハイに設定します。SHDNo = 1の時にCTSも読み取ることができる場合、設定ビット(RM、TM、PM、RAM、IR、ST、PE、L、B0~3およびRTS)を変更することができます。RAはシャットダウンに入ると同時にリセットされますが、RX端子で遷移が検出されるとハイになります。これにより、UARTはシャットダウン中にもレシーバの動作を監視できます。

SHDN端子がロジックハイの時にCSがハイになると、パワーアップのコマンド(SHDNi = 0)は約25msのスタートアップ時間で発振器をオンにします。これは書き込み設定を通じて行われ、RTSとCTS以外のすべてのレジスタをクリアします。水晶発振器が起動するのに通常25msを要するため、最初に受信される文字が誤って伝えられ、フレーミングエラーが発生することがあります。

## アプリケーション情報

### フォトカプラの駆動

図7に絶縁型シリアルインタフェースの場合のMAX3100を示します。MAX3100のシュミットトリガ入力、フォトカプラ出力によって直接駆動されます。絶縁された電源は、図示のMAX253のトランスドライバおよびリニアレギュレータが提供します。このアプリケーションの重要な特長は、フォトカプラのスキューが非同期シリアル出力のタイミングに影響しないことです。SPIインタフェースのセットアップ時間とホールド時間だけ一致する必要があります。

図8に、わずか2つのフォトアイソレータを使用した双方向の光絶縁インタフェースを示します。IrDAモードのボー期間が3/16幅であるため、81%以上の省電力が達成されます。

### 水晶発振器の動作—X1およびX2の接続

MAX3100は、ボーレートの発生用に水晶発振器を内蔵しています。標準のボーレートを得るには、1.8432MHzまたは3.6864MHzの水晶を使用してください。1.8432MHzの水晶を使用すると動作電流が低くなりますが、3.6864MHzの水晶の方が表面実装タイプを入手しやすくなります。

「Q」と精度は低くなりますが、セラミック共振子は水晶の低コスト代替品として同様に動作します。一部のセラミック共振子は負荷コンデンサを内蔵しているため、さらにコストを節減することができます。水晶とセラミック共振子のどちらを選択するかは、初期周波数精度および温度ドリフトのトレードオフになります。他のシステムとの信頼できる動作のために、ボーレート発生器の全エラーを1%以下にしてください。これは水晶で簡単に達成可能で、ほとんどの場合はセラミック共振子でも達成可能です。表8に様々な水晶および共振子とそのメーカーを示します。

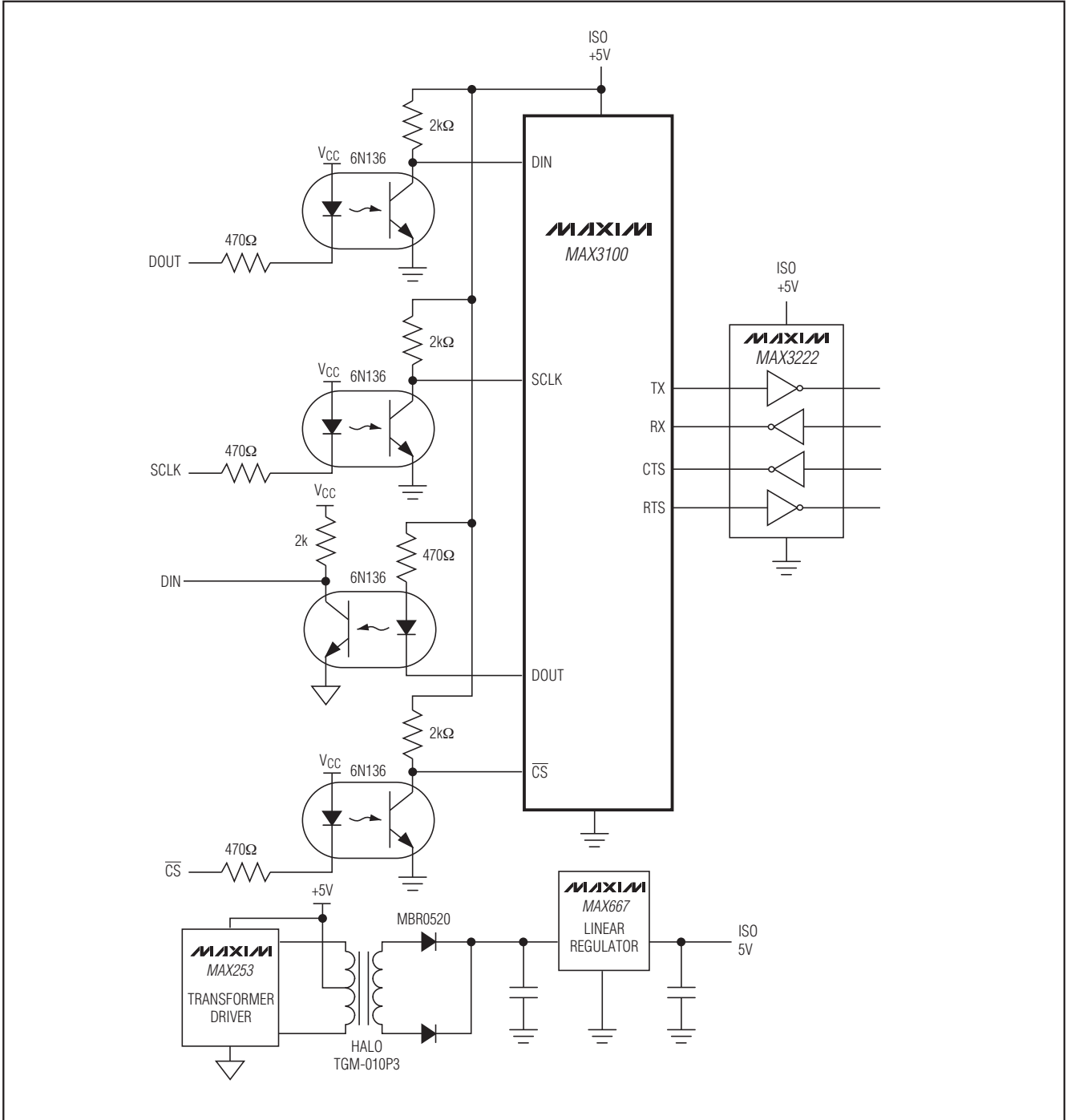


図7. フォトカプラの駆動

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

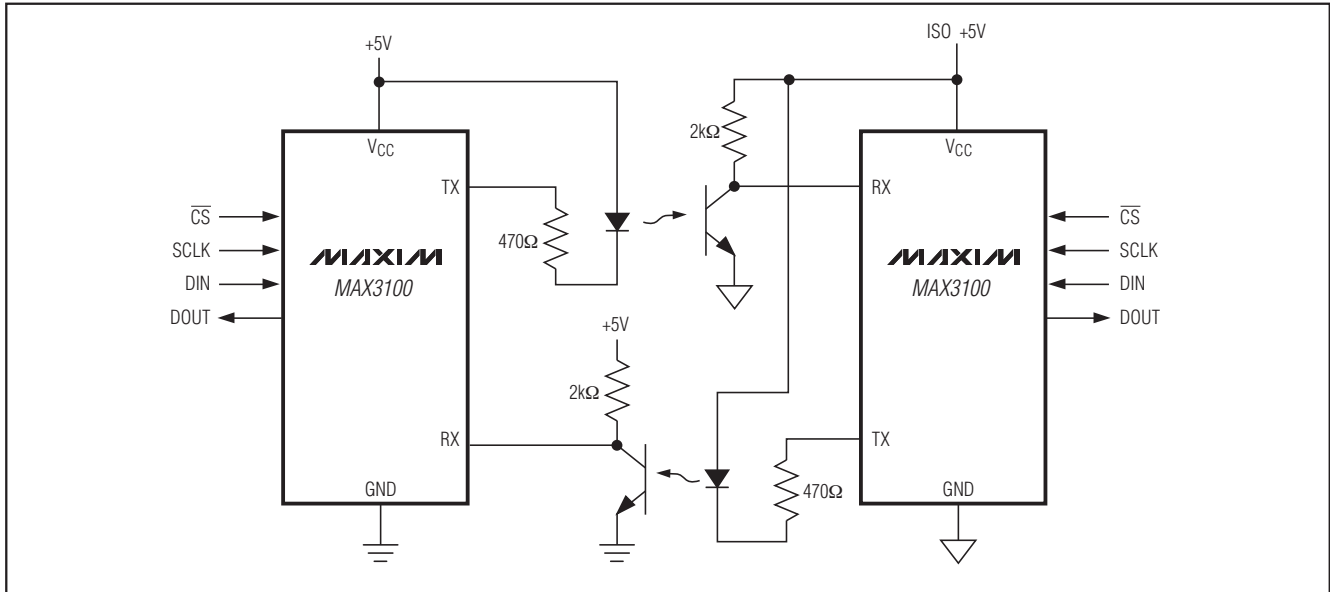


図8. 双方向の光絶縁インタフェース

表8. 部品とメーカーの一覧表

DESCRIPTION	FREQUENCY (MHz)	TYPICAL C1, C2 (pF)	SUPPLIER	PART NUMBER	PHONE NUMBER
Through-Hole Crystal (HC-49/U)	1.8432	25	ECS International, Inc.	ECS-18-13-1	(913) 782-7787
Through-Hole Resonator	1.8432	47	Murata North America	CSA1.84MG	(800) 831-9172
Through-Hole Crystal (HC-49/US)	3.6864	33	ECS International, Inc.	ECS-36-18-4	(913) 782-7787
SMT Crystal	3.6864	39	ECS International, Inc.	ECS-36-20-5P	(913) 782-7787
SMT Resonator	3.6864	None (integral)	AVX/Kyocera	PBRC-3.68B	(803) 448-9411

この発振器は並列共振モードの水晶およびセラミック共振子をサポートし、また外部クロックソースで駆動することもできます。この発振器の内部には反転アンプがあり、この反転アンプの入力X1は、インバータを約 $V_{CC}/2$ に自己バイアスするバイアス回路によって出力X2に接続されています。X2とX1間に接続された外部フィードバック回路(通常は水晶)により、180°の位相シフトが生じて回路が発振します。標準アプリケーション回路に示されているように、水晶または共振子はX1とX2の間に接続され、水晶の負荷容量はC1とC2の直列の組み合わせになっています。例えば、負荷容量の仕様が11pFの1.8432MHzの水晶は、クリスタルの両側と

グラウンド間にそれぞれ22pFのコンデンサを使用します。直列共振モードの水晶を並列モードで動作させるとわずかな周波数誤差が生じ、一般的に仕様の直列共振周波数よりも0.03%高い周波数で発振します。

水晶、共振子および負荷コンデンサのリードおよび配線パターンはできるだけ短く直線状にすることが非常に重要です。X1およびX2の配線パターン長とグラウンドパターン長は最短にし、他の配線パターンが間に入らないようにしてください。これにより、寄生容量および発振器でのノイズ混入が最小限になってEMIが低減されます。X2の容量性負荷を小さくすると、消費電流を小さくすることができます。



MAX3100のX1入力は、外部のCMOSクロックソースで直接駆動できます。遷移レベルは $V_{CC}/2$ にほぼ等しくなります。このモードではX2に何も接続しないでください。TTLまたは非CMOSクロックソースを使用する場合は、10nFのコンデンサでX1にAC結合してください。動作の信頼性を確保するために、入力のピークツーピーク振幅を少なくとも2Vにしてください。

## 9ビットネットワーク

MAX3100は、9ビットモードと呼ばれる一般的なマルチドロップ通信技法をサポートしています。このモードでは、パリティビットを設定して宛先アドレス付のヘッダを含むメッセージを示します。MAX3100のパリティマスクは、この状態に対して割込みを発生するように設定できます。このモードでネットワークを動作させると、スレーブコントローラが殆どのメッセージトラフィックを無視できるため、すべてのノードの処理オーバーヘッドが低減されます。このため、リモートプロセッサが扱える有用なタスクが増えます。

9ビットモードでは、MAX3100は8ビットとパリティで設定されています。すべての通常メッセージにおけるパリティビットはクリアされますが、アドレスタイプメッセージには設定されます。ハイのパリティで割込みが発生するように、MAX3100のパリティ割込みマスクがイネーブルされます。マスタがパリティビットを設定してアドレスメッセージを送ると、すべてのMAX3100のノードは割込みを発生します。その後、すべてのノードが受信されたバイトを読み出して自分に割り当てられたアドレスと比較します。アドレス指定されると、そのノードは受信された各バイトを処理し続けます。アドレス指定されなかったノードは、マスタから新しいアドレスが送られるまですべてのメッセージトラフィックを無視します。

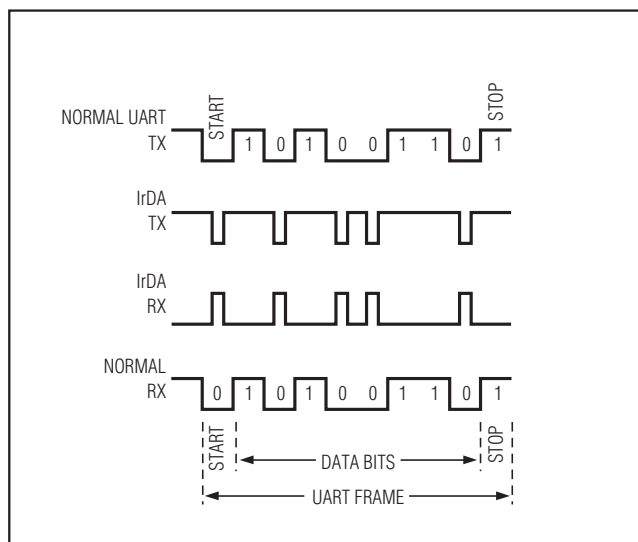


図9. IrDAのタイミング

パリティ/9番目のビット割込みは受信レジスタ内のデータによってのみ制御され、FIFO内のデータには影響されません。このため、FIFOがディセーブルされている状態でパリティ/9番目のビット割込みを最も有効に使用できます。FIFOのディセーブル状態では、受信されたアドレス指定のないワードは無視できるため、UARTから読み取る必要もありません。

## SIR IrDAモード

MAX3100のIrDAモードを使用すると、他のIrDA SIR対応の機器と通信したり、光絶縁アプリケーションにおける消費電力を削減することができます。

IrDAモードでは、ビット期間はポー期間の3/16 (115,200ポーでは1.6 $\mu$ s)に短縮されます(図9)。ゼロのデータは光のパルスとして送信されます(TX端子 = ロジックロー、RX端子 = ロジックハイ)。

受信モードでは、RX信号のサンプリングはハイレベル送信の途中で行われます。通常の場合のように、サンプリングは3回ではなく1回行われます。MAX3100は、ポー期間の約1/16より短いパルスは無視します。MAX3100と通信しているIrDA機器は、ポー期間の3/16でパルスを送信するように設定される必要があります。他のIrDA機器との互換性を保つために、8ビットデータ、ワンストップ、ノーパリティのフォーマットにしてください。

## IrDAモジュール

IrDAモジュールは反転バッファを備えています。MAX3100は直接フォトカプラ駆動用に最適化されています。図10に示すようにRXとTX出力を反転してください。

## 8051の例：IrDAからRS-232へのコンバータ

図10にMAX3100を8051の $\mu$ Cと共に使用した例を示します。この回路はIrDAのデータを受信して標準のRS-232データを出力します。8051はUARTを内蔵していますが、IrDAまたは高速通信をサポートしていません。MAX3100は簡単に8051とインタフェースすることができ、これらの高性能の通信モードをサポートします。8051にはSPIインタフェースがないため、MAX3100との通信はポート端子と簡単なソフトウェアルーチンを使用して行います(図12a)。

ソフトウェアルーチンは $\overline{TRQ}$ 出力をポーリングして、MAX3100のUARTからのデータが使用可能かどうかを調べます。その後8051のポート端子を使用してそのデータをシフトアウトし、MAX3221ドライバを通じてRS-232側に送信します。8051は、自らの内部UARTにRS-232側から通信が入ってきているかどうかを同時に監視して、MAX3100を通じてこのデータをIrDA側に送信します。ローレベルのルーチン(UTLK)は、8051



# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

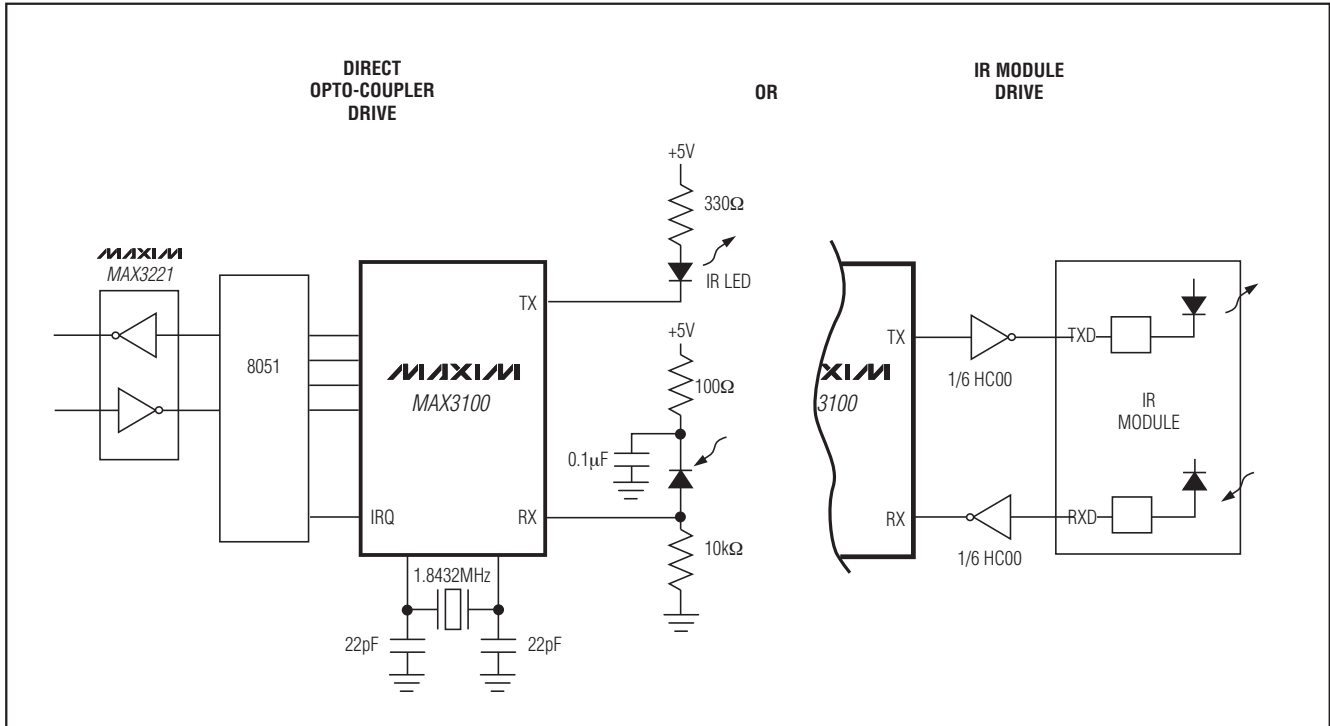


図10. 8051を使用した双方向RS-232 IrDA

でSPIポートのシミュレーションを行うためにポート端子を通じてデータを送受信する中核のルーチンです。この技術は、すべての8051を搭載したMAX3100のポート端子インタフェースのアプリケーションに有用です。

## PICプロセッサとのインタフェース [「クイックブラウンフォックス」発生器]

図11にMAX3100をPIC®と共に使用した例を示します。この回路は、可変ボーレート、ワード長および遅延を持ったRS-232リンクを通じて、「THE QUICK BROWN FOX JUMPS OVER THE LAZY DOG」(すべてのアルファベットを含んでいます)を繰り返し送信する「クイックブラウンフォックス」発生器です。PIC上でソフトウェアによるUARTを作ることはできますが、正確な可変ボーレート、高ボーレートおよび簡単なプロトコルの選択などの機能を高信頼度で実現することは困難です。例に

ある16C54はPICの中でも最も基本的なものです。したがって、この例はPICファミリのどれにでも応用できます。

このソフトウェアルーチン(図12)は、ポートRBのDIPスイッチを読み取ることから開始します。このスイッチデータは、ボーレート用に4ビット、ストップビット数用に1ビット、7または8ビットのワード長用に1ビット、そしてメッセージ間の遅延用に1ビットを含んでいます。PICは初期化(リセット)の時にのみこのスイッチを読み取り、パラメータをMAX3100に設定します。その後、PICは繰り返しメッセージを送り始めます。遅延ビットが設定されていると、送信と受信の間に1秒の遅延が挿入されます。8051の例のように、メインルーチンはUTLKと呼ばれ、PIC搭載のポート端子インタフェースの任意のアプリケーションに使用できます。

PICはMicrochip Corporationの登録商標です。

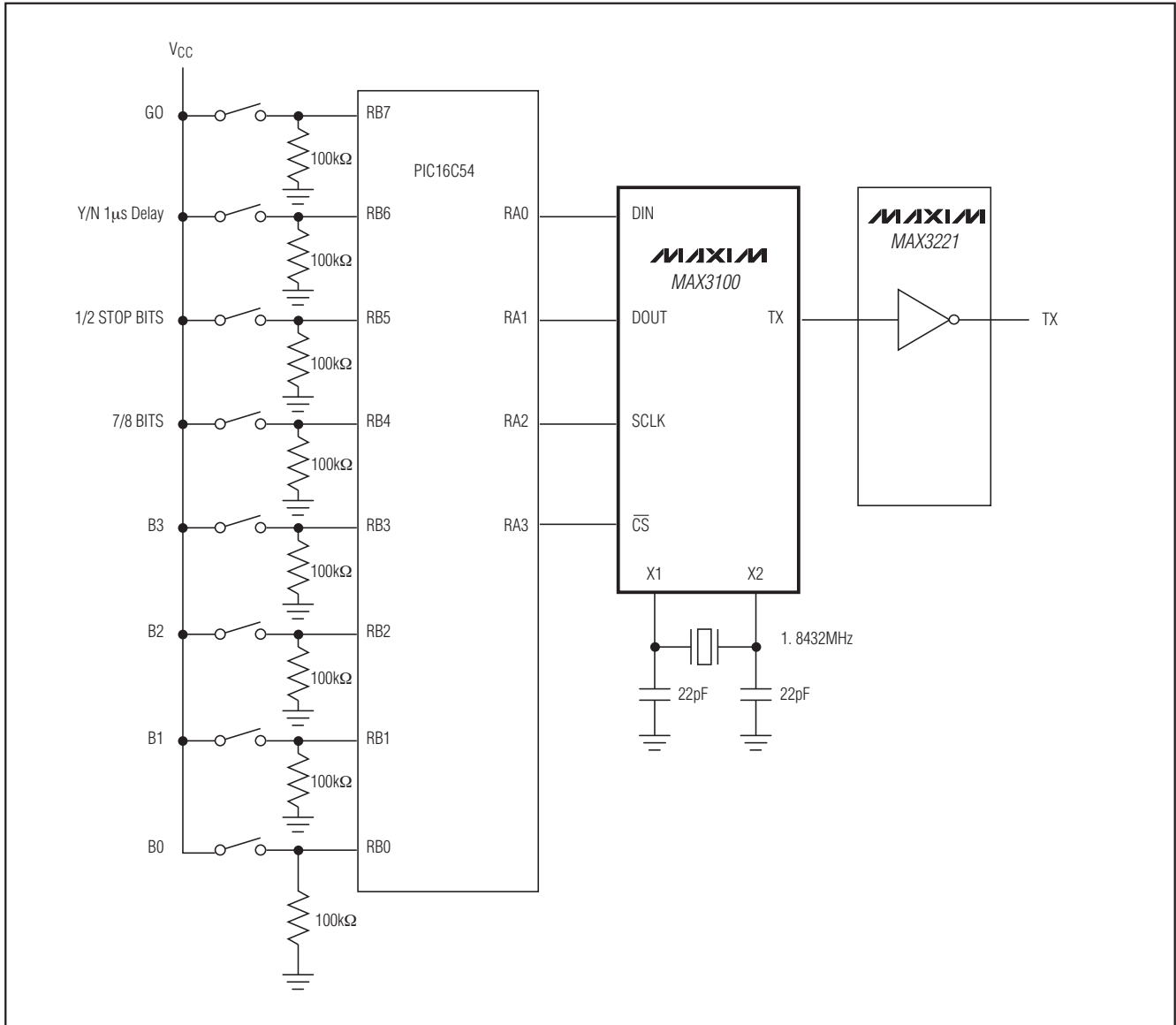


図11. クイックブラウンフォックス発生器

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

## MAX3100の同期～非同期SPI UARTの一覧表

表9. 同期データ入力のフォーマット(マイクロプロセッサのSPI MOSIからDIN端子へ)

Operation	Bit Number															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Write Config	1	1	$\overline{FEN}$	SHDNi	$\overline{TM}$	$\overline{RM}$	$\overline{PM}$	$\overline{RAM}$	IR (IrDA)	ST	PE	L	B3	B2	B1	B0
Read Config	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	TEST
Write Data	1	0	0	0	0	$\overline{TE}$	RTS	Pt	D7t	D6t	D5t	D4t	D3t	D2t	D1t	D0t
Read Data	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表10. 同期データ出力のフォーマット(DOUT端子からマイクロプロセッサのSPI MISOへ)

Operation	Bit Number															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Write Config	R	T	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Read Config	R	T	$\overline{FEN}$	SHDN0	$\overline{TM}$	$\overline{RM}$	$\overline{PM}$	$\overline{RAM}$	IR (IrDA)	ST	PE	L	B3	B2	B1	B0
Write Data	R	T	0	0	0	RA/FE	CTS	Pr	D7r	D6r	D5r	D4r	D3r	D2r	D1r	D0r
Read Data	R	T	0	0	0	RA/FE	CTS	Pr	D7r	D6r	D5r	D4r	D3r	D2r	D1r	D0r

表11. ビット定義\*

Register	Bit Name	Bit Set (1)	Bit Clear (0)
Config	$\overline{FEN}$	Disable FIFO buffer	Enable FIFO buffer
Config	SHDNi	Shutdown	Operate
Config	$\overline{TM}$	Enable transmit-done interrupt	Disable transmit-done interrupt
Config	$\overline{RM}$	Enable data-received interrupt	Disable data-received interrupt
Config	$\overline{PM}$	Enable parity interrupt	Disable parity interrupt
Config	$\overline{RAM}$	Enable framing-error interrupt	Disable framing-error interrupt
Config	IR	Enable IrDA timing mode	Standard timing
Config	ST	Two stop bits	One stop bit
Config	PE	Parity enabled	Parity disabled

Register	Bit Name	Bit Set (1)	Bit Clear (0)
Config	L	Word length = 7 bits	Word length = 8 bits
Write Data	$\overline{TE}$	Inhibit TX output	Enable normal operation
Write Data	RTS	Drive $\overline{RTS}$ output pin low	Drive $\overline{RTS}$ output pin high
Write Data	Pt	Transmit parity = 1	Transmit parity = 0
Read Data	RA/FE	Data overrun or framing error	Normal
Read Data	CTS	$\overline{CTS}$ input pin is low	$\overline{CTS}$ input pin is high
All	R	Data has been received	Data buffer is empty
All	T	Transmit buffer is empty	UART is busy transmitting

\*デフォルトの設定はクリア

表12. フィールド定義

Register	Field Name	Meaning
Config	B3-B0	Baud-rate divisor
Write Data	D7t-D0t	Transmit data
Read Data	Pr	Received parity bit
Read Data	D7r-D0r	Received data

表13. 1.8432MHzのボーレート

B3...B0	BRD	Baud	B3...B0	BRD	Baud
0 0 0 0	1	115.2k	1 0 0 0	3	38.4k
0 0 0 1	2	56k	1 0 0 1	6	19.2k
0 0 1 0	4	28k	1 0 1 0	12	9600
0 0 1 1	8	14k	1 0 1 1	24	4800
0 1 0 0	16	7200	1 1 0 0	48	2400
0 1 0 1	32	3600	1 1 0 1	96	1200
0 1 1 0	64	1800	1 1 1 0	192	600
0 1 1 1	128	900	1 1 1 1	384	300

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

```
;IrDA CODE FOR MAX-3100 UART- 8051 based
;*****
; CONSTANTS
PCON EQU 87H
;PORT PIN DEFINITIONS- BIT BANGING IF
DOUT BIT P1.0      ;data out (from uart)
DIN BIT P1.1       ;data in (from UART)
SCLK BIT P1.2      ;serial clock
CS BIT P1.3        ;chip select- act low
IRQ BIT P3.2       ;(irq) polled in this code
;RAM LOCATIONS
TX1 EQU 10H        ;transmit regs
TX2 EQU 11H
RX1 EQU 12H        ;receive regs
RX2 EQU 13H
;*****
                ORG      0H
BEGIN: MOV SP,#70H      ;initialize stack
CLR SCLK          ;clear sclk - normally low
;initialize 8051 internal uart
MOV TMOD,#20H     ;t1 baud
MOV TH1,#253      ;reload value baud 9600/xtal 5.5M
MOV SCON,#50H     ;uart- m1, tx and rx
MOV PCON,#80H     ;double baud rate bit
MOV TCON,#40H     ;start baud timer
;initialize max3100 uart- irda mode at 9600 baud
MOV TX1,#0E4H     ;high byte of config- R ints
MOV TX2,#0CAh     ;9600 baud irda mode and two stops
CALL UTLK         ;send to uart- write config
;***** MAIN ROUTINE LOOP *****
LOOP: JNB IRQ,URCV   ;data avail from 3100 uart?
NRCV: JBC RI,RCV51  ;check for 8051 rcv- tx out irda
JMP LOOP          ;hang here forever
;byte recieved from 3100 uart- get it and send out 8051 uart
URCV: MOV TX1,#0    ;read data
MOV TX2,#0        ;read data
CALL UTLK         ;send to 8051 uart- get data to rx
MOV A,RX2         ;get data to acc
MOV SBUF,A        ;send out on RS-232 side 9600 baud
JMP LOOP         ;back to top
;byte recieved from 8051 uart- get it and send out 3100 uart
RCV51: MOV A,SBUF  ;data from 8051 uart
MOV TX1,#80H      ;tx data
MOV TX2,A         ;data to irda
CALL UTLK         ;send to uart- send data out IrDA
JMP LOOP         ;back to top
;*****
;SUBROUTINES
; UTLK- talk to uart- main routine
; send 16 bits from TX1 TX2 and rcv 16 to RX1 RX2
UTLK: CLR CS      ;activate cs
MOV A,TX1         ;get high byte
CALL BYT8        ;send out
MOV RX1,A        ;get received 1
MOV A,TX2        ;get high byte
CALL BYT8        ;send out
MOV RX2,A        ;get received 2
SETB CS          ;set CS high
RET              ;DONE
;*****
; BYT8- shift out & in 8 bits with spi clocking- from and to acc
BYT8: MOV R4,#8   ;8 bits to send
SETB DIN         ;make sure din is input
B8LP: RLC A      ;get msb of acc to carry
MOV DOUT,C      ;put out on pin
SETB SCLK       ;clock high- clock
MOV C,DIN       ;get data after clk high
CLR SCLK        ;clock low
MOV ACC.0,C     ;put in lsbit of a
DJNZ R4,B8LP    ;loop til 8 bits
RET             ;done
; end of code
END
```

図12a. 8051のIrDA/RS-232コード

```

; MAX-3100 UART WITH PIC "QUICK BROWN FOX GENERATOR CODE"
;*****
;          DEVICE PIC16C54,XT_OSC,WDT_OFF,PROTECT_OFF
;RAM LOCATIONS
TX1 EQU 10H ;data to uart byte 1
TX2 EQU 11H ;data to uart byte 2
RX1 EQU 12h ;data from uart byte 1
RX2 EQU 13h ;data from uart byte 2

LPCNT EQU 14H ;loop counter
SHFTO EQU 15H ;shift out temp variable
SHFTI EQU 16H ;shift in temp variable
DLVAL EQU 17H ;delay value
TEMP EQU 18H ;temp variable
GP1 EQU 19H ;temp variable
GP2 EQU 1Ah ;temp variable
CHPTR EQU 1BH ;character pointer

; constants/literals
Cy EQU 0 ;carry bit
Zr EQU 2 ;zero bit

; i/o equates
;uart connected to pic on port RA
DOUT EQU 0 ;data out (to uart)
DIN EQU 1 ;data in (from uart)
SCLK EQU 2 ;serial clock
CS EQU 3 ;chip select- act low
;Configuration dip switch connected to RB
; RB0 to RB3 are baud rate B0-B3
; RB4 is 7 or 8 data bits
; RB5 is 1/2 stop bits
; RB6 is speed of sending about 100cps or 2.5 cps
; RB7 is run/stop
; note configuration bits are only read on reset
;*****
;subroutine area- pic must have these in low memory
;
;UART SERIAL (SPI) support routines
;send 16 bits from tx1 and tx2, receive 16 to rx1 and rx2
UTLK BCF RA,CS ;activate cs
      MOVF TX1,0 ;get tx1 to w
      CALL BYT8 ;send byte 1, recieve byte 1
      MOVWF RX1 ;stash byte 1
      MOVF TX2,0 ;get tx1 to w
      CALL BYT8 ;send byte 1, recieve byte 1
      MOVWF RX2 ;stash byte 1
      BSF RA,CS ;activate cs
      RETLW 0 ;all done

;LOCAL SUB FOR SHIFTING IN/OUT 8 BITS- CORE OF SPI SUPPORT
; BYT8- shift out/in 8 bits w/spi- from and to w, temp shfti,shfto
BYT8 MOVWF SHFTO ;put in shift out
      MOVLW 8 ;load loop counter
      MOVWF LPCNT ;stash it
B8LP RLF SHFTO,1 ;get high bit to send
      BCF RA,DOUT ;preclear dout
      BTFSK STATUS,CY ;if in low then skip
      BSF RA,DOUT ;set dout
      BSF RA,SCLK ;clock high- clock out/get input
      BCF STATUS,CY ;preclear carry
      BTFSK RA,DIN ;if in low then skip
      BSF STATUS,CY ;set carry
      RLF SHFTI,1 ;rotate into place- shfti
      BCF RA,SCLK ;clock low
      DECFSZ LPCNT,1 ;do loop counter
      GOTO B8LP ;loop til 8
      MOVF SHFTI,0 ;put shfto to w- result
      RETLW 0
;end spi serial support

```

図12b. PIC  $\mu$ Cを使用したMAX3100

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

```
;delay routine- counts down dlval (loaded at init)
DELAY  MOVF  DLVAL,0      ;load delay
DLY2X  MOVWF GP2         ;put it in
DLLP2  CLRF  GP1         ;use gp1 to count off ticks
DLLP1  DECFSZ GP1,1      ;dec gp1 value til 10 ms
        GOTO  DLLP1      ;just loop
        DECFSZ GP2,1      ;dec gp2 value
        GOTO  DLLP2      ;do another 10 ms til gp2=0
        RETLW 0          ;return

;this "subroutine" returns literal of pc+chptr
;this is the only way to pull out rom literals on the pic...
QBF    MOVF  CHPTR,W      ;GET IN W
        ADDWF PC          ;JUMP TO TABLE
;QUICK BROWN FOX MESSAGE
        RETLW "THE QUICK BROWN FOX JUMPS OVER THE LAZY DOG"
The above sentence needs a single line for a single letter or space ie. RETLW
RETLW  ODH                ;carriage return
        RETLW  OAH        ;line feed
        RETLW  OH         ;end of message

;*****
;MAIN ROUTINE-
START  MOVLW OFFH         ;all of rb is input- dip switch
        TRIS  RB          ;set it
        MOVLW 08         ;init port a with cs high only
        MOVWF RA          ;output to port register
        MOVLW 02H        ;ra is output except din
        TRIS  RA          ;set it- now has
        MOVLW 08H        ;no wdt- rtcc from clock
        OPTION            ;put in option register

;read switches and bit twiddle to configure uart- tx2 (1s byte)
        MOVF  RB,0        ;get port b to w
        ANDLW 1FH         ;and for 1 and b0-b3
        MOVWF TX2        ;stash in tx2
        BSF  TX2,6        ;preset the stop bit bit
        BTFSC RB,5        ;check the switch
        BCF  TX2,6        ;clear if set
        MOVLW 5           ;preload short delay-
        BTFSS RB,6        ;check the switch
        MOVLW 250        ;overload long delay-
        MOVWF DLVAL      ;stash in delay value
        MOVLW 0C0H       ;upper byte of config
        MOVWF TX1        ;stash to tx1
        CALL  UTLK        ;send to uart- configured
;uart is now configured as set on dip switch

;**** MAIN LOOP ****
;go must stay high for run- else stop and reset string ptr
HOLD   MOVLW 0           ;clear pointer with offset 1
        MOVWF CHPTR      ;load pointer
HANG   BTFSS RB,7        ;wait high
        JMP  HOLD         ;go to reinit and hold
        CALL QBF          ;get character to w
        ANDLW OFFH       ;check for end of message (zero)
        BTFSC STATUS,Zr  ;bail
        GOTO HOLD        ;bail to reinit pointer
        MOVWF TX2        ;load data to tx2
        MOVLW 080H       ;write data
        MOVWF TX1        ;put in place
        CALL  UTLK        ;send it
        INCF  CHPTR,1    ;next character
        CALL  DELAY       ;delay
        JMP  HANG        ;loop
;*****
; VECTORS- start
        ORG  1FFH         ;reset vector
        GOTO START
        END
```

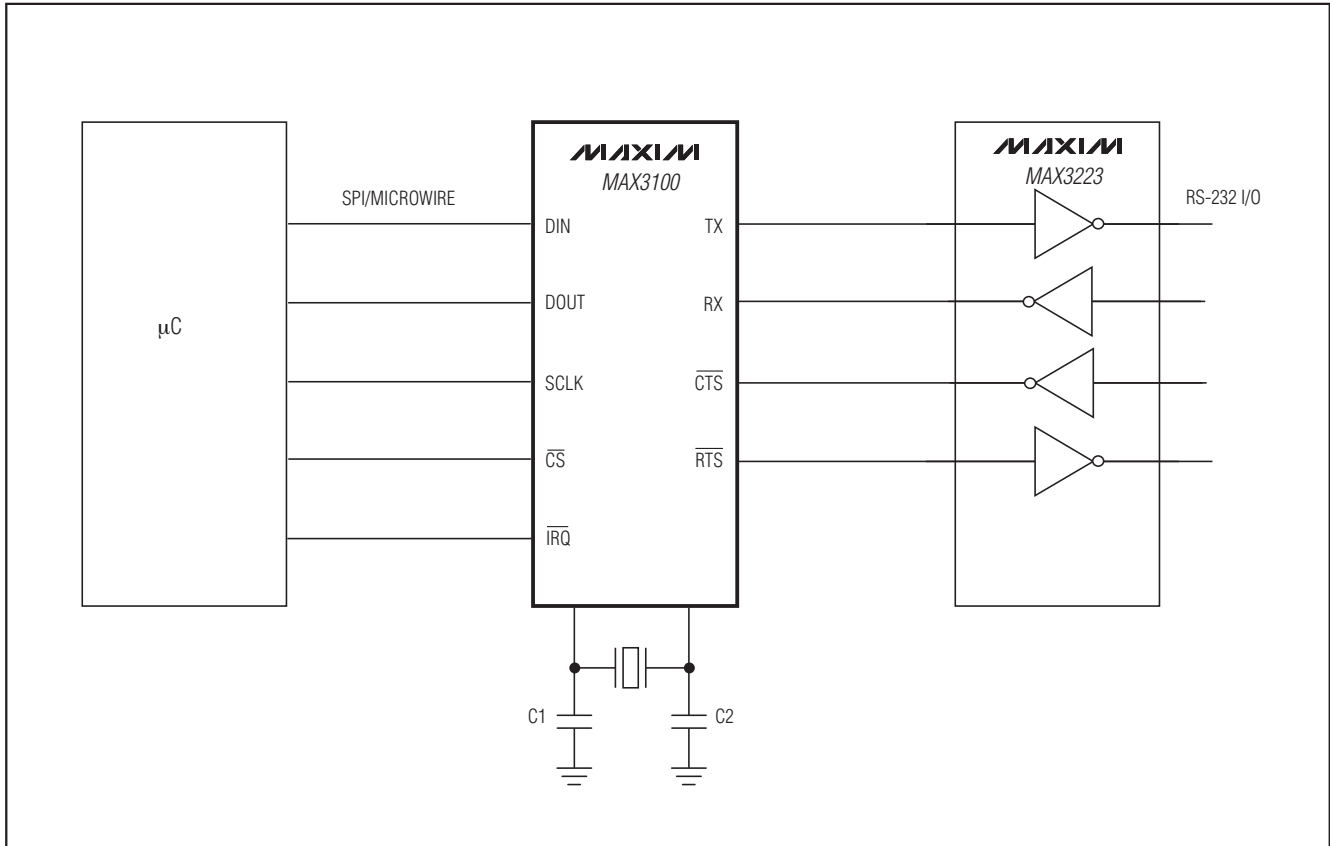
図12b. PIC  $\mu$ Cを使用したMAX3100 (続き)



# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

## 標準動作回路



## チップ情報

PROCESS: BiCMOS  
SUBSTRATE CONNECTED TO GND

## パッケージ

最新のパッケージ情報とランドパターンは、  
[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
14 Plastic DIP	P14-3	<b>21-0043</b>
16 QSOP	E16-1	<b>21-0055</b>
24 TQFN-EP	T2444-4	<b>21-0139</b>

# QSOP-16、SPI/MICROWIRE対応UART

MAX3100

## 改訂履歴

版数	改訂日	説明	改訂ページ
1	12/01	端子のラベルを変更	17
2	1/09	24ピンTQFNの情報を追加	1, 2, 5, 24

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

24 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**