

パワーライン通信アナログ フロントエンドトランシーバ

概要

MAX2980はパワーライン(電力線)通信アナログフロントエンド(AFE)集積回路(IC)で、高性能と低コストを実現する最先端CMOSデバイスです。この高集積設計は、アナログ-デジタルコンバータ(ADC)、デジタル-アナログコンバータ(DAC)、信号調整、およびラインドライバを統合しています。MAX2980はこれまで必要とされたシステム部品を大幅に削減しながら、サードパーティのHomePlug®デバイスと互換性があります。このデバイスは対になる多数のDigital PHY ICとインタフェースし、完全電力線通信ソリューションを提供します。

MAX2980の先進設計によって外部制御なしに動作が可能で、各種HomePlug Digital PHY ICとの簡易接続を実現します。各種制御信号を用いて、追加の省電力方式を利用することができます。

MAX2980は民生用温度範囲(0°C~+70°C)での動作が保証されており、64ピンTQFPパッケージで提供されます。

アプリケーション

- ローカルエリアネットワーク(LAN)
- Audio over Powerline
- Voice over Powerline
- セキュリティ
- 遠隔監視および制御
- ブロードバンドアクセス(ラストマイル)
- 電力線-WiFiブリッジ
- 電力線-DSLブリッジ
- 電力線-Ethernetブリッジ
- 電力線-USBブリッジ

標準動作回路はデータシートの最後に記載されています。

HomePlugはHomePlug Powerline Alliance, Inc.の登録商標です。

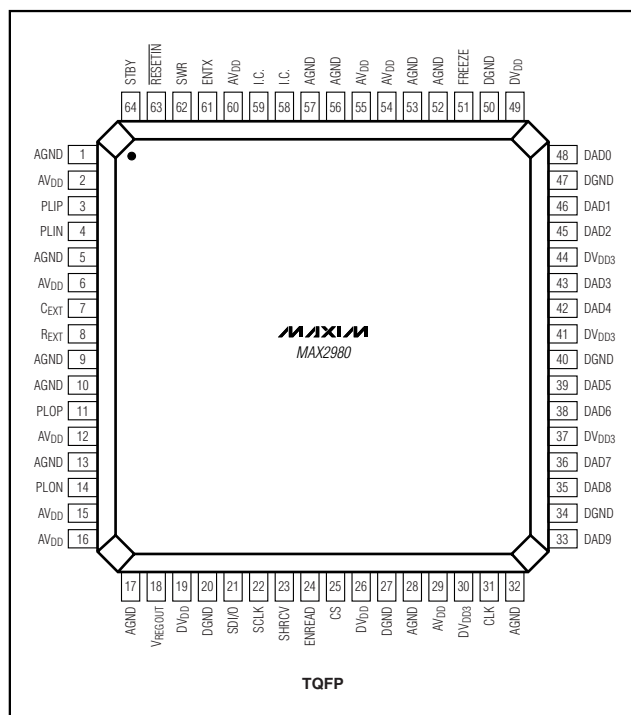
特長

- ◆ 完全集積化ラインドライバ/レシーバ
- ◆ Digital PHY ICとのシームレスなインタフェース
- ◆ 50MHzサンプリング付き、完全集積化10ビットADCおよびDAC
- ◆ 適応型利得制御：54dB
- ◆ 最低ラインインピーダンス性能：10Ω
- ◆ I/O：3.0V~3.6V
- ◆ 250mA (Rxモード)や160mA (Txモード) (3.3V時)
- ◆ 64ピンTQFPパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX2980CCB	0°C to +70°C	64 TQFP

ピン配置



パワーライン通信アナログ フロントエンドトランシーバ

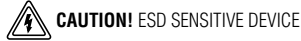
MAX2980

ABSOLUTE MAXIMUM RATINGS

AVDD to AGND	-0.3V to +3.9V
DVDD3 to DGND	-0.3V to +3.9V
DVDD to DGND	-0.3V to +2.8V
AGND to DGND	-0.3V to +0.3V
All Other Pins	-0.3V to (VDD + 0.3V)
Current into Any Pin	±100mA
Short-Circuit Duration (VREGOUT to AGND)	10ms

Continuous Power Dissipation (TA = +70°C)	
64-Pin TQFP (derate 25mW/°C above +70°C)	2000mW
Operating Temperature Range	0°C to +70°C
Junction Temperature	+150°C
Storage Temperature Range	-40°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.



ELECTRICAL CHARACTERISTICS

(AVDD = DVDD3 = +3.3V, DVDD = VREGOUT, AGND = DGND = STBY = 0, TA = 0°C to +70°C, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS		
Operating Supply Voltage Range	AVDD, DVDD3	(Note 1)	3.0		3.6	V		
	DVDD			2.5				
Quiescent Supply Current	IDD	Receive mode	Clock		250	mA		
			No clock (Note 1)		175		220	260
		Transmit mode	Normal operation	Clock			250	
				No clock (Note 1)			175	220
			Receiver disabled, SHRCV = high	Clock			160	
				No clock (Note 1)			100	135
Standby Supply Current		Clock		20	mA			
		No clock (Note 1)		5				
Regulator Output	VREGOUT			2.4		V		
Output-Voltage High	VOH	(Note 1)	2.4			V		
Output-Voltage Low	VOL	(Note 1)			0.4	V		
LOGIC-INPUT CHARACTERISTICS								
Input High Voltage	VIH		2.0			V		
Input Low Voltage	VIL				0.8	V		
Input Leakage Current High	IiH	VIH = VDD (Note 1)			+5	µA		
Input Leakage Current Low	IiL	VIL = 0 (Note 1)	-5			µA		
ANALOG-TO-DIGITAL CONVERTER (ADC) CHARACTERISTICS								
Resolution	N			10		Bits		
Integral Nonlinearity	INL			2.1		LSB		
Differential Nonlinearity	DNL			0.4		LSB		

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD3} = +3.3V$, $DV_{DD} = V_{REGOUT}$, $AGND = DGND = STBY = 0$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL-TO-ANALOG CONVERTER (DAC) CHARACTERISTICS						
Resolution	N			10		Bits
Integral Nonlinearity	INL			0.4		LSB
Differential Nonlinearity	DNL			0.3		LSB
Two-Tone Third-Order Distortion	IM3	Two tones at 17MHz and 18MHz, 1V _{P-P} , differential		54		dB
RECEIVER CHARACTERISTICS						
Common-Mode Voltage		Pins PLIP/PLIN		1.6		V
Input Impedance per Pin	Z _{IN}	Between pins PLIP, PLIN, and GND at 12 MHz		875		Ω
Two-Tone Third-Order Distortion	IM3	Two tones at 17MHz and 18MHz, 1V _{P-P} , differential		53		dB
AGC Gain Range	AGC			54		dB
Lowpass-Filter Corner Frequency				21		MHz
Lowpass-Filter Ripple				1.5		dB
TRANSMITTER CHARACTERISTICS						
Common-Mode Voltage		At pins PLOP/PLON		1.6		V
Output Impedance per Pin	Z _{OUT}	Between pins PLOP, PLON, and GND at 12MHz		134		Ω
Output-Voltage Swing at 12MHz		Predriver gain = -6dB		2.4		V _{P-P} diff
		Predriver gain = +3dB		6.0		
Short-Circuit Current	I _{SC}			230		mA
Two-Tone Third-Order Distortion	IM3	Two tones at 17MHz and 18MHz, 1V _{P-P} , differential (Note 1)	35	50	70	dB
Lowpass-Filter Corner Frequency				21		MHz
Lowpass-Filter Ripple				1.5		dB
Minimum Line Impedance Capability		<1dB output swing variation <1dB linearity variation		10		Ω

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

TIMING CHARACTERISTICS

($AV_{DD} = DV_{DD3} = +3.3V$, $DV_{DD} = V_{REGOUT}$, $AGND = DGND = STBY = 0$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Frequency				50		MHz
CLK Tolerance			-25		+25	ppm
CLK Fall to ADC Data Output Valid Time	t_{ADCO}			2		ns
CLK Fall to DAC Data Latch Time	t_{DACI}			3		ns

Note 1: Guaranteed by production test at $T_A = +27^{\circ}C$ and $T_A = +70^{\circ}C$ and by design and characterization at $T_A = 0^{\circ}C$.

端子説明

端子	名称	機能
1, 5, 9, 10, 13, 17, 28, 32, 52, 53, 56, 57	AGND	アナロググランド
2, 6, 12, 15, 16, 29, 54, 55, 60	AV_{DD}	アナログ電源電圧。 AV_{DD} 電源電圧範囲は、3.0V~3.6Vです。0.1 μ Fのコンデンサで AV_{DD} をAGNDにバイパスしてください。
3	PLIP	AC電力線の正入力
4	PLIN	AC電力線の負入力
7	C_{EXT}	外付けコンデンサの接続。10nFのコンデンサを C_{EXT} とAGNDの間に接続してください。
8	R_{EXT}	外付け抵抗の接続。25k Ω の抵抗を R_{EXT} とAGNDの間に接続してください。
11	PLOP	AC電力線の正出力
14	PLON	AC電力線の負出力
18	V_{REGOUT}	電圧レギュレータ出力。通常動作にするには、 V_{REGOUT} を DV_{DD} に接続してください。
19, 26, 49	DV_{DD}	2.5Vのデジタル電圧入力。通常動作にするには、 V_{REGOUT} に接続してください。
20, 27, 34, 40, 47, 50	DGND	デジタルグランド
21	SDI/O	シリアルデータの入力/出力
22	SCLK	シリアルクロックの入力
23	SHRCV	レシーバのシャットダウン制御。レシーバをパワーダウンするには、SHRCVをハイにしてください。通常動作にするには、ローにしてください。
24	ENREAD	読取りモードのイネーブル制御。DAD [9 : 0]双方向バッファを読取りモードにするには、ENREADをハイにしてください。データは、Digital PHYからAFEのDACに送信されます。ENREAD信号によって送信が形成されます。
25	CS	アクティブハイ、キャリア選択入力。内蔵タイマを開始するには、CSをハイにしてください。
30, 37, 41, 44	DV_{DD3}	デジタル電源電圧。 DV_{DD3} 電源電圧範囲は、3.0V~3.6Vです。端子にできるだけ近接して0.1 μ Fコンデンサで DV_{DD3} をDGNDにバイパスしてください。
31	CLK	50MHzのシステムクロック入力

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

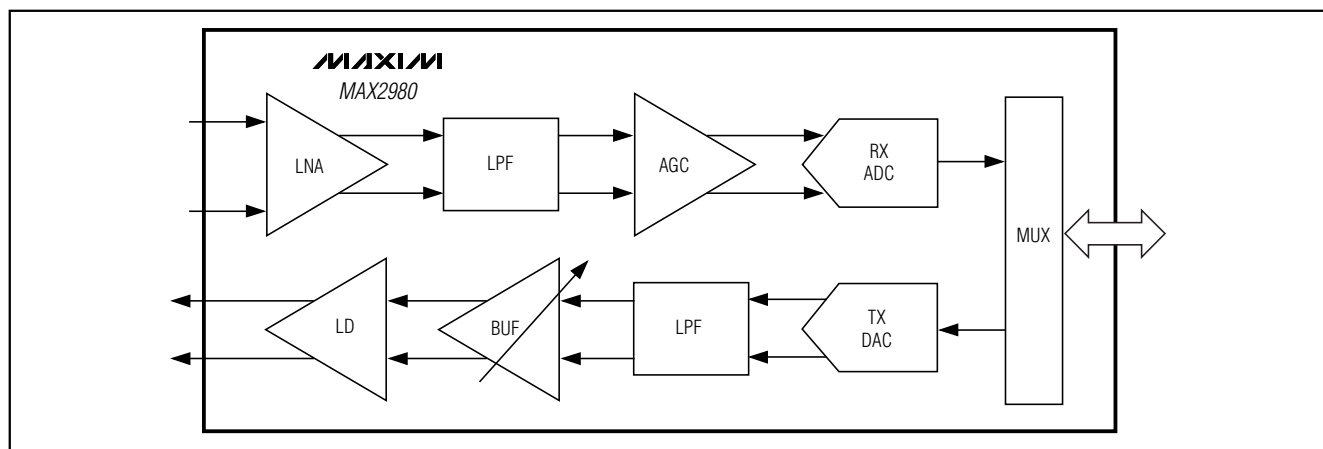
端子説明(続き)

33	DAD9	DAC/ADC入力/出力のMSBデータビット。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
35	DAD8	DAC/ADC入力/出力のデータビット8。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
36	DAD7	DAC/ADC入力/出力のデータビット7。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
38	DAD6	DAC/ADC入力/出力のデータビット6。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
39	DAD5	DAC/ADC入力/出力のデータビット5。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
42	DAD4	DAC/ADC入力/出力のデータビット4。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
43	DAD3	DAC/ADC入力/出力のデータビット3。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
45	DAD2	DAC/ADC入力/出力のデータビット2。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
46	DAD1	DAC/ADC入力/出力のデータビット1。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
48	DAD0	DAC/ADC入力/出力のLSBデータビット。10ビット、50MHzの双方向デジタル-アナログおよびアナログ-デジタルコンバータの入力/出力。データはバイナリ形式です。
51	FREEZE	アクティブハイ、フリーズモードのイネーブル。AGC適応をフリーズモードにするには、FREEZEをハイにしてください。対になるベースバンドチップで信号が利用不可の場合は、FREEZEをローにしてください。
58, 59	I.C.	内部接続。これらの端子をフローティング状態にしてください。
61	ENTX	アクティブハイ、送信のイネーブル。トランスミッタをイネーブルするには、ENTXをハイにしてください。トランスミッタをトライステートにするには、ENTXをローにしてください。
62	SWR	アクティブハイ、レジスタ書き込みのイネーブル。レジスタを書込みモードにするには、SWRをハイにしてください。
63	$\overline{\text{RESETIN}}$	アクティブロー、リセット入力。MAX2980をリセットモードにするには、 $\overline{\text{RESETIN}}$ をローにしてください。リセット時にCLKをフリーランニングモードに設定してください。最低リセットパルス幅は100nsです。
64	STBY	アクティブハイ、スタンバイ入力。MAX2980をスタンバイモードにするには、STBYをハイにしてください。通常動作にするには、ローにしてください。

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

ファンクションダイアグラム



詳細

MAX2980はパワーライン(電力線)通信AFE集積回路で、高性能と低コストを実現する最先端CMOSデバイスです。この高集積設計は、「ファンクションダイアグラム」に示すように、ADC、DAC、信号調整、およびラインドライバを統合しています。MAX2980はこれまで必要とされたシステム部品を大幅に削減しながら、サードパーティのHomePlugデバイスと互換性があります。このデバイスは対になる多数のDigital PHY ICとインタフェースし、完全電力線通信ソリューションを提供します。

MAX2980の先進設計によって外部制御なしに動作が可能で、サードパーティのDigital PHYチップとの簡易接続を実現します。各種制御信号を用いて、追加の電力リソース管理方式をRxおよびTxモードで利用することができます。

受信チャンネル

レシーバのアナログフロントエンドは、低ノイズアンプ(LNA)、ローパスフィルタ(LPF)、および適応型利得制御回路(AGC)から構成されています。ADCブロックは、AGC出力をサンプリングします。ADCは、マルチプレクサブロックを通じてDigital PHYチップと通信します。LNAは、一部の信号利得をAFEの入力に供給して、受信チャンネル入力換算ノイズを低減します。

フィルタブロックは望ましくないノイズを除去し、ADCに必要なアンチエイリアシングを行い、高精度のサンプリングを実現します。

AGCは、アナログからデジタルへの変換用に信号をスケールリングします。このスケールリングによってADC入力で最適な信号レベルが確保され、AGCアンプが飽和しないようにします。

50MHz、10ビットADCはアナログ信号をサンプリングし、この信号を10ビットデジタルストリームに変換します。ブロックは、入力差動信号用にリファレンス電圧およびバイアスを完全統合しています。

送信チャンネル

送信チャンネルは、10ビット、デジタル-アナログコンバータ(DAC)、ローパスフィルタ、および可変利得トランスミッタバッファ/ラインドライバから構成されます。DACは、マルチプレクサブロックを通じてデータストリームをDigital PHY ICから受信します。

50MHz、10ビットDACは、受信チャンネルと相補的な機能を備えています。DACは、50MHzのレートで10ビットデジタルストリームをアナログ電圧に変換します。

ローパスフィルタは任意の通過帯域に隣接する高調波とスパークを除去し、DAC出力から帯域外の送信周波数およびエネルギーを低減します。

送信バッファとラインドライバブロックによって、ローパスフィルタの出力レベルが、外付けアンプとバッファを使用せずに、電力線媒体に直接接続するのに必要なレベルを確保することができます。出力レベルは、 $2.4V_{p-p}$ diff~ $6.0V_{p-p}$ diffの範囲で調整可能です。ラインドライバは、最低 10Ω の抵抗負荷を駆動することができます。

デジタルインタフェース

デジタルインタフェースは、一部の制御信号とDACおよびADC用の10ビット双方向データバスから構成されています。制御信号には、リセットライン、送信要求、I/O方向要求、および受信シャットダウン制御などがあります。

制御信号

送信イネーブル(ENTX)

ENTXラインを使って、MAX2980のAFE回路のトランスミッタをイネーブルすることができます。ENTXおよびENREADがハイの場合は、DAD [9 : 0]を通じてDACに送信されたデータが調整され、電力線に供給されます。

読取りイネーブル(ENREAD)

ENREADラインによって、データバスDAD [9 : 0]の方向が設定されます。ENREADがハイの場合は、データがDigital PHYからMAX2980 AFEのDACに送信されます。ENREADをローにすると、データがADCからDigital PHYに送信されます。

レシーバのパワーダウン(SHRCV)

SHRCVラインは、レシーバシャットダウン制御を行います。SHRCVがロジックハイの場合は、デバイスが送信するごとにMAX2980のレシーバセクションはパワーダウンされます。また、MAX2980は送信省電力モードも備え、このモードによって消費電流が410mAから160mAに低減します。送信省電力モードに移行するには、送信終了の0.1μs前にSHRCVをハイにしてください。通常動作にするには、SHRCVをENTXおよびENREADに接続してください。

デジタル-アナログおよびアナログ-デジタル コンバータの入力/出力(DAD [9 : 0])

DAD [9 : 0]は、Digital PHYをMAX2980のDACおよびADCに接続する10ビット、双方向バスです。バスの方向は、「読取りイネーブル」の項で説明されているように、ENREADによって制御されます。

AGC制御信号(CS)

CS信号は、MAX2980の受信パスのAGC回路を制御します。CSがロジックローになると、入力信号の利得回路が最高感度に常時適応するように設定されます。Digital PHYが検出する有効なプリアンプによって、CSはハイになります。CSがハイの間、AGCはさらに短期間の間、引き続き適応した後、入力信号に対して現在適応されているレベルをロックします。Digital PHYは、ある送信信号を受信する間はCSをハイに維持し、次に、他の入力信号の最高感度に常時適応するためにCSをローにします。

AGCのフリーズモード(FREEZE)

FREEZE信号を使って、AGC利得をロックします。なお、CSまたはFREEZEが使用されない場合は、SNRの最大損失は、一部の選択式チャンネルのAGC回路からもたらされる変調効果によって1dBになります。

クロック(CLK)

CLK信号は、MAX2980のすべてのタイミングを供給します。50MHzのクロックをこの入力に印加してください。詳細については、図1のタイミング図を参照してください。

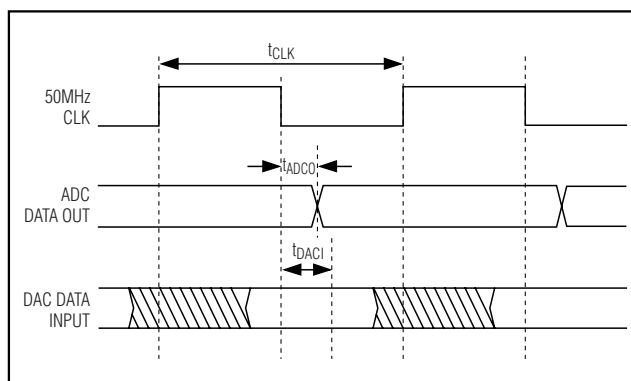


図1. ADCおよびDACタイミング図

リセット入力(RESETIN)

RESETIN信号は、MAX2980のリセット制御を提供します。リセットを実行するには、CLKをフリーランニングモードに設定し、最低100nsの間、RESETINをローにしてください。電源投入時に、必ずリセットを実行してください。

スタンバイ制御(STBY)

MAX2980は、STBYでアクティブになる低電力のシャットダウンモードを備えています。MAX2980をスタンバイモードにするには、STBYをハイにしてください。スタンバイモードでは、MAX2980の消費電流はクロックありの時わずか20mAで、クロックなしの場合は5mAです。

MAX2980の制御レジスタ

MAX2980のシリアルインタフェース

3線式シリアルインタフェースを通じて、MAX2980の動作モードを制御します。SCLKは、レジスタ設定用のシリアルクロックラインです。SDI/Oは、レジスタの書き込みまたは読取り用のI/Oシリアルデータ入力/出力です。SWR信号は、シリアルインタフェースのWRITE/READモードを制御します。

SWRがハイの場合は、シリアルインタフェースはWRITEモードで、新しい値をMAX2980のレジスタに書き込むことができます。SWRのローからハイへの遷移に続いて、データは、図2に示すようにシリアルクロック(SCLK)の立下りエッジでレジスタに(LSBを先頭に)同時にシフトされます。なお、バッファの保持内容を適切なレジスタバンクに書き込むには、さらに1クロック(WR_CLK)が必要です。

SWRがローの場合は、シリアルインタフェースはREADモードで、現在のレジスタの値を読み取ることができます。特定のレジスタに対する読取り動作は、同じレジスタに書き込んだ直後に続く必要があります。SWRのハイからローへの遷移に続いて、データは、図3に示すようにシリアルクロック(SCLK)の立下りエッジでレジスタに(LSBを先頭に)同時にシフトされます。

MAX2980は6個のREAD/WRITEレジスタの1セットを備え、ビットA2、A1、A0はレジスタアドレスビットです。

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

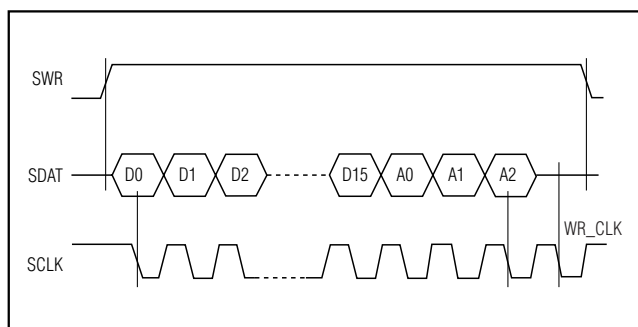


図2. 書き込みモードレジスタのタイミング図

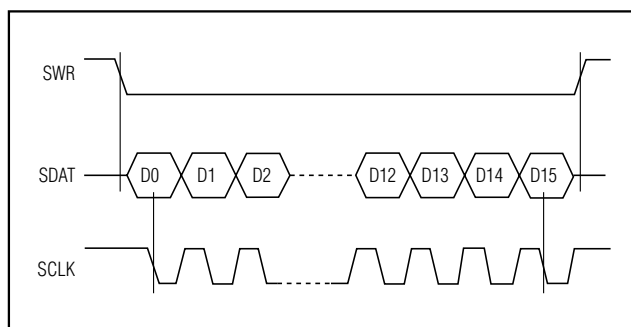


図3. 読取りモードレジスタのタイミング図

表1. MAX2980のレジスタアドレス

REGISTER	A2	A1	A0
R1 (R/W)	0	0	0
R2 (R/W)	0	0	1
R3 (R/W)	0	1	0
R4 (R/W)	0	1	1
R5 (R/W)	1	0	0
R6 (R/W)	1	0	1

MAX2980 AFEのレジスタマップ

表2. レジスタR1マップ

REGISTER BIT NO.	DEFAULT	COMMENT
R1B0	LOW	Active high, powers down receiver when in transmit mode. Based on SHRCV signal going high (enable SMT1 mode).
R1B1	HIGH	Active high, powers down transmitter when in receive mode. Based on Tx signal going high (enables SMT2 mode).
R1B2	LOW	Active high, powers down DAC when in receive mode. Based on Tx signal going high (SMTDA mode).
R1B3	LOW	Active high, powers down entire chip.
R1B4	LOW	Reserved.
R1B5	LOW	Reserved.
R1B6	LOW	Reserved.
R1B7	LOW	Reserved.
R1B8	LOW	Reserved.
R1B9	LOW	Reserved.
R1B10	LOW	Reserved.
R1B11	LOW	Reserved.
R1B12	LOW	Reserved.
R1B13	LOW	Reserved.
R1B14	LOW	Reserved.
R1B15	LOW	Reserved.

注：ビット4～15は、各ブロックのパワーダウンを制御します。

表3. レジスタR2マップ

REGISTER BIT NO.	DEFAULT	COMMENT
R2B0	LOW	Reserved.
R2B1	LOW	Reserved.
R2B2	LOW	Reserved.
R2B3	HIGH	Reserved.
R2B4	LOW	Reserved.
R2B5	LOW	Reserved.
R2B6	LOW	Reserved.
R2B7	LOW	Reserved.
R2B8	LOW	Reserved.
R2B9	LOW	Reserved.
R2B10	LOW	Reserved.
R2B11	LOW	Reserved.
R2B12	LOW	Reserved.
R2B13	LOW	Reserved.
R2B14	LOW	Reserved.
R2B15	LOW	Active high, bypass the receive LPF.

注：テストバスとの接続をディセーブルするには、ビット0～2およびビット4～14をローに設定する必要があります。

表4. レジスタR3マップ

REGISTER BIT NO.	DEFAULT	COMMENT
R3B0	LOW	Reserved.
R3B1	LOW	
R3B2	LOW	These set the predriver gain as follows setting 000 to 111: 3dB, 2dB, 1dB, 0dB, -1dB, -2dB, -3dB, -6dB R3B2 is the LSB.
R3B3	LOW	
R3B4	LOW	Reserved.
R3B5	LOW	
R3B6	LOW	
R3B7	LOW	
R3B8	LOW	
R3B9	LOW	
R3B10	LOW	
R3B11	HIGH	Active high, place process tune in continuous mode. Otherwise active only during RESET.
R3B [15:12]	0111	Reserved.

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

表5. レジスタR4マップ

REGISTER BIT NO.	DEFAULT	COMMENT
R4B0	LOW	Reserved.
R4B1	HIGH	Reserved.
R4B2	HIGH	Reserved.
R4B3	HIGH	Reserved.
R4B4	LOW	Reserved.
R4B5	LOW	Reserved.
R4B [10:6]	01011	Reserved.
R4B11	HIGH	Reserved.
R4B12	HIGH	Reserved.
R4B13	HIGH	Reserved.
R4B14	HIGH	
R4B15	LOW	Reserved.

表6. レジスタR5マップ

REGISTER BIT NO.	DEFAULT	COMMENT
R5B [6:0]	LOW	Set to manually control VGA and offset-cancellation circuits. Low for automatic adaptation.
R5B [12:7]	LOW	
R5B13	LOW	
R5B14	LOW	
R5B15	LOW	

アプリケーション情報

Digital PHY回路とのインタフェース

MAX2980は双方向バスを通じてMAX2986 Digital PHY ICとインタフェースし、DACおよびADCとの間でデジタルデータを受け渡します。ハンドシェイクラインによって、MAX2980のデータ転送および動作を遂行することができます。図4の動作回路図は、MAX2980のMAX2986デジタルベースバンドチップとの接続を示しています。

レイアウトに関して

適切に設計されたPCBは、高速回路にとって不可欠の要素です。すべての周波数入力/出力にインピーダンス制御されたラインを使用してください。全グランド端子と部品をグランドに接続するすべての場所において、低インダクタンスのグランド接続部を使用してください。デカップリングコンデンサは、すべてのV_{DD}接続部に近接して配置してください。正常に動作させるために、ICの後部にある金属エクスポーズドパッドをPCBのグランドプレーンに複数ビアを通じて接続してください。

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

表7. レジスタR6マップ

REGISTER BIT NO.	DEFAULT	COMMENT
R6B0	LOW	Reserved.
R6B [2:1]	00	Reserved.
R6B3	LOW	Reserved.
R6B4	LOW	Active high, allow BYPASS of transmit LPF.
R6B [6:5]	00	Reserved.
R6B7	LOW	
R6B8	LOW	
R6B9	LOW	
R6B [11:10]	10	
R6B [13:12]	00	
R6B14	HIGH	
R6B15	HIGH	

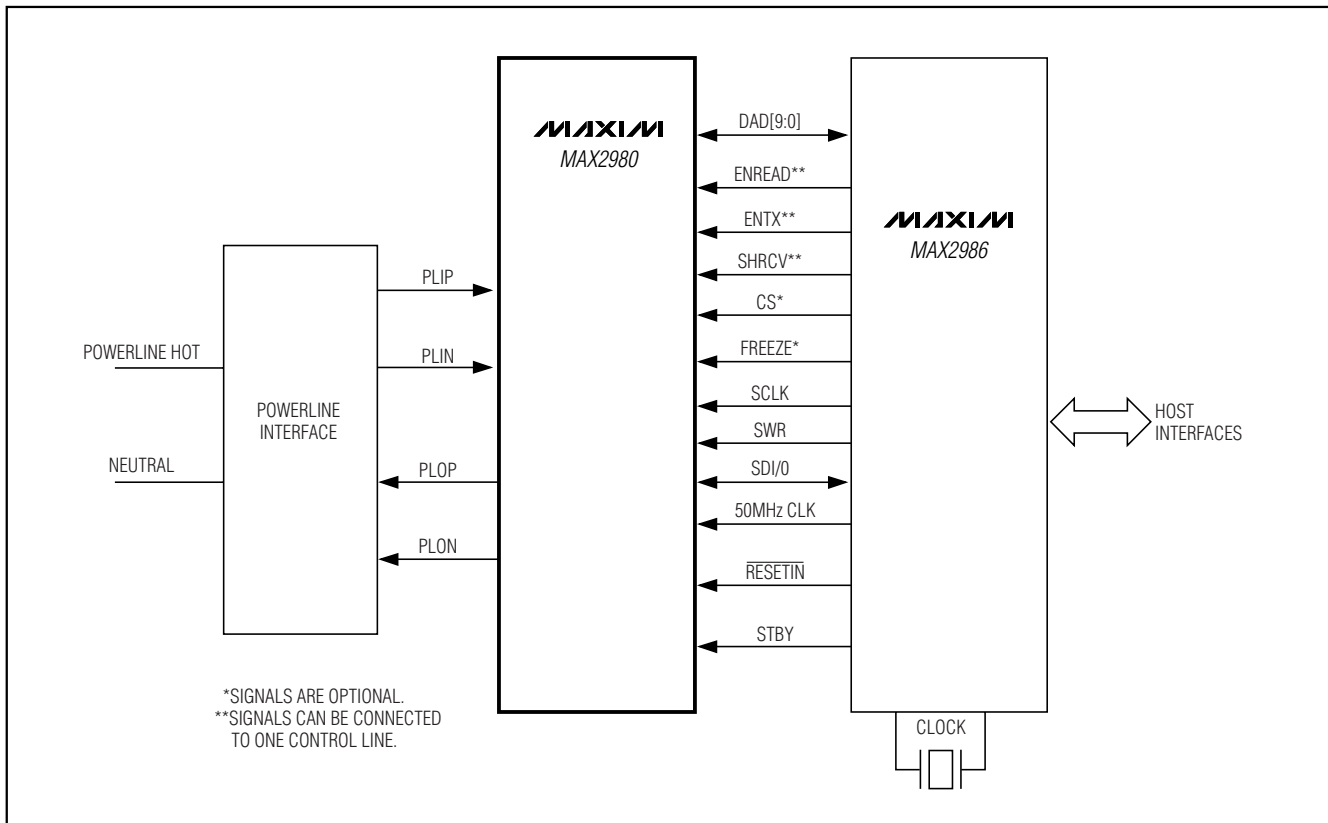
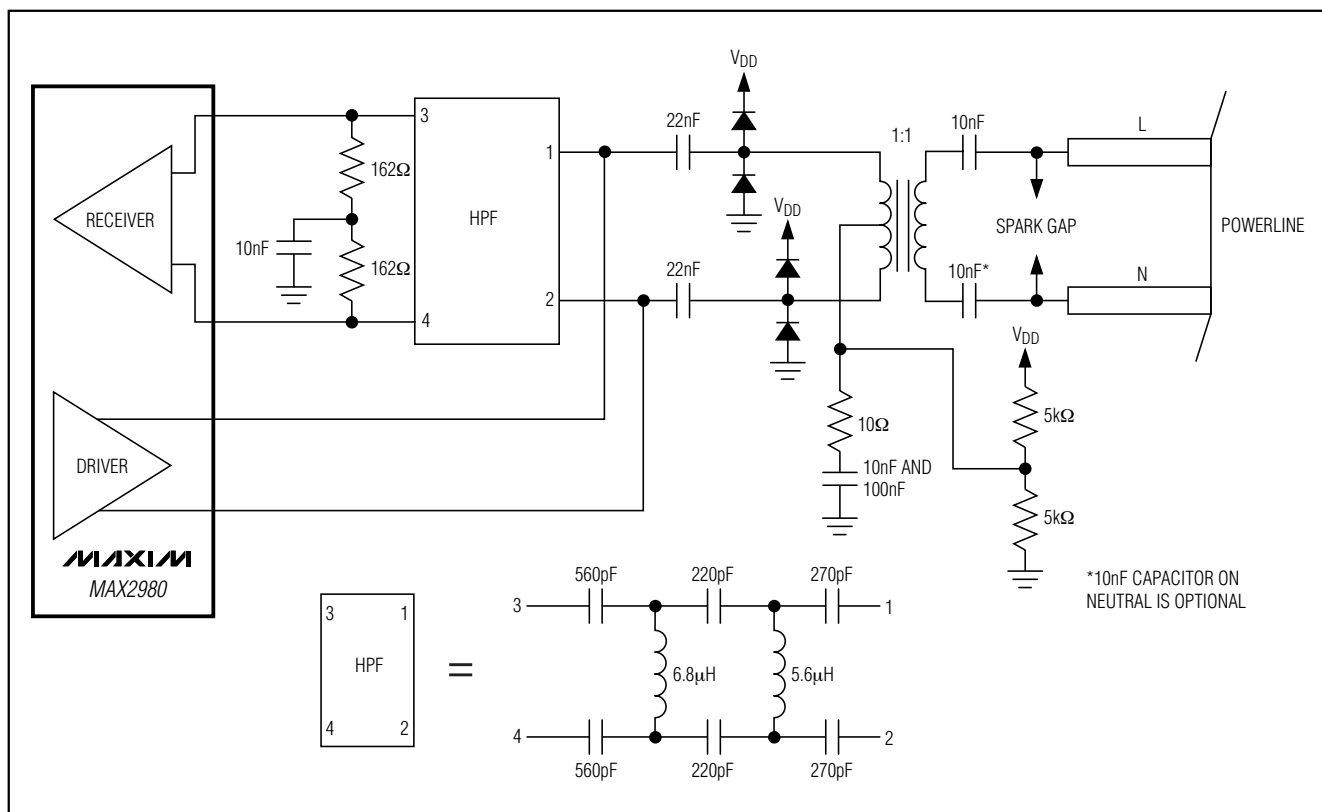


図4. MAX2980のMAX2986とのインタフェース

パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

標準動作回路



チップ情報

TRANSISTOR COUNT: 64,841

PROCESS: CMOS

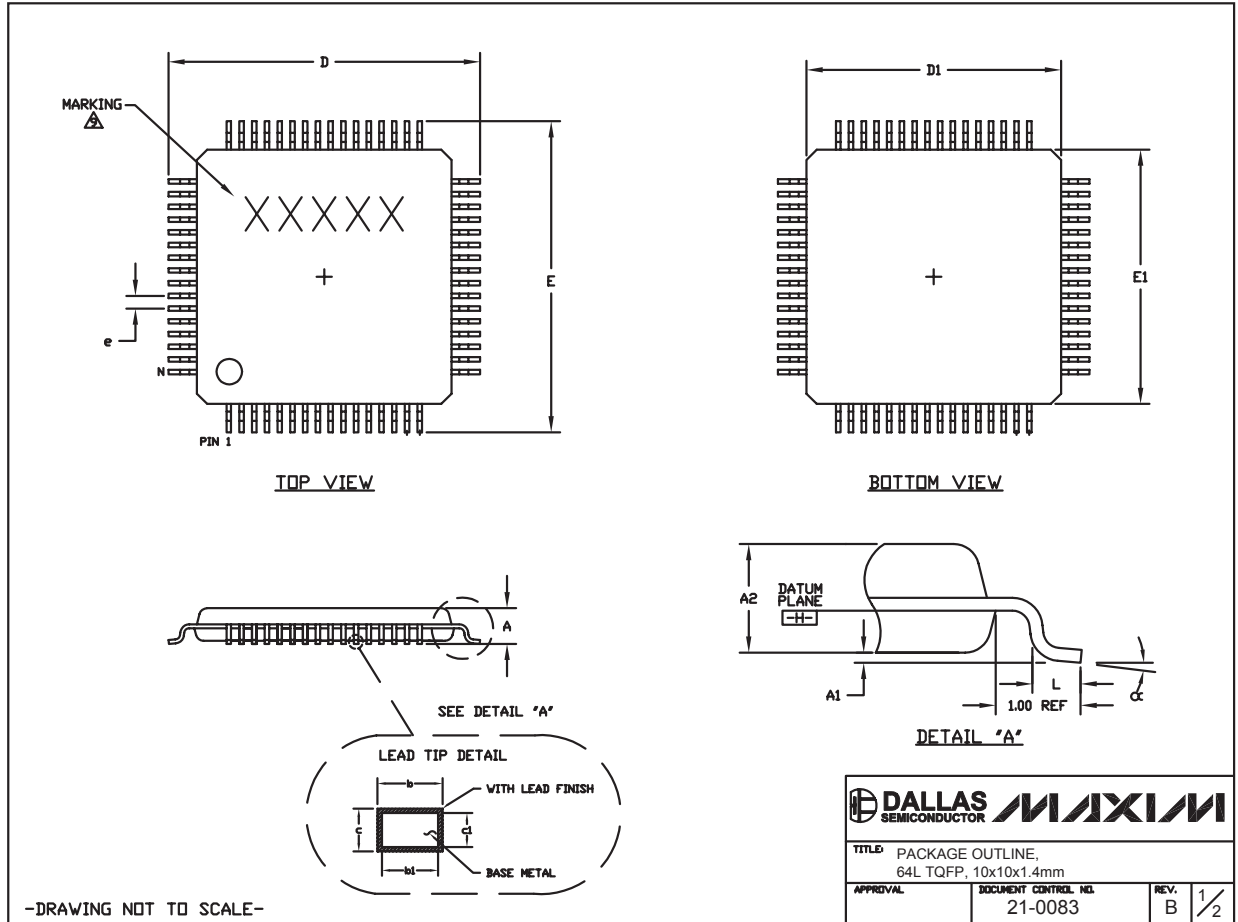
パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

64L TQFP-EPS

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



パワーライン通信アナログ フロントエンドトランシーバ

MAX2980

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE [EH] IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MS-026, VARIATION BCD.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. MARKING SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

JEDEC VARIATION		
BCD		
64 LEAD		
	MIN.	MAX.
A	---	1.60
A1	0.05	0.15
A2	1.35	1.45
D	11.80	12.20
D1	9.80	10.20
E	11.80	12.20
E1	9.80	10.20
e	0.50 BSC.	
L	0.45	0.75
b	0.17	0.27
b1	0.17	0.23
c	0.09	0.20
c1	0.09	0.16
α	0°	7°

-DRAWING NOT TO SCALE-

		
TITLE: PACKAGE OUTLINE, 64L TQFP, 10x10x1.4mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0083	REV. B 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

14 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.