

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

概要

12ビット、4.0Gsp/sデジタル-アナログコンバータ(DAC) MAX19693は、高周波数および広帯域信号の直接デジタル合成を可能にします。このDACは、広帯域通信、レーダ、および計測器の各アプリケーション向けに最適化されています。MAX19693は優れたスプリアスおよびノイズ性能を提供し、DCから2GHz近くまでの範囲の周波数レンジで広帯域信号の合成に使用することができます。4.0Gsp/sの更新レートによって、1.5GHzを超える帯域幅を持つ信号のデジタル合成が可能になっています。

MAX19693は、それぞれDDR(ダブルデータレート)またはQDR(クワッドデータレート)モードにおいて最高1GHzで動作する、4組の12ビット多重化LVDS(low-voltage differential signaling)入力ポートを備えています。このDACはクロックの立上りエッジと立下りエッジの両方で変換がトリガされるため、DACの最大レートの1/2のクロックに対応します。入力データレートはDACの更新レートの1/4(クロックレートの1/2)です。MAX19693は、FPGAまたはASICデバイスとのインタフェースを容易にするため、LVDSデータクロック出力を提供しています。

MAX19693は、最高の動特性を保証する自己較正の50Ω差動出力終端を内蔵した電流ステアリングDACです。MAX19693は3.3Vおよび1.8V電源で動作し、4.0Gsp/sでの消費電力は1180mWです。MAX19693は拡張温度範囲(-40℃~+85℃)での動作が保証されており、小型の11mm x 11mm、169ボールCSBGAパッケージで提供されます。

アプリケーション

- レーダ波形およびLO信号合成
- XバンドトランスミッタのデジタルIF生成
- 電子戦
- 任意波形ジェネレータ
- 直接デジタル合成
- 自動試験装置

特長

- ◆ 4.0Gsp/sの出力更新レート
- ◆ 業界最高の動特性
 - SFDR* = 76dBc ($f_{OUT} = 400\text{MHz}$)
 - SFDR* = 70dBc ($f_{OUT} = 800\text{MHz}$)
 - 広帯域ノイズスペクトル密度 = -164dBm/Hz
- ◆ 低電力動作
 - 770mW ($f_{DAC} = 2000\text{Msp/s}$)
 - 1180mW ($f_{DAC} = 4000\text{Msp/s}$)
- ◆ 4:1多重化LVDS入力
 - 各ポート最大1000Mwps
- ◆ 50Ω差動出力終端を内蔵
- ◆ 回路内連続性検証のための入力レジスタスキャンモード
- ◆ 小型11mm x 11mm、169ボールCSBGAパッケージ
- ◆ 評価キットを提供(型番: MAX19693EVKIT)

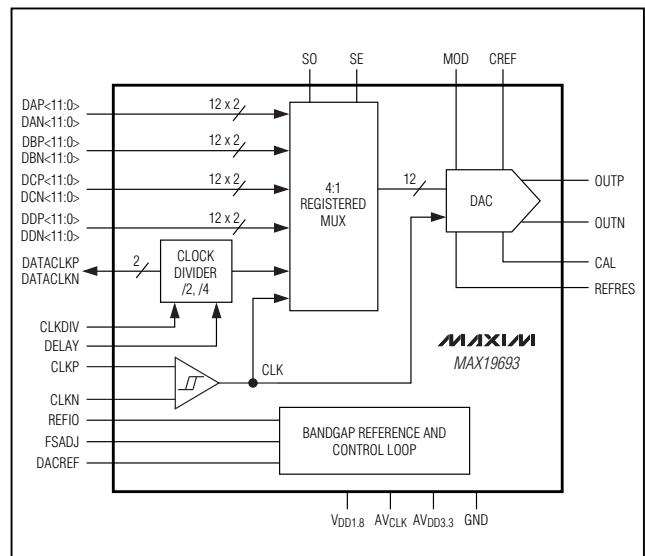
* $f_{DAC}/2$ 、 $f_{DAC}/4$ 、および $f_{DAC}/2 - f_{OUT}$ の各スパーを除く(これらは個別に仕様が規定されています)。

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX19693EXW-D	-40°C to +85°C	169 CSBGA	X16911-1

D = ドライパック。

ファンクションダイアグラム



12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

ABSOLUTE MAXIMUM RATINGS

AV _{DD3.3} to GND, DACREF	-0.3V to +3.9V	DDN0–DDN11 to GND, DACREF	-0.3V to (V _{DD1.8} + 0.3V)
V _{DD1.8} , AV _{CLK} to GND, DACREF	-0.3V to +2.1V	DATA _{CLKP} , DATA _{CLKN} to GND,	
REF _{IO} , FS _{ADJ} to GND, DACREF	-0.3V to (AV _{DD3.3} + 0.3V)	DACREF	-0.3V to (V _{DD1.8} + 0.3V)
OUT _P , OUT _N to GND, DACREF	-0.3V to (AV _{DD3.3} + 1.0V)	DATA _{CLKP} , DATA _{CLKN} , SO Continuous Current.....	8mA
SE, SO, CREF to GND, DACREF	-0.3V to (V _{DD1.8} + 0.3V)	Continuous Power Dissipation (T _A = +70°C)	
MOD, DELAY, CLK _{DIV} , REFRES,		169-Pin CSBGA (derate 33.3mW/°C above +70°C) ..	2666.7mW
CAL to GND, DACREF	-0.3V to (AV _{DD3.3} + 0.3V)	Thermal Resistance θ_{JA} (Note 1)	+18°C/W
CLK _P , CLK _N to GND, DACREF	-0.3V to (AV _{CLK} + 0.3V)	Operating Temperature Range	-40°C to +85°C
DAP0–DAP11, DBP0–DBP11,		Junction Temperature	+150°C
DCP0–DCP11 to GND, DACREF	-0.3V to (V _{DD1.8} + 0.3V)	Storage Temperature Range	-65°C to +150°C
DDP0–DDP11 to GND, DACREF	-0.3V to (V _{DD1.8} + 0.3V)		
DAN0–DAN11, DBN0–DBN11,			
DCN0–DCN11 to GND, DACREF	-0.3V to (V _{DD1.8} + 0.3V)		

Note 1: Thermal resistance based on a 4.5in x 5.5in multilayer board.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD3.3} = 3.3V, V_{DD1.8} = AV_{CLK} = 1.8V, R_{REFRES} = 500 Ω , R_{SET} = 2k Ω , V_{REFIO} = external 1.25V, V_{CAL} = 3.3V, V_{MOD} = 0V, transformer-coupled differential output, I_{OUT} = 20mA, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution				12		Bits
Integral Nonlinearity	INL	Measured differentially		± 1.2		LSB
Differential Nonlinearity	DNL	Measured differentially		± 0.8		LSB
Offset Voltage Error	OS	Measured differentially, no external load resistors	-0.5	± 0.1	+0.5	%FS
Offset Drift				± 10		ppm/°C
Full-Scale Output Current	I _{OUT}	(Note 3)	8		20	mA
Output-Current Gain Error	GE		-4		+4	%FS
Output-Voltage Gain Drift		Internal reference		-0.003		dB/°C
		External reference		-0.0025		
Maximum CW Output Power	P _{OUT}	Differential, into 50 Ω load		-2.6		dBm
Output Resistance	R _{OUT}	Differential, V _{CAL} \geq 0.7 x AV _{DD3.3} (Note 4)		50		Ω
Output Return Loss	S ₁₁	f _{OUT} = 500MHz (Note 5)		20		dB

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD3,3} = 3.3V$, $V_{DD1,8} = AV_{CLK} = 1.8V$, $R_{REFRES} = 500\Omega$, $R_{SET} = 2k\Omega$, $V_{REFIO} = \text{external } 1.25V$, $V_{CAL} = 3.3V$, $V_{MOD} = 0V$, transformer-coupled differential output, $I_{OUT} = 20mA$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (Notes 5, 6)						
Minimum Clock Rate	f_{CLK}				10	MHz
Maximum Clock Rate	f_{CLK}		2000			MHz
Minimum Output Update Rate	f_{DAC}				20	Msp/s
Maximum Output Update Rate	f_{DAC}		4000			Msp/s
Wideband Noise Spectral Density	NSD	$f_{DAC} = 2000\text{Msp/s}$, $f_{OUT} = 200\text{MHz}$, -6dBFS		-165		dBm/Hz
		$f_{DAC} = 4000\text{Msp/s}$, $f_{OUT} = 200\text{MHz}$, -6dBFS		-164		
Spurious-Free Dynamic Range over Nyquist (Note 7)	SFDR	$f_{DAC} = 1000\text{Msp/s}$	$f_{OUT} = 50\text{MHz}$, -3dBFS		76	dBc
			$f_{OUT} = 100\text{MHz}$, -3dBFS		76	
			$f_{OUT} = 200\text{MHz}$, -3dBFS		76	
			$f_{OUT} = 300\text{MHz}$, -3dBFS		76	
		$f_{DAC} = 2000\text{Msp/s}$	$f_{OUT} = 200\text{MHz}$, -3dBFS		73	
			$f_{OUT} = 400\text{MHz}$, 0dBFS	62	69	
			$f_{OUT} = 600\text{MHz}$, -3dBFS		75	
			$f_{OUT} = 800\text{MHz}$, -3dBFS		70	
		$f_{DAC} = 3000\text{Msp/s}$	$f_{OUT} = 200\text{MHz}$, -3dBFS		75	
			$f_{OUT} = 500\text{MHz}$, -3dBFS		70	
			$f_{OUT} = 900\text{MHz}$, -3dBFS		71	
			$f_{OUT} = 1200\text{MHz}$, -3dBFS		68	
		$f_{DAC} = 4000\text{Msp/s}$	$f_{OUT} = 200\text{MHz}$, -3dBFS		75	
			$f_{OUT} = 400\text{MHz}$, -6dBFS	62	69	
			$f_{OUT} = 800\text{MHz}$, -3dBFS		63	
			$f_{OUT} = 1500\text{MHz}$, -3dBFS		62	
$f_{DAC}/4$ Clock Spur		$f_{OUT} = 200\text{MHz}$, 0dBFS	$f_{DAC} = 1000\text{Msp/s}$		-87	dBm
			$f_{DAC} = 2000\text{Msp/s}$		-98	
			$f_{DAC} = 3000\text{Msp/s}$		-81	
			$f_{DAC} = 4000\text{Msp/s}$		-81	
$f_{DAC}/2$ Clock Spur		$f_{OUT} = 200\text{MHz}$, 0dBFS	$f_{DAC} = 1000\text{Msp/s}$		-57	dBm
			$f_{DAC} = 2000\text{Msp/s}$		-50	
			$f_{DAC} = 3000\text{Msp/s}$		-54	
			$f_{DAC} = 4000\text{Msp/s}$		-50	
$f_{DAC}/2 - f_{OUT}$ Spur		$f_{OUT} = 400\text{MHz}$, -6dBFS	$f_{DAC} = 1000\text{Msp/s}$		-40	dBc
			$f_{DAC} = 2000\text{Msp/s}$		-40	
			$f_{DAC} = 3000\text{Msp/s}$		-40	
			$f_{DAC} = 4000\text{Msp/s}$		-40	
Minimum Output Bandwidth	BW-3dB	(Note 8)		1500		MHz

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD3.3} = 3.3V$, $V_{DD1.8} = AV_{CLK} = 1.8V$, $R_{REFRES} = 500\Omega$, $R_{SET} = 2k\Omega$, $V_{REFIO} = \text{external } 1.25V$, $V_{CAL} = 3.3V$, $V_{MOD} = 0V$, transformer-coupled differential output, $I_{OUT} = 20mA$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Two-Tone IMD	TTIMD	$f_{DAC} = 2000\text{Msp/s}$ $f_{OUT1} = 200\text{MHz}$, -7dBFS, $f_{OUT2} =$ 210MHz, -7dBFS		-81		dBc
		$f_{DAC} = 2000\text{Msp/s}$ $f_{OUT1} = 400\text{MHz}$, -7dBFS, $f_{OUT2} =$ 410MHz, -7dBFS		-82		
		$f_{DAC} = 2000\text{Msp/s}$ $f_{OUT1} = 600\text{MHz}$, -7dBFS, $f_{OUT2} =$ 610MHz, -7dBFS		-73		
		$f_{DAC} = 4000\text{Msp/s}$ $f_{OUT1} = 800\text{MHz}$, -7dBFS, $f_{OUT2} =$ 810MHz, -7dBFS		-62		
REFERENCE						
Internal Reference Voltage Range	V_{REFIO}		1.1	1.2	1.3	V
Reference Input Compliance Range	V_{REFIOR}		0.50		1.25	V
Reference Input Resistance	R_{REFIO}			10		k Ω
Reference Voltage Drift	TC_{OREF}			-50		ppm/ $^\circ C$
ANALOG OUTPUT TIMING (Note 9)						
Output Fall Time	t_{FALL}	90% to 10%		270		ps
Output Rise Time	t_{RISE}	10% to 90%		270		ps
Settling Time	t_s	Settling to 0.1%		3.5		ns
		Settling to 0.025%		4.5		
Output Propagation Delay	t_{PD}			1.3		ns
TIMING CHARACTERISTICS (Note 10)						
Data-to-Clock Setup Time	t_{SETUP}	Referenced to rising edge of data clock	1.41			ns
Data-to-Clock Hold Time	t_{HOLD}	Referenced to rising edge of data clock	-0.88			ns
LVDS LOGIC INPUTS (DAP11–DAP0, DAN11–DAN0, DBP11–DBP0, DBN11–DBN0, DCP11–DCP0, DCN11–DCN0, DDP11–DDP0, DDN11–DDN0)						
Differential Input Logic-High	V_{IH}		100			mV
Differential Input Logic-Low	V_{IL}				-100	mV
Common-Mode Voltage Range	V_{COM}		1.125		1.375	V
Differential Input Resistance	R_{IN}		85		130	Ω
Input Capacitance	C_{IN}			1.5		pF

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

ELECTRICAL CHARACTERISTICS (continued)

(AVDD3.3 = 3.3V, VDD1.8 = AVCLK = 1.8V, RREFRES = 500Ω, RSET = 2kΩ, VREFIO = external 1.25V, V_{CAL} = 3.3V, V_{MOD} = 0V, transformer-coupled differential output, I_{OUT} = 20mA, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
3.3V CMOS LOGIC INPUTS (CLKDIV, DELAY, MOD)						
Input Logic-High	V _{IH3.3}		0.7 x AVDD3.3			V
Input Logic-Low	V _{IL3.3}			0.3 x AVDD3.3		V
Input Leakage Current	I _{IN3.3}		-5		+5	μA
Input Capacitance	C _{IN3.3}			3		pF
1.8V CMOS LOGIC INPUT (SE)						
Input Logic-High	V _{IH1.8}		0.7 x VDD1.8			V
Input Logic-Low	V _{IL1.8}			0.3 x VDD1.8		V
Input Leakage Current	I _{IN1.8}		-5		+5	μA
Input Capacitance	C _{IN1.8}			3		pF
1.8V CMOS LOGIC OUTPUT (SO)						
Output Logic-High	V _{OH1.8}	I _{SOURCE} = 100μA	0.7 x VDD1.8			V
Output Logic-Low	V _{OL1.8}	I _{SINK} = 100μA		0.3 x VDD1.8		V
CLOCK INPUTS (CLKP, CLKN)						
Minimum Clock Input Power (Note 11)	P _{CLK}	f _{DAC} ≤ 3Gsp/s	0			dBm
		f _{DAC} > 3Gsp/s	9			
Maximum Clock Input Power	P _{CLK}	(Note 11)	15			dBm
Common-Mode Voltage Range	V _{COMCLK}		0.55	AVCLK/3	0.65	V
Input Resistance	R _{CLK}	Differential	100			Ω
Input Capacitance	C _{CLK}		2			pF
DATA CLOCK OUTPUTS (DATACLKP, DATACLKN)						
Differential Output	V _{DCLK}	With 100Ω differential termination	±0.25	±0.35	±0.45	V
Output Rise and Fall Time	t _R , t _F	With 100Ω differential termination	0.5			ns
Common-Mode Voltage Range	V _{COM}		1.125	1.25	1.375	V

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD3.3} = 3.3V$, $V_{DD1.8} = AV_{CLK} = 1.8V$, $R_{REFRES} = 500\Omega$, $R_{SET} = 2k\Omega$, $V_{REFIO} = \text{external } 1.25V$, $V_{CAL} = 3.3V$, $V_{MOD} = 0V$, transformer-coupled differential output, $I_{OUT} = 20mA$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Analog Supply Voltage Range	$AV_{DD3.3}$		3.1	3.3	3.5	V
1.8V Supply Voltage Range	$V_{DD1.8}$		1.7	1.8	1.9	V
Clock Supply Voltage Range	AV_{CLK}		1.7	1.8	1.9	V
Analog Supply Current	$I_{AVDD3.3}$	$f_{DAC} = 2000Msp/s$ $f_{DAC} = 4000Msp/s$		106		mA
1.8V Supply Current	$I_{VDD1.8}$	$f_{DAC} = 2000Msp/s$ $f_{DAC} = 4000Msp/s$		74		
Clock Supply Current	I_{AVCLK}	$f_{DAC} = 2000Msp/s$ $f_{DAC} = 4000Msp/s$		157		mA
Power Dissipation	P_{DISS}	$f_{DAC} = 2000Msp/s$ $f_{DAC} = 4000Msp/s$		770		
				1180	1435	

Note 2: All specifications are 100% tested at $T_A \geq +25^\circ C$. Specifications at $T_A < +25^\circ C$ are guaranteed by design and characterization.

Note 3: Nominal full-scale current $I_{OUT} = 32 \times I_{REF}$.

Note 4: R_{OUT} can be set to 50Ω as described in the *Output Resistor Calibration* section.

Note 5: Transformer-coupled output (Figure 13, $V_{CAL} \geq 0.7 \times AV_{DD3.3}$).

Note 6: CLK input = +10dBm, AC-coupled sine wave.

Note 7: Excludes $f_{DAC}/2$, $f_{DAC}/4$, and $f_{DAC}/2 - f_{OUT}$ spurs, which are specified separately.

Note 8: Excludes sinc rolloff inherent in the DAC. Measured single-ended into 50Ω termination.

Note 9: Measured differentially into a 50Ω termination resistor.

Note 10: Guaranteed by design and characterization.

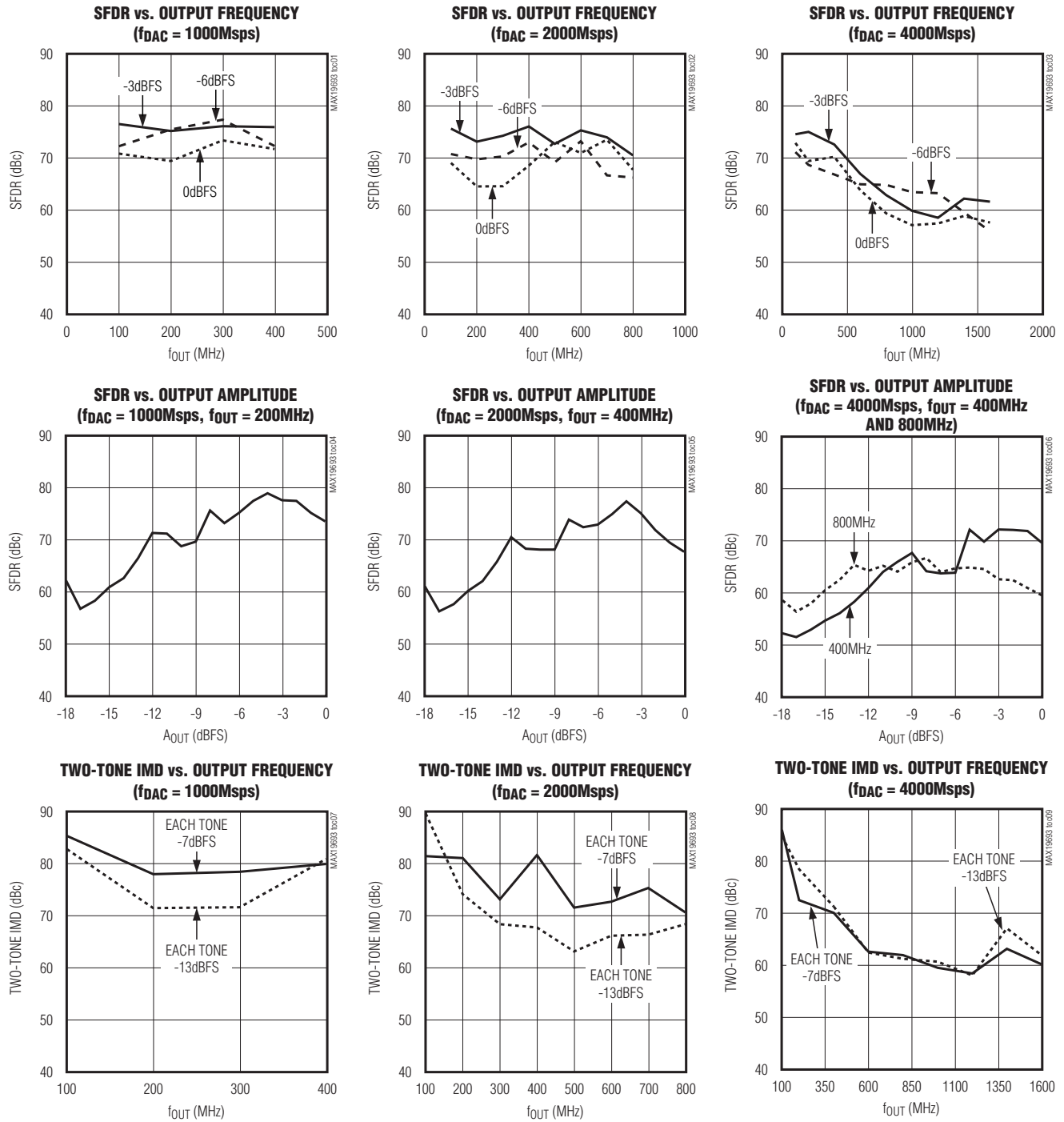
Note 11: Transformer-coupled clock input (Figure 5).

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

標準動作特性

($V_{DD3.3} = 3.3V$, $V_{DD1.8} = AV_{CLK} = 1.8V$, $R_{REFRES} = 510\Omega$, $R_{SET} = 2k\Omega$, $P_{CLK} = +10dBm$, $V_{REFIO} = \text{external } 1.25V$, $V_{CAL} = 3.3V$, $V_{MOD} = 0V$, transformer-coupled differential output (Figure 13), $I_{OUT} = 20mA$, $T_A = +25^\circ C$, unless otherwise noted.)



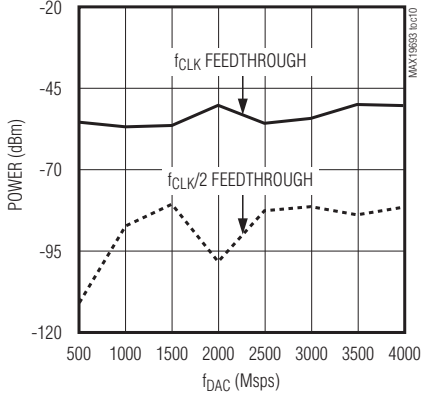
12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

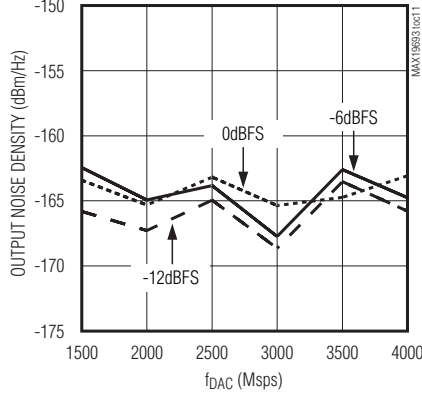
標準動作特性(続き)

(AVDD3.3 = 3.3V, VDD1.8 = AVCLK = 1.8V, RREFRES = 510Ω, RSET = 2kΩ, PCLK = +10dBm, VREFIO = external 1.25V, V_{CAL} = 3.3V, V_{MOD} = 0V, transformer-coupled differential output (Figure 13), I_{OUT} = 20mA, T_A = +25°C, unless otherwise noted.)

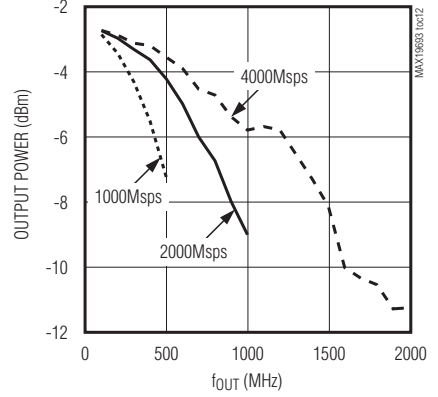
CLOCK FEEDTHROUGH vs. DAC UPDATE RATE
(f_{OUT} = 200MHz, A_{OUT} = 0dBFS)



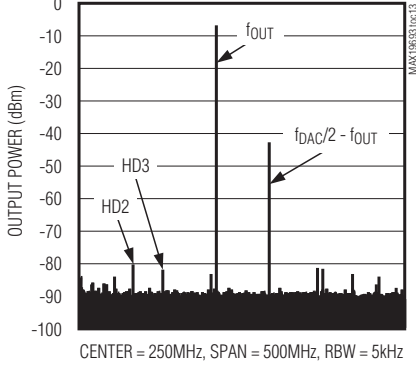
OUTPUT NOISE DENSITY vs. DAC UPDATE RATE
(f_{OUT} = 200MHz)



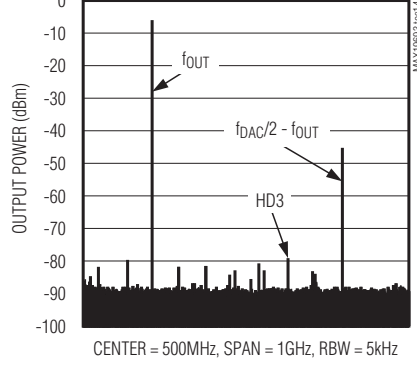
OUTPUT POWER vs. OUTPUT FREQUENCY
(A_{OUT} = 0dBFS)



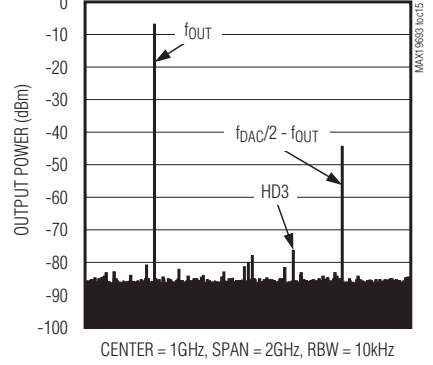
SFDR SPECTRAL PLOT
(f_{DAC} = 1000Msp/s, f_{OUT} = 209MHz, A_{OUT} = -3dBFS)



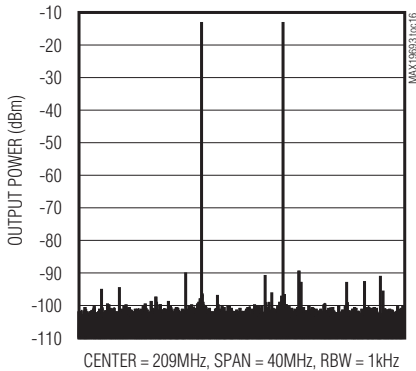
SFDR SPECTRAL PLOT
(f_{DAC} = 2000Msp/s, f_{OUT} = 209MHz, A_{OUT} = -3dBFS)



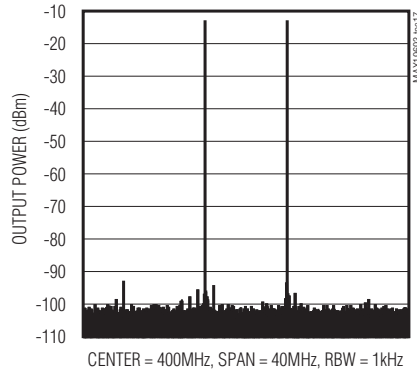
SFDR SPECTRAL PLOT
(f_{DAC} = 4000Msp/s, f_{OUT} = 425MHz, A_{OUT} = -3dBFS)



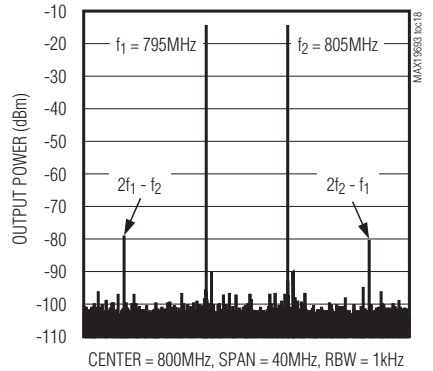
TWO-TONE IMD SPECTRAL PLOT
(f_{DAC} = 1000Msp/s, f₁ = 204MHz AND f₂ = 214MHz, A_{OUT} = -3dBFS)



TWO-TONE IMD SPECTRAL PLOT
(f_{DAC} = 2000Msp/s, f₁ = 395MHz AND f₂ = 405MHz, A_{OUT} = -3dBFS)



TWO-TONE IMD SPECTRAL PLOT
(f_{DAC} = 4000Msp/s, f₁ = 795MHz AND f₂ = 805MHz, A_{OUT} = -3dBFS)

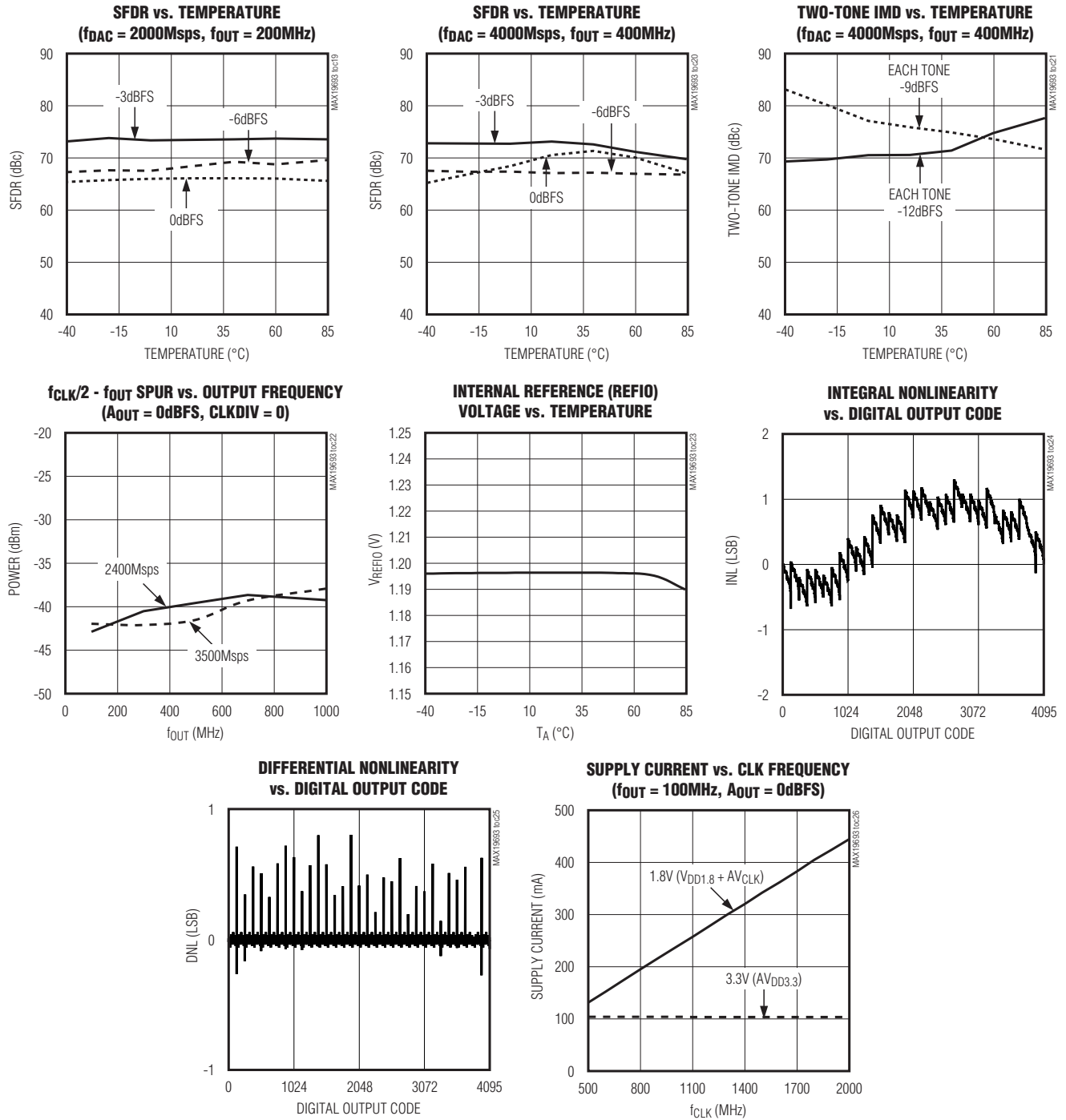


12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

標準動作特性(続き)

($V_{DD3.3} = 3.3V$, $V_{DD1.8} = AV_{CLK} = 1.8V$, $R_{REFRES} = 510\Omega$, $R_{SET} = 2k\Omega$, $P_{CLK} = +10dBm$, $V_{REFIO} = \text{external } 1.25V$, $V_{CAL} = 3.3V$, $V_{MOD} = 0V$, transformer-coupled differential output (Figure 13), $I_{OUT} = 20mA$, $T_A = +25^\circ C$, unless otherwise noted.)



12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

端子説明

端子	名称	機能
A1	REFIO	リファレンス入出力。内部1.2Vバンドギャップリファレンス出力。REFIOは10kΩの直列抵抗を備えており、外部リファレンスを使用して駆動することができます。REFIOとDACREFの間に1μFのコンデンサを接続してください。
A2	FSADJ	フルスケール調節入力。DACのフルスケール出力電流を設定します。内部リファレンスを使用して20mAのフルスケール出力電流を得るためには、FSADJとDACREFの間に1.92kΩの抵抗を接続してください。
A3	DACREF	電流設定抵抗のリターンパス。内部リファレンスを使用して20mAのフルスケール出力電流を得るためには、FSADJとDACREFの間に1.92kΩの抵抗を接続してください。DACREFは内部でAGNDに接続されています。 DACREFを外部のグラウンドに接続しないでください。
A4, A5, A7, A9	AV _{DD3.3}	アナログ3.3V電源電圧。3.1V~3.5Vの範囲の電源電圧に対応します。各AV _{DD3.3} 端子とGNDの間に0.047μFのバイパスコンデンサを接続してください。
A6	OUTP	差動DAC出力の正端子。較正済みの25Ωの内蔵抵抗でOUTPとAV _{DD3.3} が接続されています。
A8	OUTN	差動DAC出力の負端子。較正済みの25Ωの内蔵抵抗でOUTNとAV _{DD3.3} が接続されています。
A10, B10, C2, C3, C10, E1-E4, E10-E13, F13	V _{DD1.8}	アナログ1.8V電源電圧。1.7V~1.9Vの範囲の電源電圧に対応します。各V _{DD1.8} 端子とGNDの間に0.047μFのバイパスコンデンサを接続してください。
A11, A13, B5-B9, B11, C4-C9, C11, D1-D11, D13, E5-E9, G13	GND	グラウンド。インダクタンスを最小限に抑えてGNDをグラウンドプレーンに接続してください。
A12, B12, C12, D12	AV _{CLK}	クロック1.8V電源電圧。1.7V~1.9Vの範囲の電源電圧に対応します。各AV _{CLK} 端子とGNDの間に0.047μFのバイパスコンデンサを接続してください。
B1	CREF	ノイズバイパス端子。CREFとDACREFの間に1μFのコンデンサを接続することで、位相ノイズを帯域制限します。
B2	REFRES	較正リファレンス抵抗入力。REFRESとAV _{DD3.3} の間に510Ωの抵抗を接続してください。内部のアナログ出力抵抗がこの外付け抵抗に合わせて較正されます。
B3	N.C.	接続なし。 未接続のままにするか、グラウンドに接続してください。
B4	MOD	f _{DAC} /2 (f _{CLK})変調制御入力。 MOD = 1 : 変調オン MOD = 0 : 変調オフ MODは内部プルダウン抵抗を備えた3.3VのCMOS入力です。
C13	CLKP	コンバータクロック正入力。内部の100Ω終端抵抗でCLKPとCLKNが接続されています。
B13	CLKN	コンバータクロック負入力。内部の100Ω終端抵抗でCLKPとCLKNが接続されています。
C1	CAL	DAC出力抵抗値較正入力。 CALの立上りエッジによって内部出力抵抗の較正が開始されます。 CAL = 1 : 出力抵抗の較正をホールド CAL = 0 : 出力抵抗の較正なし CALは内部プルダウン抵抗を備えた3.3VのCMOS入力です。較正および較正のホールドを行うためには、クロックが動作している必要があります。漏れ電流は±5μA未満です。

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

端子説明(続き)

端子	名称	機能
F6-F3, F1, F2, H6-H1	DAP11-DAP0	Aチャンネルの正のLVDSデータ入力。DAP11がMSBです。入力コードはオフセットバイナリ形式です。
G6-G3, G1, G2, J6-J1	DAN11-DAN0	Aチャンネルの負のLVDSデータ入力
K1-K4, M1-M4, K5, M5, K6, M6	DBP11-DBP0	Bチャンネルの正のLVDSデータ入力。DBP11がMSBです。入力コードはオフセットバイナリ形式です。
L1-L4, N1-N4, L5, N5, L6, N6	DBN11-DBN0	Bチャンネルの負のLVDSデータ入力
M7, K7, M8, K8, M9-M12, K9, K10, K11, L12	DCP11-DCP0	Cチャンネルの正のLVDSデータ入力。DCP11がMSBです。入力コードはオフセットバイナリ形式です。
N7, L7, N8, L8, N9-N12, L9, L10, L11, K12	DCN11-DCN0	Cチャンネルの負のLVDSデータ入力
G7, J7, J12-J8, G12-G8	DDP11-DDP0	Dチャンネルの正のLVDSデータ入力。DDP11がMSBです。入力コードはオフセットバイナリ形式です。
F7, H7, H12-H8, F12-F8	DDN11-DDN0	Dチャンネルの負のLVDSデータ入力
J13	DATACLKP	LVDSデータクロックの正の出力
H13	DATACLKN	LVDSデータクロックの負の出力
K13	DELAY	データクロック遅延モード入力。 出力データクロックの遅延を調節します。 DELAY = 0 : 遅延の付加なし DELAY = 1 : 入力データ時間(1 DACクロックサイクル)の1/2の遅延を付加 DELAYは内部プルダウン抵抗を備えた3.3VのCMOS入力です。
L13	CLKDIV	データクロック分周モード入力。 CLKDIV = 1 : (DDRモード) データクロックレート = 入力データレート/2 ($f_{CLK}/4$) CLKDIV = 0 : (QDRモード) データクロックレート = 入力データレート/4 ($f_{CLK}/8$) CLKDIVは内部プルダウン抵抗を備えた3.3VのCMOS入力です。
M13	SE	スキャンイネーブル入力。SEは1.8VのCMOSロジック入力です。通常動作時、SEは内部でGNDに接続されています。SEがハイ(1.8V)の場合、パラレル入力レジスタがシフトレジスタとして構成され、入力レジスタの内容がスキャン出力(SO)にシフトアウトされます。
N13	SO	スキャン出力。SOは1.8VのCMOSロジック出力であり、スキャンイネーブル(SE)がハイのときアクティブになります。

12ビット、4.0Gspss高ダイナミック性能 広帯域DAC

MAX19693

詳細

MAX19693は、50Ωの差動出力終端を内蔵した、高性能、高速、12ビット電流ステアリングDACです。このDACは、最高2.0GHzのクロックレート(f_{CLK})で動作可能です。出力はクロックの立上りエッジと立下りエッジの両方でラッチされるため、2.0GHzのクロックによってDACの更新レート(f_{DAC})は4.0Gspssになります。

このコンバータは、エッジトリガの4:1入力データマルチプレクサと、その後続く電流ステアリング回路で構成されています。この回路は、8mA~20mAの差動フルスケール電流を生成することができます。各出力に内蔵された25Ωの抵抗と、外部の終端との組み合わせによって、その差動電流が電圧に変換されます。内部の抵抗は、3.3Vアナログ電源($AV_{DD3.3}$)に対して終端されています。内蔵の終端抵抗は、外付けの510Ω高精度抵抗に対して校正することが可能です。校正サイクルは、コンバータが起動すること、またはクロックが動作している限りその他の任意の時点で実行することが可能です。内蔵の1.2Vバンドギャップリファレンス、制御アンプ、およびユーザ選択可能な外付け抵抗によって、データコンバータのフルスケールレンジが決まります。

リファレンス入出力

MAX19693は、チップ上に搭載された1.2Vバンドギャップリファレンスまたは外部のリファレンス電圧ソースによる動作をサポートしています。REFIOは、外部のローインピーダンスソース用の入力として、また、DACが内部リファレンスで動作している場合は出力として機能します。内部リファレンスで安定動作させるためには、REFIOとDACREFを1μFのコンデンサでデカップリングしてください。REFIOは10kΩの直列抵抗を備えているため、REFIOを外付けのアンプでバッファリングして外部の負荷を駆動してください。

MAX19693のリファレンス回路(図1)は、DACの差動電流出力のフルスケール電流(I_{OUT})を安定化するように設計された制御アンプを使用しています。出力電流は次式で計算することができます。

$$I_{OUT} = 32 \times I_{REF} \times 4095/4096$$

ここで、 I_{REF} はリファレンス出力電流($I_{REF} = V_{REFIO}/R_{SET}$)、 I_{OUT} はDACのフルスケール出力電流です。内部リファレンスを使用する場合、FSADJとDACREFの間に位置する R_{SET} は標準で1.92kΩに設定され、その結果フルスケール電流が20mA、CW信号の最大出力電力は-2.6dBmになります。一般に、DACの動特性は、フルスケール電流が増大するほど向上します。

利得調節/レベル制御を目的として、外部からリファレンス電圧を印加してREFIOを駆動することが可能です。図1の制御アンプの帯域幅は標準で100kHz未満であり、REFIOの入力抵抗は10kΩです。

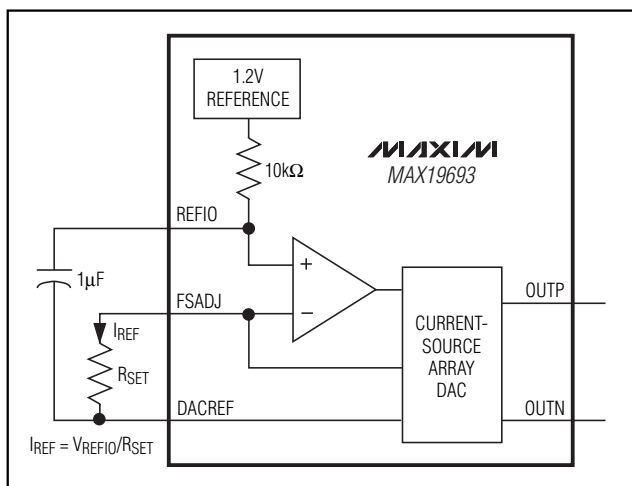


図1. リファレンスアーキテクチャ、内部リファレンス構成

アナログ出力

MAX19693は、最高の性能を実現するための自己較正の出力終端抵抗を内蔵した差動電流ステアリングDACです。出力は $AV_{DD3.3}$ に終端され、50Ωの差動出力抵抗を提供するように較正されます。信号電流に加えて、10mAの定電流シンクが各DAC出力に接続されます。一般的に、出力は50Ωのバランストランスと組み合わせて使用します。トランスがセンタタップを備えている場合、センタタップを $AV_{DD3.3}$ に接続することが推奨されます。トランスがセンタタップを備えていない場合、図13に示すように、インダクタを使用して出力をプルアップすることができます。図2に、MAX19693の内部出力構造の等価回路を示します。

12ビット、4.0Gbps高ダイナミック性能 広帯域DAC

MAX19693

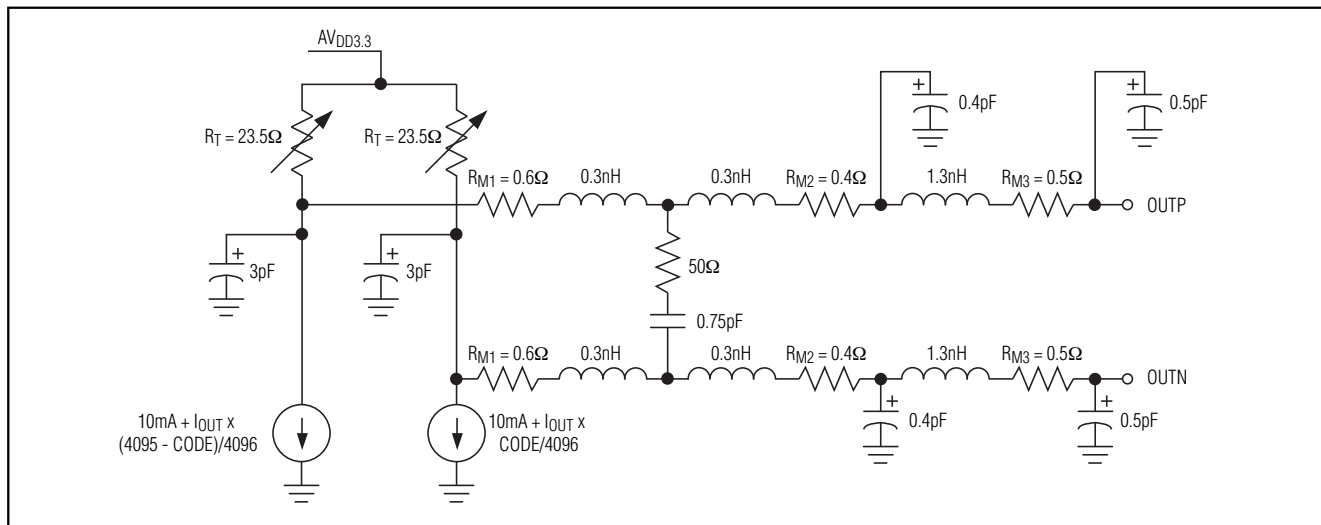


図2. 等価出力回路

出力終端抵抗(R_T)は23.5Ωに較正されます。 R_M ($R_{M1} + R_{M2} + R_{M3}$)はDACの出力トレースおよびボンドワイヤの抵抗値であり、較正されません。出力抵抗値は $2R_T + 2R_M$ に等しく、公称50Ωです。MAX19693は、通常は外部の差動50Ω負荷(R_L)と組み合わせて使用されます。この場合、ピーク差動出力電圧は次式で計算されます。

$$V_{OUT} = I_{OUT} \times R_L \times R_T / (R_L + 2R_M + 2R_T)$$

ここで、 I_{OUT} はフルスケール電流であり、一般的には20mAに設定されます。 $R_L = 50\Omega$ 、 $R_T = 23.5\Omega$ 、 $R_M = 1.5\Omega$ の場合、 V_{OUT} は0.235Vになります。これは、-2.6dBmの出力電力に相当します。図2に示すように、出力回路には若干の抵抗性、容量性、および誘導性素子が存在します。これらの素子によって、抵抗性差動負荷50Ωで出力帯域幅が1.5GHzに制限されます。

出力抵抗の較正

内蔵の終端抵抗(R_T)は正確に、既知のDAC出力抵抗値および電圧になるように較正する必要があります。終端抵抗は、REFRESとAVDD3.3の間に接続した外付けリファレンス抵抗(R_{REFRES})に合わせて較正されます。 R_{REFRES} は通常は500Ωです。DACの出力抵抗値と R_{REFRES} の標準的な関係を表すグラフを図3に示します。

較正サイクルは、CALの立上りエッジで開始されます。クロックが動作している間は、電源電圧およびリファレンス電圧が安定状態に達した後にCALをアサートしてハイに維持する必要があります。較正の実行中は、入力データをスイッチングさせないでください。較正サイクルの時間は、65,536 DACクロックサイクルより短くなります(2GHzのクロックレートでコンバータを動作させた場合32.8μs未満)。出力抵抗を較正された状態に保つには、CALをハイに維持する必要があります。クロックが停止した場合、または電源がオフ/オンされた場合は、新しい更新サイクルを実行する必要があります。

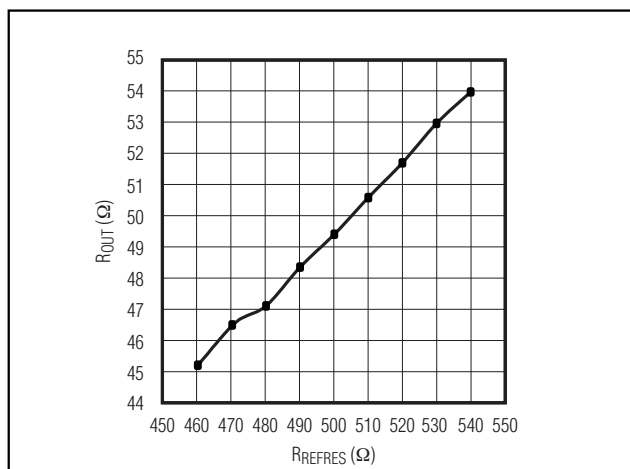


図3. 出力抵抗値とREFRES抵抗の関係

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

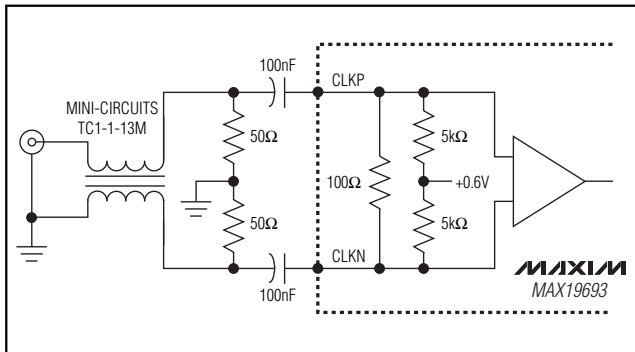


図4. 標準的なクロックアプリケーション回路

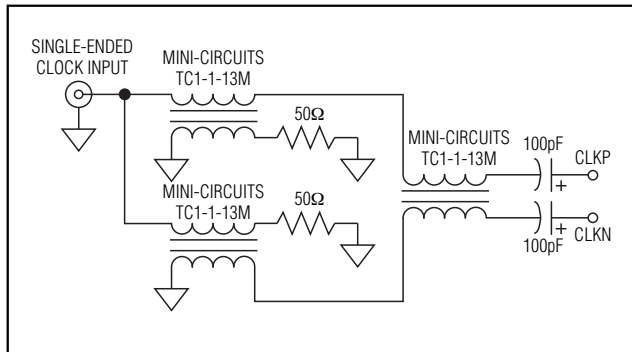


図5. 対称性を改善したクロックアプリケーション回路

クロック入力

MAX19693は、可能な限り最高のジッタ特性を実現するために独立した電源(AV_{CLK})で動作する、柔軟な差動クロック入力(CLKP、CLKN)を備えています。2個のクロック入力を、シングルエンドまたは差動のクロックソースで駆動することができます。正弦波または方形波が使用可能です。シングルエンド動作の場合、CLKPをロジックソースで駆動し、0.1 μ FのコンデンサでCLKNをGNDにバイパスしてください。

最高のジッタ特性を実現するためには、クロックを差動で駆動することが推奨されます。ジッタを最小限に抑えるため、(CLKNおよびCLKPのクロック電圧がグランドより300mV以上低くならず、また AV_{CLK} 電源電圧を上回らない範囲で)可能な限り大きなクロックの振幅を選択してください。図4または5の回路を使用する、ACカップリングされた差動の正弦波クロックの場合、クロック電力が15dBmを超えないようにしてください。

MAX19693は、3Gsp/sより下では最小0.6V_{p-p} (0dBm)の正弦波クロック振幅で使用することができます。これより高い更新レートの場合、最高のノイズ性能を実現するため10dBm~12dBmの範囲のクロック振幅が推奨されます。CLKPおよびCLKNは抵抗を使用して内部で

0.6Vにバイアスされています。これによって、DCレベルを定義する外付けの抵抗なしでクロックソースをデバイスにじかにACカップリングすることが可能になっています。

100 Ω の内蔵終端抵抗によって、CLKPとCLKNが接続されています。50 Ω のクロックソースを使用する場合は、100 Ω の外付け終端抵抗を追加してください。シングルエンドのソースおよび広帯域トランスで生成した差動信号を印加する便利な方法については、図4をご覧ください。

図4のクロック回路は、3Gsp/sより高い更新レートではトランスの損失が原因で振幅が非対称になり、それが原因で2GHzに近いクロックレートにおいてクロックのデューティサイクルが50%からずれる可能性があります。それによって、 $f_{DAC}/2 - f_{OUT}$ のイメージスペアが数デシベル(dB)大きくなる可能性があります。図5は、3個のバラントランスを使用して対称性を改善したクロックインタフェース回路を示しています。このクロックインタフェース回路は、MAX19693の最大更新レートまでの周波数について、対称で均整の取れたクロック信号を供給します。クロック入力の等価回路モデルを図6に示します。

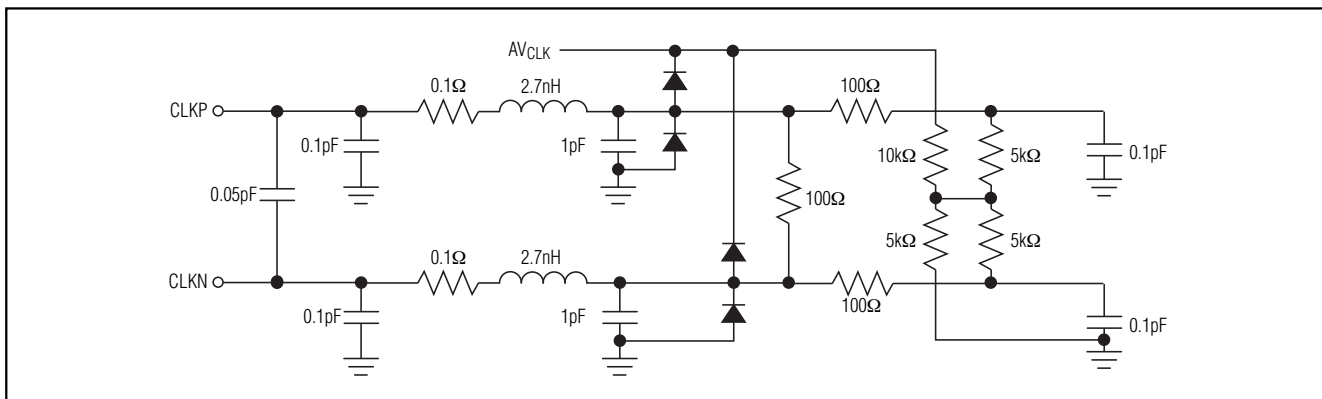


図6. クロック入力の等価回路

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

クロックのデューティサイクル

DACの出力は、クロックの立上りエッジと立下りエッジの両方で更新されます。できる限り50%に近いデューティサイクルのクロックを使用してください。ACカップリングされた正弦波クロックを使用する場合は、クロックのデューティサイクルは自動的に50%に近くなります。

均整の取れたデューティサイクルからのずれは、出力スペクトル中のイメージに寄与します。イメージの大きさは、理想的な50%のデューティサイクルからのずれの大きさに依存します。このアーチファクトは、次の周波数で発生します。

$$f_{\text{IMAGE}} = \frac{f_{\text{DAC}}}{2} \pm f_{\text{OUT}}$$

両方のエッジでDAC出力の更新が行われることによるもう一つのアーチファクトは、クロック周波数(すなわちDACの更新レートの1/2)におけるスパークの生成です。このスパークは、デューティサイクルとは無関係であることに注意してください。

$$f_{\text{SPUR}} = \frac{f_{\text{DAC}}}{2}$$

$f_{\text{DAC}}/2$ 変調(MOD)

MAX19693のMOD入力(B4端子)は、ロジック1に設定した場合、図7に示す $f_{\text{DAC}}/2$ (すなわち f_{CLK})の変調を提供します。MODは3.3VのCMOSロジック入力端子です。MODを論理ハイに設定すると、ポートBおよびDのデータがMAX19693の内部で反転されます。

MOD機能を使用することで、一部の高周波数信号を合成する場合のIMDが改善されます。MOD機能を使用するには、MODに論理ハイをセットして、ポートBおよびDのデータを反転してください。

データ入力

データ入力(DAP[11:0]、DAN[11:0]、DBP[11:0]、DBN[11:0]、DCP[11:0]、DCN[11:0]、DDP[11:0]、DDN[11:0])は、LVDSレシーバの後にエッジトリガのフリップフロップが続いたものです。4系統の12ビットバスが、オフセットバイナリ形式でデータを受け取ります。LVDS入力は、差動100Ωの終端抵抗をチップ上に備えています。これらの入力には、標準のLVDS差動スイングを保つ1.25Vのコモンモードレベルを印加することができます。LVDS入力の等価回路については、図8をご覧ください。

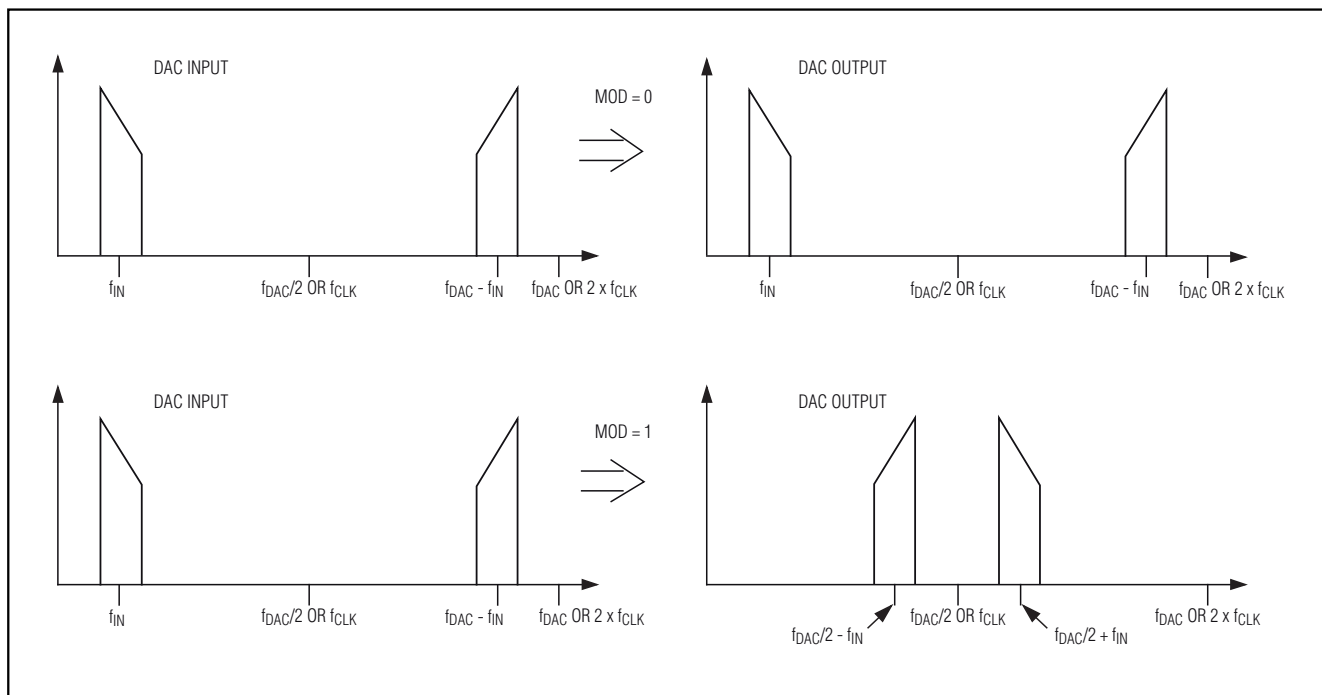


図7. MOD入力を使用した $f_{\text{DAC}}/2$ の変調

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

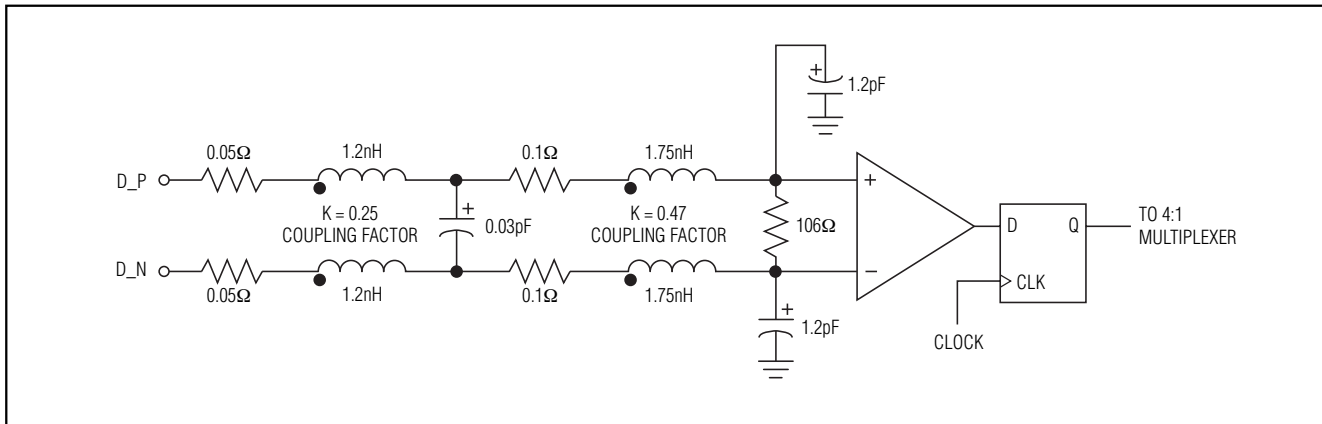


図8. LVDS入力の等価回路

データタイミングの関連性

LVDS入力のタイミングは、LVDS出力DATACLK (DATACLKP、DATACLKN)との関係で定義されます。LVDSデータ入力は、入力クロック周波数の1/2のタイミングでラッチされます。DATACLKの出力周波数は、さらにもう1つの係数4 (CLKDIV = 0)または2 (CLKDIV = 1)で分周されます。

DATACLKの0°ポイントを立上りエッジと定義します。

CLKDIV = 1の場合、DATACLKの0°および180°でデータがラッチされ、これらの時点についてセットアップ時間およびホールド時間が満足される必要があります。

CLKDIV = 0の場合、DATACLKの0°、90°、180°、および270°でデータがラッチされます。これら4つの時点のすべてについて、セットアップ時間およびホールド時間が満足される必要があります。

図9に示すように、DELAY入力によって、入力データ時間の1/2だけDATACLKをスキューすることが可能です。これによって、LVDS出力のクロックからQへの遅延を調節することができない場合に、FPGAとのインタフェースが容易になります。データ入力レジスタを駆動するクロックは、DELAYによって遅延されません。セットアップ時間およびホールド時間は、常にDELAY = 0の場合が基準になります。データタイミングの関連性を図10に示します。

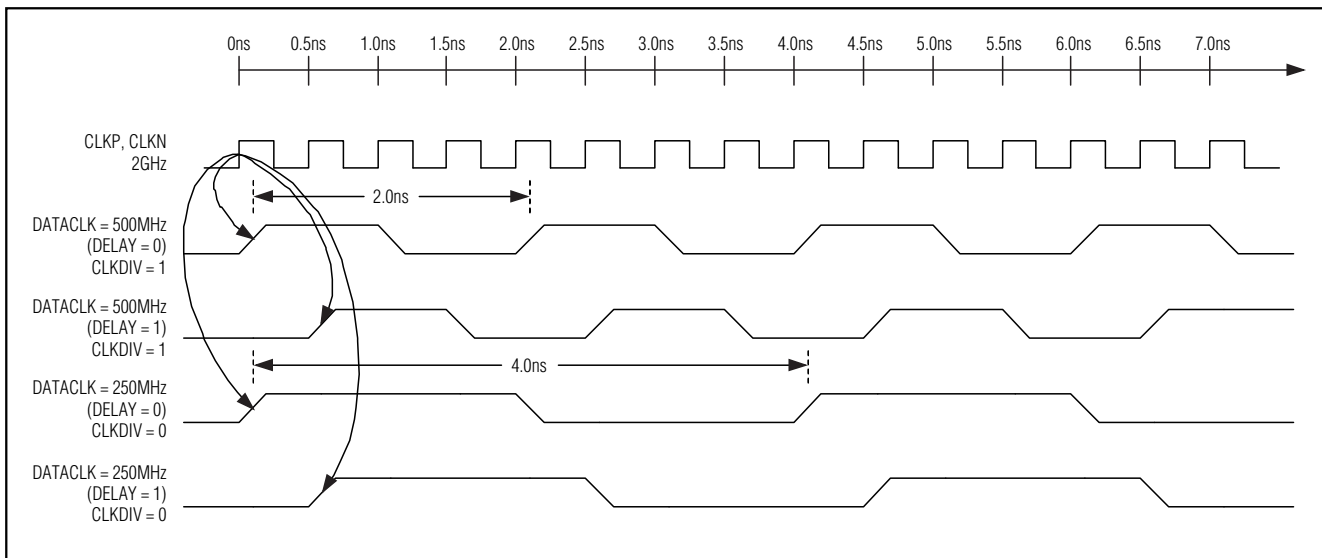


図9. DELAY入力がデータクロック出力に及ぼす効果

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

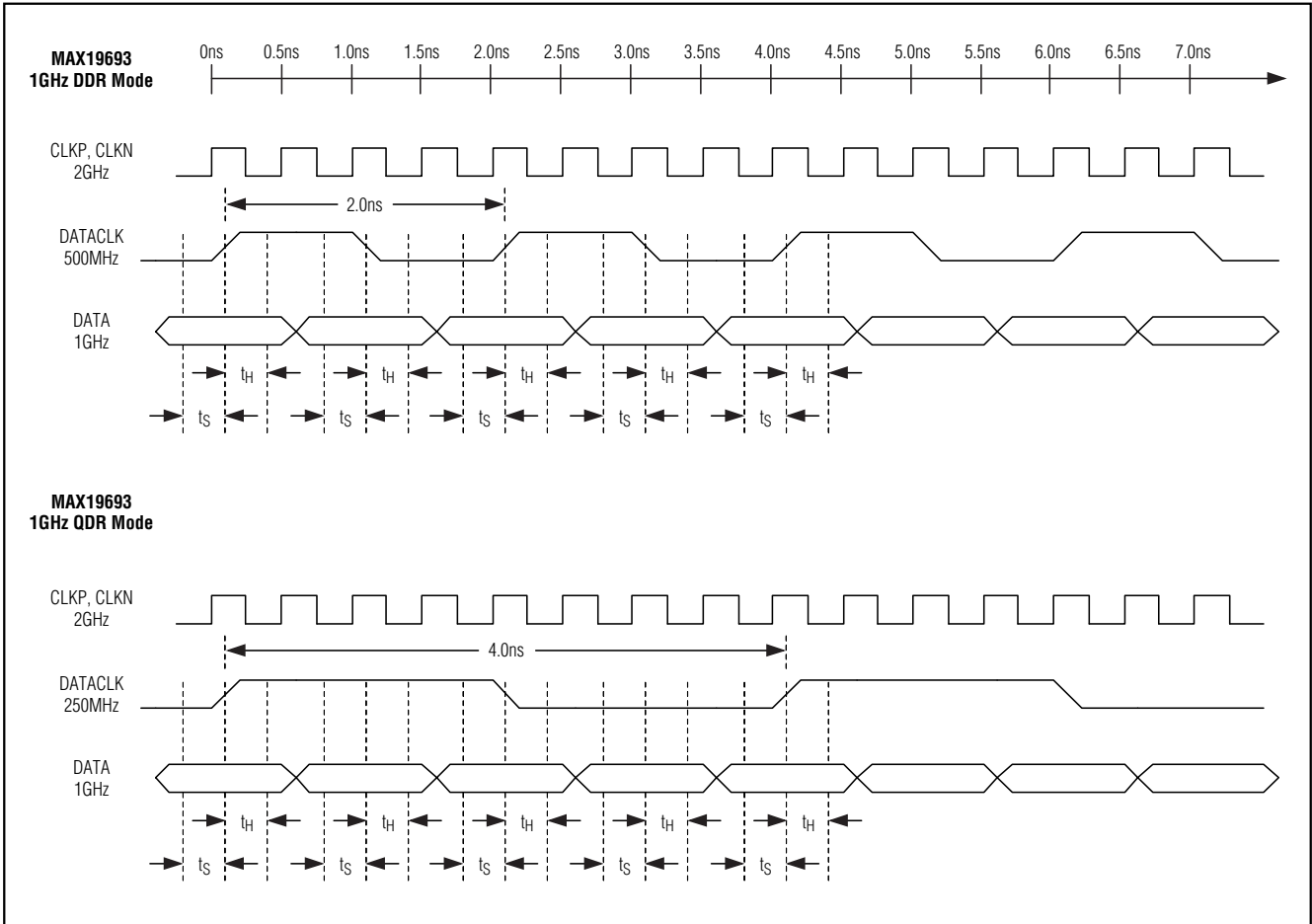


図10. データ入カインタフェースのセットアップ時間(t_S)およびホールド時間(t_H)

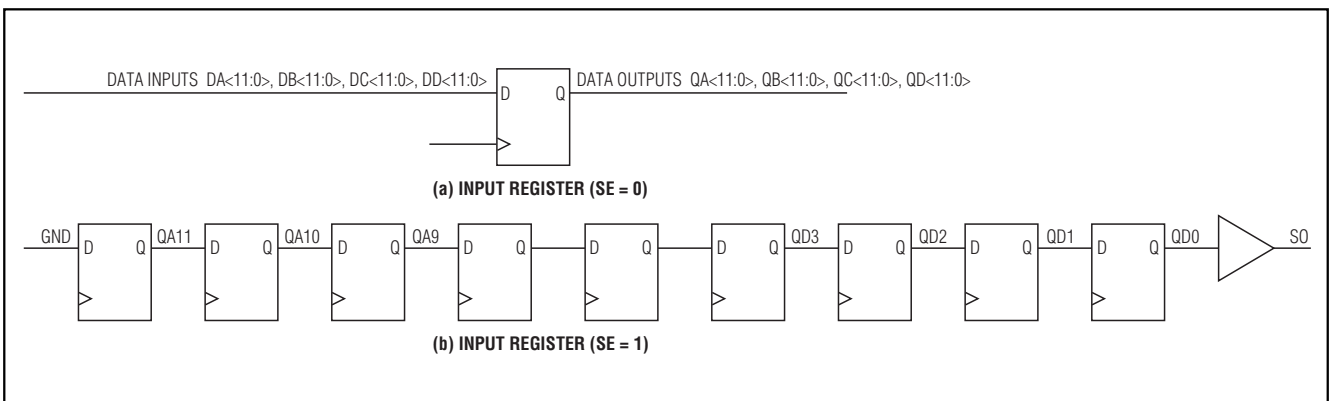


図11. 通常動作時(a)およびスキャンモード(b)の入力レジスタフリップフロップ

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

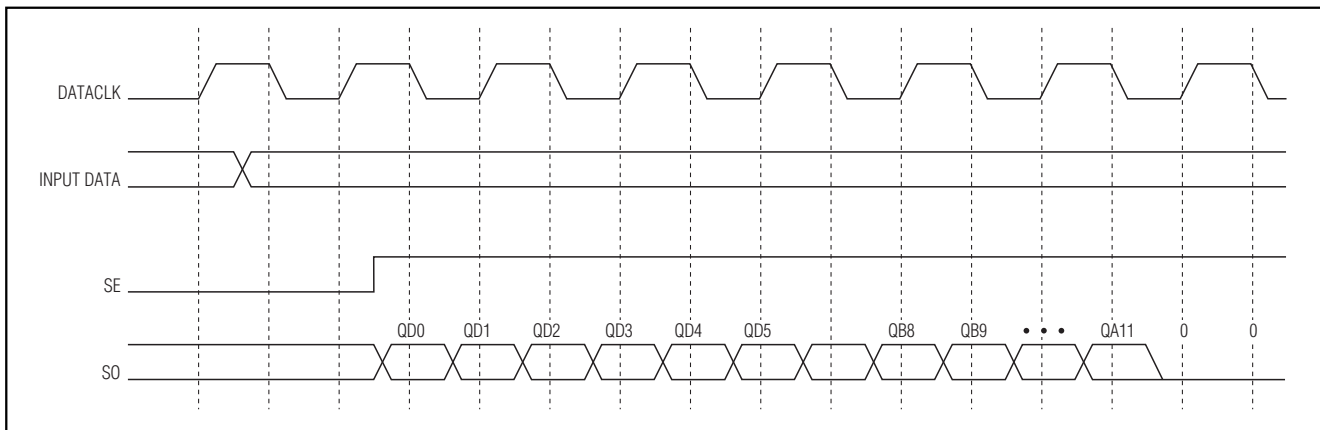


図12. スキャン動作、タイミング図

入力レジスタのスキャン

MAX19693のデータ入力レジスタの出力をSO (スキャン出力)端子で監視して、データ入力端子の接続を確認することができます。この機能は、SE (スキャンイネーブル)端子を使用してイネーブルします。SEがロジック0 (0V)の場合、入力レジスタは通常の動作になり、SOはハイインピーダンス状態になります。SEがロジック1 (1.8V)の場合、図11に示すように、入力レジスタのフリップフロップが48ビットのシフトレジスタとして再構成されて、SO出力に接続されます。データは入力レジスタのデータレートでクロックアウトされます。

図12に動作のタイミング図を示します。既知の入力データが最初のDATACLKパルスでDACのデータ入力に印加され、パラレル形式で入力レジスタにロードされます。SEをロジック1に設定する前に、入力データの伝播に1クロックサイクル必要であることに注意してください。SEがロジック1に設定されると、入力レジスタが48ビット長のシフトレジスタとして構成され、SOに出力が行われます。SOのビット出力の順番は、QD<0:11>、QC<0:11>、QB<0:11>、およびQA<0:11>であり、その後SEがローに設定されるまで持続するローが出力されて、SEがローに設定されるとSOが再びハイインピーダンスモードになります。

スキャンインタフェースは、1.8VのCMOSロジックインタフェースです。

アプリケーション情報

RFトランスを使用した差動カップリング

OUTPとOUTNの間の差動電圧を、トランスまたは差動アンプ構成を使用してシングルエンドの電圧に変換する

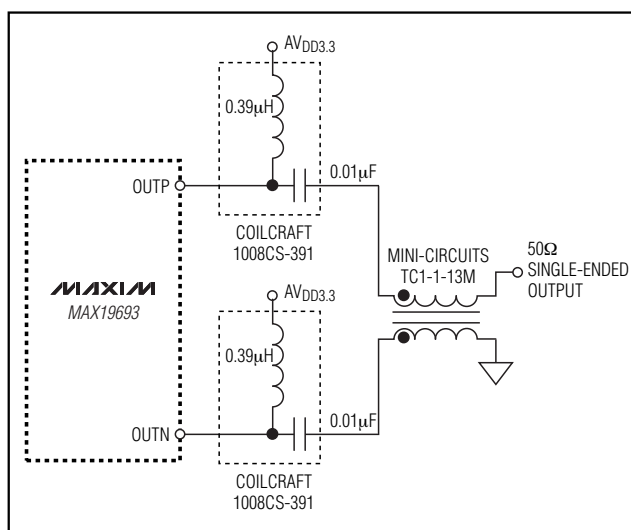


図13. MAX19693のアナログ出力用の差動からシングルエンドへの変換回路

ことが可能です。差動トランス結合出力を使用することで(CW出力電力は-2.6dBmに制限)、最高の動特性を実現することができます。最高の性能を実現するため、ディスクリートのインダクタとコンデンサで構成されたバイアステーを使用してください(図13)。DACの出力を3.3Vにプルアップしてください。出力を3.3Vにプルアップしないと、フルスケール電流を20mAに設定した場合に動特性が若干低下する可能性があります。推奨出力回路を図13に示します。最大の帯域幅を実現するため、トランスの2次側のグランドリードのインダクタンスを最小限に抑えてください。グランドプレーンへの接続には、非常に短いトレースおよび複数のピアを使用してください。あるいは、DACの出力を広帯域差動アンプにACカップリングすることもできます。

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

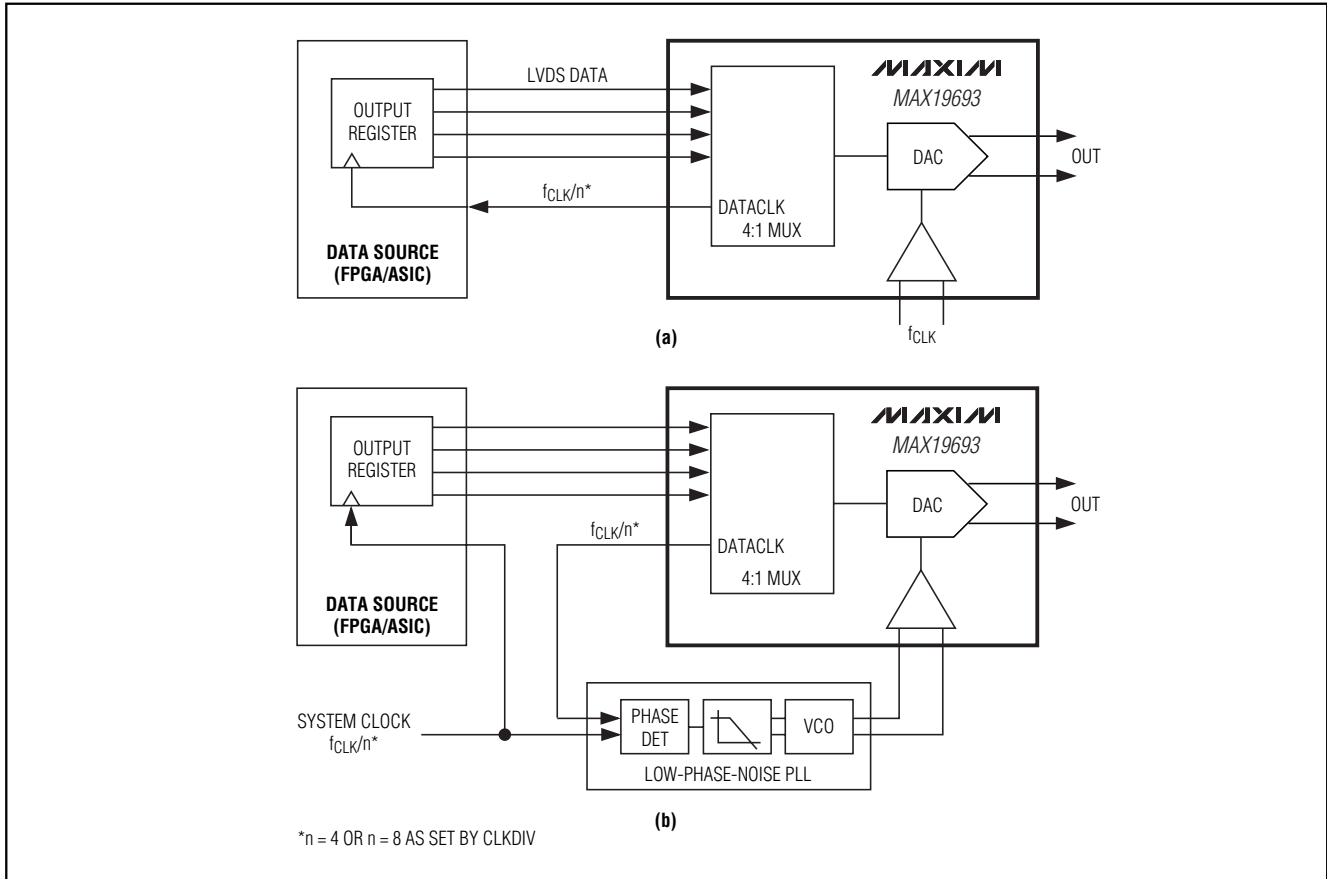


図14. データソースとDACのインターフェース

データの同期化

DACのクロックは、MAX19693に対するデータインターフェースの2倍のデータレートで動作します。LVDSレベルのデータクロック出力(DATACLKP、DATACLKN)によって、データソースとDACの同期化が容易になります。出力データのクロック周波数は、入力データレートの1/2または入力データレートの1/4に設定可能です。DACがフルスピードで動作する場合、これによって外付けのクロック分周器を使用せずにデータクロックをFPGAにじかにインターフェースすることが可能になっています。たとえば、DACの更新が4Gsp/sの場合、入力データレートは1Gwpsです。DACがFPGAにインターフェースされる場合、データクロックはデータ入力レートの1/4で動作可能であり、したがってデータ出力のクロック周波数は250MHzになります。システムクロックがDACのクロックレートで動作する場合は、図14(a)の方式を使用することができます。この場合、DACのデータクロック出力を使用してシステムのクロックが供給されます。データおよびクロックの遅延は、ライン長および負荷に依存します。そのため、高周波数でこの

システムを適正に動作させるためには、位相ロックループまたは遅延ロックループを使用したクロックのデスクューが必要になる可能性があります。CLKDIV = 0の場合、DELAYを使用してデータクロック出力を45°位相シフトすることができます。CLKDIV = 1の場合、DELAYを使用してデータクロック出力を90°位相シフトすることができます。

もう一つのソリューションを図14(b)に示します。この場合、システムクロック分配はデータクロックレートで動作します。低ジッタ、低位相ノイズの位相ロックループを使用して、高速なDACクロックを生成します。データクロックをPLLへのフィードバックとして使用することによって、データとクロックの間の同期を保証します。システム中で2個以上のMAX19693を使用して、相対的な位相を定義する必要がある場合は、データレート/4またはデータレート/2、すなわちDACクロックレートをそれぞれ8または4で割ったものに等しい速度で動作するシステムクロックに対して、分周された各DACのデータクロックを位相ロックしてください。

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

グラウンド処理、バイパス処理、電源、および PCBレイアウトに関して

グラウンド処理および電源のデカップリングは、MAX19693の性能に大きく影響する可能性があります。入力、リファレンス、電源、およびグラウンドの各接続を通して不要なデジタルクロストークが結合して、動特性に影響を及ぼす可能性があります。高速、高周波数アプリケーションにおける適切なグラウンド処理および電源デカップリングのガイドラインを厳密に遵守してください。それによって、MAX19693の動特性に大きく影響する可能性のあるEMIおよび内部クロストークが減少します。

独立したグラウンドプレーンと電源プレーンを持つ多層PCBの使用が必須です。アナログ出力およびクロック入力はインピーダンス制御されたマイクロストリップラインの形でグラウンドプレーンのすぐ上に位置するPCB最上層に配線すること、およびクロック入力(CLKP、CLKN)およびアナログ出力(OUTP、OUTN)の各信号にビアを使用しないことが推奨されます。トレースの長さ、および動作条件によっては、低損失の誘電体(ROGERS RO4003など)を最上層の誘電体として使用することが望ましい場合があります。データクロック(DATACLKP、DATACLKN)は、クロック入力およびDAC出力への結合が最小になるように配線する必要があります。

デジタル入力信号は、グラウンドプレーン間に挟む形でインピーダンス制御されたストリップラインとして配線してください。デジタル信号は、敏感なアナログ入力、リファレンス入力検出ライン、コモンモード入力、およびクロック入力から、現実的な範囲でできる限り遠ざけてください。高い出力周波数での動特性を最高にするため、デジタル信号とクロックの間の結合を最小限に抑えることが特に重要です。歪みを最小限に抑えてDACの動特性を最高にする上で、クロック入力およびアナログ出力ラインの設計の対称性が不可欠です。デジタル信号経路は短く保ち、データ遅延の不整合を避けるため配線長を揃えてください。

MAX19693は、アナログ3.3V ($AV_{DD3.3}$)、スイッチング($V_{DD1.8}$)、およびクロック(AV_{CLK})の各回路用に、独立した3系統の電源入力をサポートしています。各 $AV_{DD3.3}$ 、 $V_{DD1.8}$ 、および AV_{CLK} 入力は少なくとも、独立した0.047 μ Fのコンデンサをできる限り入力の近くに配置してデカップリングを行い、反対側は可能な限り最短距離でグラウンドプレーンに接続してループインダクタンスを最小限に抑えてください。3系統すべての電源電圧についても、タンタルまたは電解コンデンサを使用してPCBへの進入点でデカップリングしてください。

フェライトビーズと追加のデカップリングコンデンサで形成した Π 回路も、性能の改善に役立つ場合があります。

MAX19693の電源入力($V_{DD1.8}$ および AV_{CLK})は、1.8V \pm 0.1Vの電源電圧範囲に対応しています。アナログ電源入力($AV_{DD3.3}$)は、3.3V \pm 0.2Vの電源電圧範囲に対応しています。広い温度範囲にわたって最も高い更新レートでのMAX19693の動特性を最高にするためには、 $V_{DD1.8}$ と $AV_{DD3.3}$ の差が少なくとも1.4Vあることが重要です。 $V_{DD1.8}$ が1.9Vで $AV_{DD3.3}$ が3.1Vの場合、高温下でこうした更新レートの動特性が低下します。

MAX19693は0.8mmボールピッチの169ボールCSBGA (パッケージコード: X16911-1)に封止されており、設計の柔軟性、高い放熱効率、および小さな実装面積を備えたDACを実現しています。

静特性に関するパラメータの定義

積分非直線性(INL)

INLは、実際の伝達関数上の値と、ベストストレートライン近似(実際の伝達曲線に最も近い直線)またはエンドポイント近似(オフセット誤差と利得誤差を除去した後、伝達関数のエンドポイント間に引いた直線)のいずれかとの偏差です。DACの場合、個々のステップごとに偏差が測定されます。MAX19693のINLは、エンドポイント法を使用して示されています。

微分非直線性(DNL)

DNLは、実際のステップ高と1 LSBの理想値との差です。DNL誤差仕様が-1 LSBより大きい場合、単調な伝達関数が保証されます。

オフセット誤差

オフセット誤差は、オフセット電流の理想値と実際の値の差です。差動出力DACの場合、オフセットポイントはDACのフルスケールを基準とした2つのミッドスケールデジタル入力コードに対する出力の平均値です。この誤差は、すべてのコードに同一量の影響を与えます。

利得誤差

利得誤差は、オフセット誤差を除去した後の、伝達曲線上のフルスケール出力電圧の理想値と実際の値の差です。この誤差は伝達関数の傾きを変化させ、各ステップで同一割合の誤差に相当します。

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

動特性に関するパラメータの定義

セトリング時間

セトリング時間は、遷移の開始からDACの出力が所定の精度内の新しい出力値に安定するまでに必要となる時間の長さです。

ノイズスペクトル密度

DACの出力ノイズは、量子化ノイズとその他のノイズソースの合計です。ノイズスペクトル密度は、1Hzの帯域内のノイズ電力です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、最大歪み成分のRMS値に対するキャリア周波数のRMS振幅(最大信号成分)の比率です。SFDRは、通常はキャリア周波数の振幅を基準とするdBcまたはDACのフルスケールレンジを基準とするdBFSで測定されます。試験条件によって、SFDRはあらかじめ定義されたウィンドウ内またはナイキスト内で観測します。

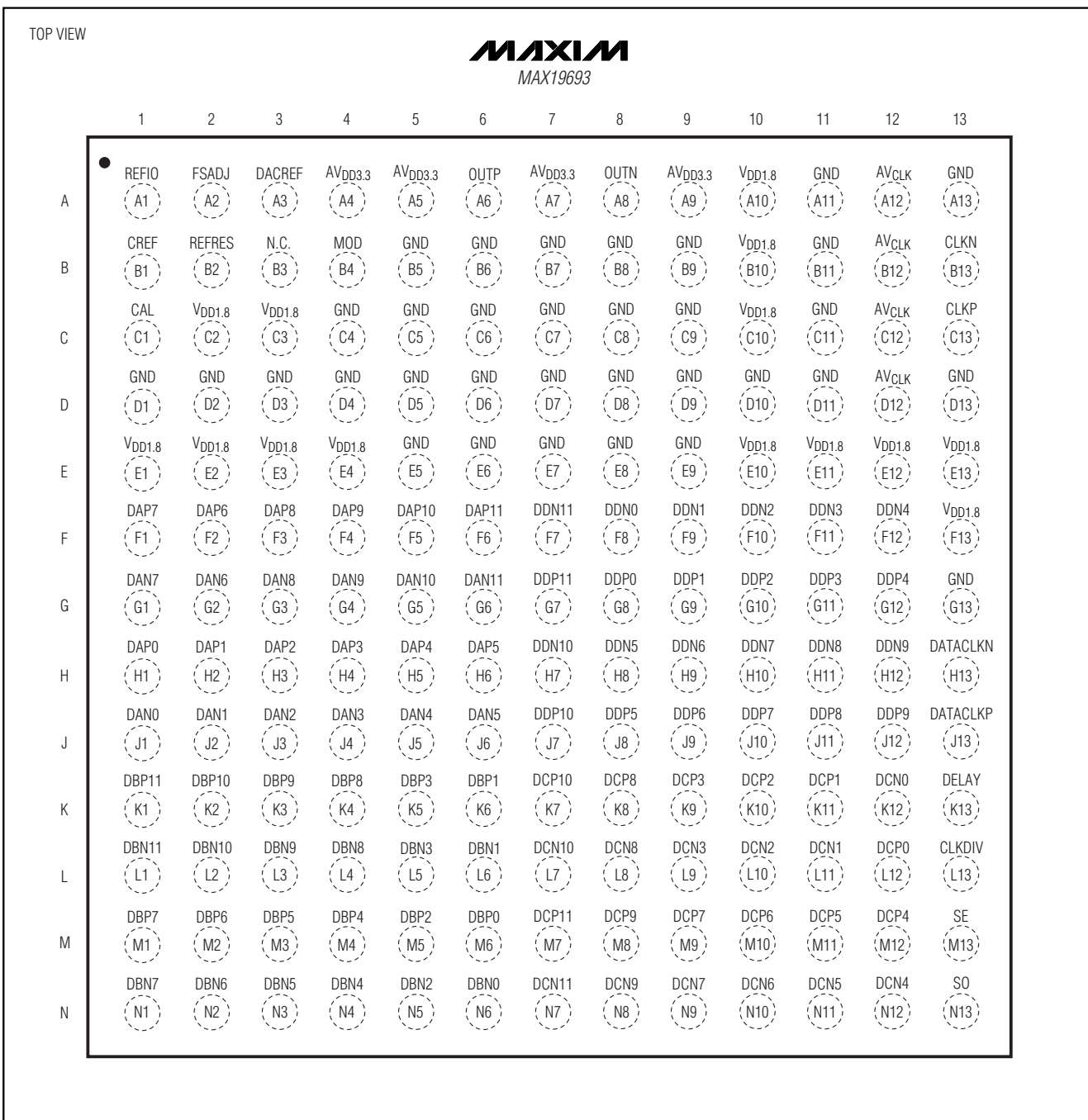
2トーン/4トーン相互変調歪み(IMD)

2トーン/4トーンIMDは、任意の出力トーンに対するワーストケースの3次以上のIMD成分の比率を、dBcまたはdBFSで表したものです。

12ビット、4.0Gsp/s高ダイナミック性能 広帯域DAC

MAX19693

ピン配置



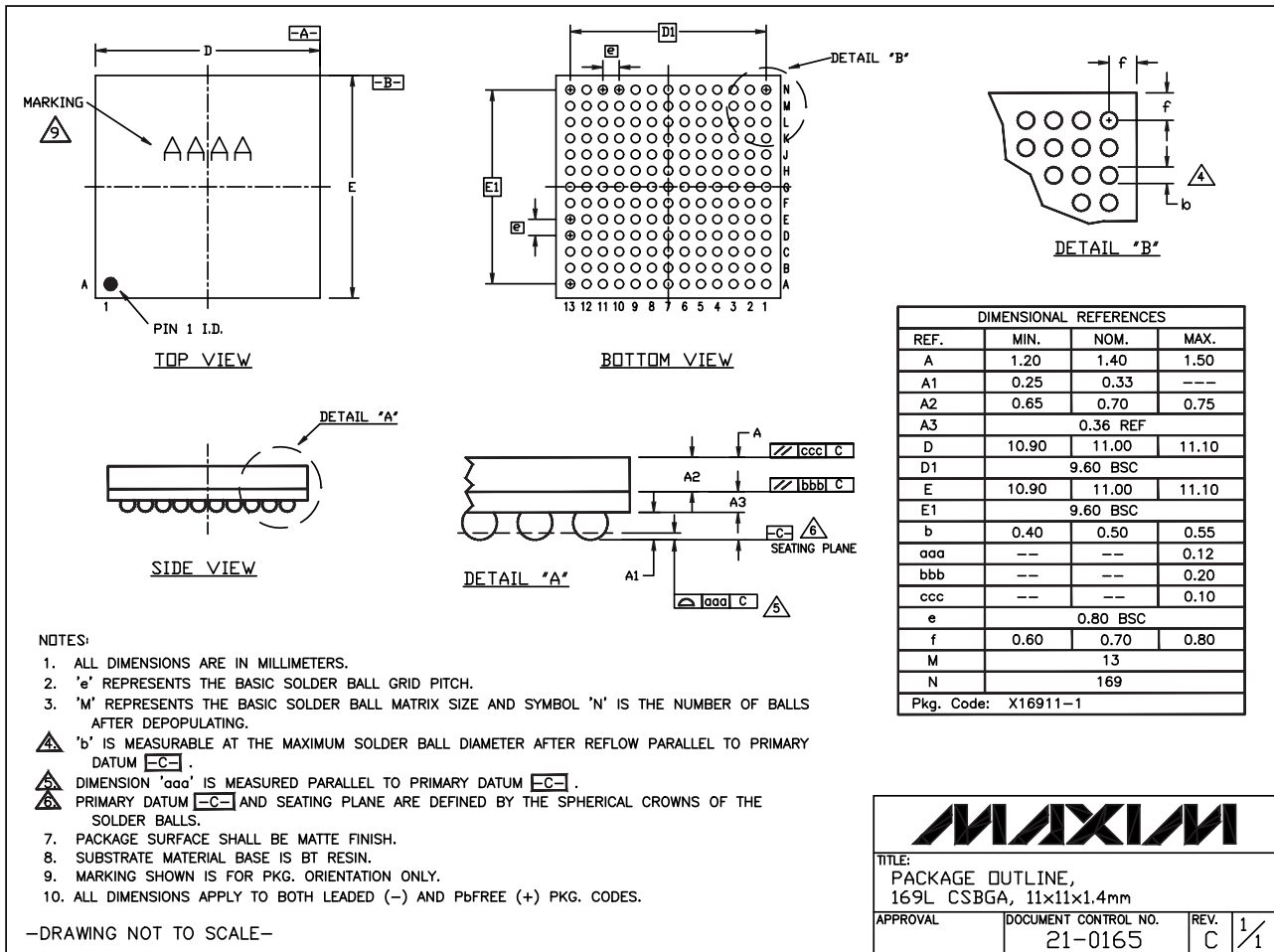
MAX19693は、小型11mm x 11mm、169ボールCSBGAパッケージで提供されます(パッケージコード：X16911-1)。ボールピッチは0.8mmです。

12ビット、4.0Gbps高ダイナミック性能 広帯域DAC

MAX19693

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 23