

# MAXIM

## 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

### 概要

MAX1710/MAX1711は、ノートブックコンピュータのコアCPU DC-DCコンバータ用のステップダウンコントローラです。最新のCPUのコア電源に必要な超高速過渡応答、高DC精度及び高効率の組合せを特長とします。マキシム社独自のQUICK-PWM™クイック応答、一定オンタイムPWM制御方式は、広い入力/出力電圧比を容易に処理し、比較的一定のスイッチング周波数を維持しながら、負荷トランジェントに対して100ns「インスタント・オン」応答を提供します。

高いDC精度は、グランドバス及び電源ラインの電圧降下を補償する2線リモート検出方式によって保証しています。内蔵のD/Aコンバータ(DAC)は、Mobile Pentium II® CPU仕様に従って出力電圧を設定します。

MAX1710は、従来の電流モードPWMから電流検出抵抗を除去することにより、低価格で高い効率を達成しています。また、非常に大きな同期整流器MOSFETを駆動する能力があるため、効率はさらに向上しています。

1段バック変換を使用することにより高圧バッテリーを直接ステップダウンし、最高の効率を達成できます。これに対し、高いスイッチング周波数で2段変換(バッテリーの代わりに+5Vシステム電源をステップダウン)を使用すると、デバイスのサイズを最小にすることができます。

MAX1710とMAX1711は、MAX1711で4ビットDACの代わりに5ビットDACを使用していることを除けば同じ製品です。又、MAX1711では、過電圧保護スレッシュホールドと低電圧保護スレッシュホールドがそれぞれ $V_{OUT} = 2.25V$ 及び $V_{OUT} = 0.8V$ で固定になっていますが、MAX1710ではこれらのスレッシュホールドが $V_{OUT}$ に追従して可変になっています。MAX1711は、DACコードが動的に変化するアプリケーション用です。

### アプリケーション

- ノートブックコンピュータ
- ドッキングステーション
- CPUコアDC-DCコンバータ
- 1段(BATTから $V_{CORE}$ への)コンバータ
- 2段(+5Vから $V_{CORE}$ への)コンバータ

QUICK-PWMは、マキシム社の商標です。

Mobile Pentium IIIは、Intel Corp.の登録商標です。

ピン配置はデータシートの最後に記載されています。

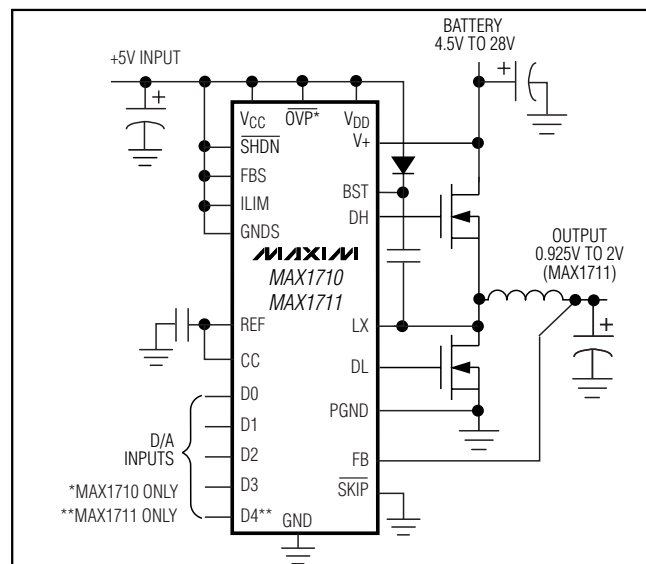
### 特長

- ◆ 超高効率
- ◆ 電流検出抵抗無し(損失のないILIMIT)
- ◆ 負荷ステップ応答が100nsのQUICK-PWM
- ◆ 全ライン及び負荷範囲において $V_{OUT}$ 精度が $\pm 1\%$
- ◆ 4ビット内蔵DAC(MAX1710)
- ◆ 5ビット内蔵DAC(MAX1711)
- ◆ 出力調整範囲: 0.925V ~ 2V(MAX1711)
- ◆ バッテリ入力範囲: 2V ~ 28V
- ◆ スwitching周波数: 200/300/400/550kHz
- ◆ リモートGND及び $V_{OUT}$ 検出
- ◆ 過電圧/低電圧保護
- ◆ 1.7msデジタルソフトスタート
- ◆ 大きな同期整流器FETを駆動
- ◆ リファレンス出力:  $2V \pm 1\%$
- ◆ パワーグッドインジケータ
- ◆ パッケージ: 小型24ピンQSOP

### 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1710EEG	-40°C to +85°C	24 QSOP
MAX1711EEG	-40°C to +85°C	24 QSOP

### 最小動作回路



# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

## ABSOLUTE MAXIMUM RATINGS

V+ to GND .....	-0.3V to +30V
V <sub>CC</sub> , V <sub>DD</sub> to GND .....	-0.3V to +6V
PGND to GND .....	±0.3V
$\overline{\text{SHDN}}$ , PGOOD to GND .....	-0.3V to +6V
$\overline{\text{OVP}}$ , ILIM, FB, FBS, CC, REF, D0-D4, GNDS, TON to GND .....	-0.3V to (V <sub>CC</sub> + 0.3V)
SKIP to GND (Note 1) .....	-0.3V to (V <sub>CC</sub> + 0.3V)
DL to PGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)
BST to GND .....	-0.3V to +36V
DH to LX .....	-0.3V to (BST + 0.3V)

LX to BST .....	-6V to +0.3V
REF Short Circuit to GND .....	Continuous
Continuous Power Dissipation (T <sub>A</sub> = +70°C) 24-Pin QSOP (derate 9.5mW/°C above +70°C) .....	762mW
Operating Temperature Range .....	-40°C to +85°C
Junction Temperature .....	+150°C
Storage Temperature Range .....	-65°C to +165°C
Lead Temperature (soldering, 10sec) .....	+300°C

**Note 1:** SKIP may be forced below -0.3V, temporarily exceeding the absolute maximum rating, for the purpose of debugging prototype breadboards using the no-fault test mode. Limit the current drawn to -5mA maximum.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, V<sub>BATT</sub> = 15V, V<sub>CC</sub> = V<sub>DD</sub> = 5V,  $\overline{\text{SKIP}}$  = GND, T<sub>A</sub> = 0°C to +85°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT	
Input Voltage Range	Battery voltage, V+	2		28	V	
	V <sub>CC</sub> , V <sub>DD</sub>	4.5		5.5		
DC Output Voltage Accuracy	V <sub>BATT</sub> = 4.5V to 28V, includes load regulation error	DAC codes from 1.3V to 2V	-1	1	%	
		DAC codes from 0.925V to 1.275V	-1.2	1.2		
Load Regulation Error	I <sub>LOAD</sub> = 0 to 7A		9		mV	
Remote Sense Voltage Error	FB-FBS or GNDS-GND = 0 to 25mV		3		mV	
Line Regulation Error	V <sub>CC</sub> = 4.5V to 5.5V, V <sub>BATT</sub> = 4.5V to 28V		5		mV	
FB Input Bias Current	FB (MAX1710 only) or FBS	-0.2		0.2	μA	
FB Input Resistance (MAX1711)		130	180	240	kΩ	
GNDS Input Bias Current		-1		1	μA	
Soft-Start Ramp Time	Rising edge of $\overline{\text{SHDN}}$ to full I <sub>LIM</sub>		1.7		ms	
On-Time	V <sub>BATT</sub> = 24V, FB = 2V (Note 2)	TON = GND (550kHz)	140	160	180	ns
		TON = REF (400kHz)	175	200	225	
		TON = open (300kHz)	260	290	320	
		TON = V <sub>CC</sub> (200kHz)	380	425	470	
Minimum Off-Time	(Note 2)		400	500	ns	
Quiescent Supply Current (V <sub>CC</sub> )	Measured at V <sub>CC</sub> , FB forced above the regulation point		600	950	μA	
Quiescent Supply Current (V <sub>DD</sub> )	Measured at V <sub>DD</sub> , FB forced above the regulation point		<1	5	μA	
Quiescent Battery Supply Current	Measured at V+		25	40	μA	
Shutdown Supply Current (V <sub>CC</sub> )	$\overline{\text{SHDN}}$ = 0		<1	5	μA	
Shutdown Supply Current (V <sub>DD</sub> )	$\overline{\text{SHDN}}$ = 0		<1	5	μA	
Shutdown Battery Supply Current	$\overline{\text{SHDN}}$ = 0, measured at V+ = 28V, V <sub>CC</sub> = V <sub>DD</sub> = 0 or 5V		<1	5	μA	
Reference Voltage	V <sub>CC</sub> = 4.5V to 5.5V, no external REF load	1.98	2	2.02	V	
Reference Load Regulation	I <sub>REF</sub> = 0 to 50μA			0.01	V	
REF Sink Current	REF in regulation	10			μA	
REF Fault Lockout Voltage	Falling edge, hysteresis = 40mV		1.6		V	

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{BATT} = 15V$ ,  $V_{CC} = V_{DD} = 5V$ ,  $\overline{SKIP} = GND$ ,  $T_A = 0^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT	
Overvoltage Trip Threshold	With respect to unloaded output voltage (MAX1710)	10.5	12.5	14.5	%	
	(MAX1711)	2.21	2.25	2.29	V	
Overvoltage Fault Propagation Delay	FB forced 2% above trip threshold		1.5		$\mu s$	
Output Undervoltage Protection Threshold	With respect to unloaded output voltage (MAX1710)	65	70	75	%	
	(MAX1711)	0.76	0.8	0.84	V	
Output Undervoltage Protection Time	From $\overline{SHDN}$ signal going high	10		30	ms	
Current-Limit Threshold (Positive Direction, Fixed)	LX to PGND, ILIM tied to $V_{CC}$	90	100	110	mV	
Current-Limit Threshold (Positive Direction, Adjustable)	LX to PGND	$R_{LIM} = 100k\Omega$	40	50	60	mV
		$R_{LIM} = 400k\Omega$	170	200	230	
Current-Limit Threshold (Negative Direction)	LX to PGND, $T_A = +25^{\circ}C$	-150	-120	-80	mV	
Current-Limit Threshold (Zero Crossing)	LX to PGND		3		mV	
PGOOD Propagation Delay	FB forced 2% below PGOOD trip threshold, falling edge		1.5		$\mu s$	
PGOOD Output Low Voltage	$I_{SINK} = 1mA$			0.4	V	
PGOOD Leakage Current	High state, forced to 5.5V			1	$\mu A$	
Thermal Shutdown Threshold	Hysteresis = $10^{\circ}C$		150		$^{\circ}C$	
$V_{CC}$ Undervoltage Lockout Threshold	Rising edge, hysteresis = 20mV, PWM disabled below this level	4.1		4.4	V	
DH Gate-Driver On-Resistance	BST-LX forced to 5V			5	$\Omega$	
DL Gate-Driver On-Resistance (Pull-Up)	DL, high state			5	$\Omega$	
DL Gate-Driver On-Resistance (Pull-Down)	DL, low state		0.5	1.7	$\Omega$	
DH Gate-Driver Source/Sink Current	DH forced to 2.5V, BST-LX forced to 5V		1		A	
DL Gate-Driver Sink Current	DL forced to 2.5V		3		A	
DL Gate-Driver Source Current	DL forced to 2.5V		1		A	
Dead Time	DL rising		35		ns	
	DH rising		26			
$\overline{SKIP}$ Input Current Logic Threshold	To enable no-fault mode, $T_A = +25^{\circ}C$	-1.5		-0.1	mA	
PGOOD Trip Threshold	Measured at FB with respect to unloaded output voltage, falling edge, hysteresis = 1%	-8	-5	-3	%	
Logic Input High Voltage	D0–D4, $\overline{SHDN}$ , $\overline{SKIP}$ , $\overline{OVP}$	2.4			V	
Logic Input Low Voltage	D0–D4, $\overline{SHDN}$ , $\overline{SKIP}$ , $\overline{OVP}$			0.8	V	
Logic Input Current	$\overline{SHDN}$ , $\overline{SKIP}$ , $\overline{OVP}$	-1		1	$\mu A$	
Logic Input Pull-Up Current	D0–D4, each forced to GND	3	5	10	$\mu A$	

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{BATT} = 15V$ ,  $V_{CC} = V_{DD} = 5V$ ,  $\overline{SKIP} = GND$ ,  $T_A = 0^\circ C$  to  $+85^\circ C$ , unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
TON $V_{CC}$ Level	TON logic input high level	$V_{CC} - 0.4$			V
TON Float Voltage	TON logic input upper-mid-range level	3.15		3.85	V
TON Reference Level	TON logic input lower-mid-range level	1.65		2.35	V
TON GND Level	TON logic input low level			0.5	V
TON Logic Input Current	TON only, forced to GND or $V_{CC}$	-3		3	$\mu A$

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1,  $V_{BATT} = 15V$ ,  $V_{CC} = V_{DD} = 5V$ ,  $\overline{SKIP} = GND$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted.) (Note 3)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
Input Voltage Range	Battery voltage, $V_+$	2		28	V
	$V_{CC}$ , $V_{DD}$	4.5		5.5	
DC Output Voltage Accuracy	$V_{BATT} = 4.5V$ to $28V$ , for all D/A codes, includes load regulation error	DAC codes from 1.32V to 2V		1.5	%
		DAC codes from 0.925V to 1.275V	-1.7	1.7	%
On-Time	$V_{BATT} = 24V$ , FB = 2V (Note 2)	TON = GND (550kHz)	140	180	ns
		TON = REF (400kHz)	175	225	
		TON = open (300kHz)	260	320	
		TON = $V_{CC}$ (200kHz)	380	470	
Minimum Off-Time	(Note 2)			500	ns
Quiescent Supply Current ( $V_{CC}$ )	Measured at $V_{CC}$ , FB forced above the regulation point			950	$\mu A$
Reference Voltage	$V_{CC} = 4.5V$ to $5.5V$ , no external REF load	1.98		2.02	V
Overvoltage Trip Threshold	With respect to unloaded output voltage (MAX1710)	10		15	%
	(MAX1711)	2.20		2.30	V
Output Undervoltage Protection Threshold	With respect to unloaded output voltage (MAX1710)	65		75	%
	(MAX1711)	0.75		0.85	V
Current-Limit Threshold (Positive Direction, Fixed)	LX to PGND, ILIM tied to $V_{CC}$	85		115	mV
Current-Limit Threshold (Positive Direction, Adjustable)	LX to PGND	$R_{LIM} = 100k\Omega$	35	65	mV
		$R_{LIM} = 400k\Omega$	160	240	
$V_{CC}$ Undervoltage Lockout Threshold	Rising edge, hysteresis = 20mV, PWM disabled below this level	4.1		4.4	V
Logic Input High Voltage	D0–D4, $\overline{SHDN}$ , $\overline{SKIP}$ , $\overline{OVP}$	2.4			V
Logic Input Low Voltage	D0–D4, $\overline{SHDN}$ , $\overline{SKIP}$ , $\overline{OVP}$			0.8	V
Logic Input Current	$\overline{SHDN}$ , $\overline{SKIP}$ , $\overline{OVP}$	-1		1	$\mu A$
Logic Input Pull-Up Current	D0–D4, each forced to GND	3		10	$\mu A$

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{BATT}=15V$ ,  $V_{CC}=V_{DD}=5V$ ,  $\overline{SKIP}=GND$ ,  $T_A=-40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted.) (Note 3)

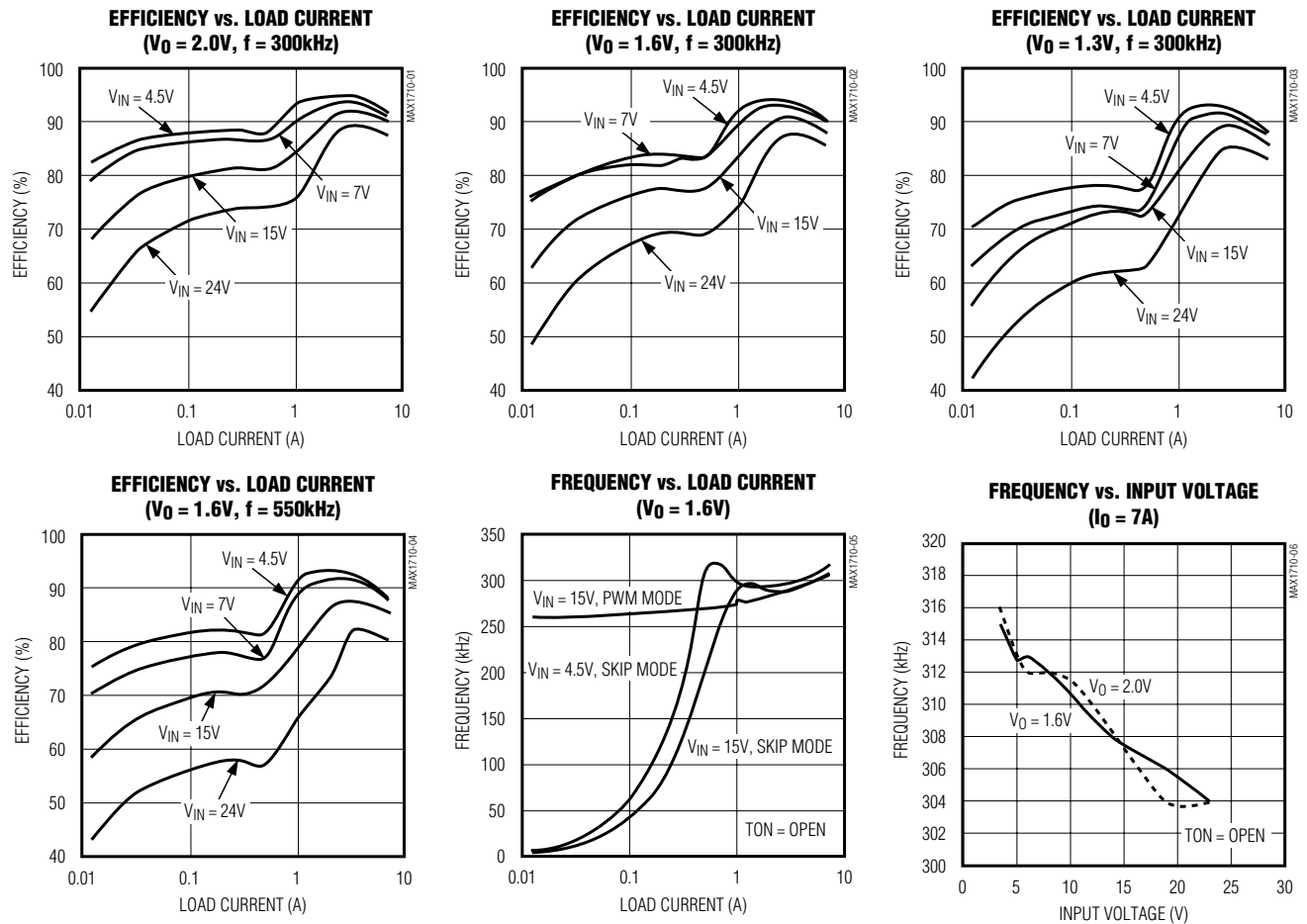
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNIT
PGOOD Trip Threshold	Measured at FB with respect to unloaded output voltage, falling edge, hysteresis = 1%	-8.5		-2.5	%
PGOOD Output Low Voltage	$I_{SINK}=1mA$			0.4	V
PGOOD Leakage Current	High state, forced to 5.5V			1	$\mu A$

**Note 2:** On-Time and Off-Time specifications are measured from 50% point to 50% point at the DH pin with LX forced to 0V, BST forced to 5V, and a 250pF capacitor connected from DH to LX. Actual in-circuit times may differ due to MOSFET switching speeds.

**Note 3:** Specifications from  $-40^{\circ}C$  to  $0^{\circ}C$  are guaranteed but not production tested.

## 標準動作特性

(7A CPU supply circuit of Figure 1,  $T_A=+25^{\circ}C$ , unless otherwise noted.)

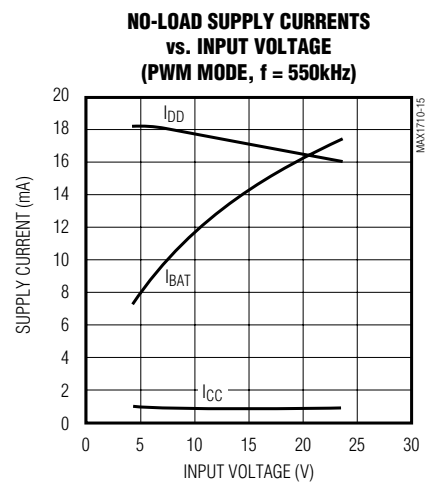
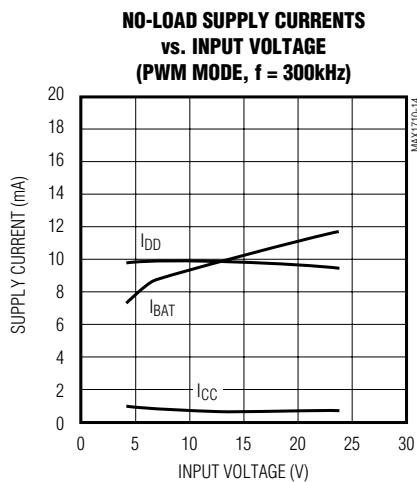
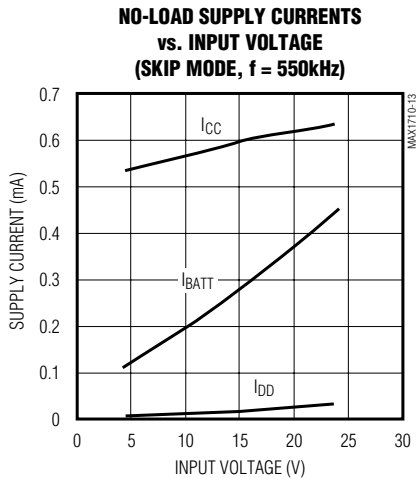
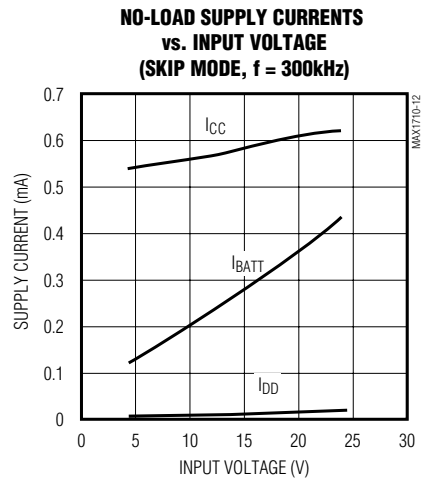
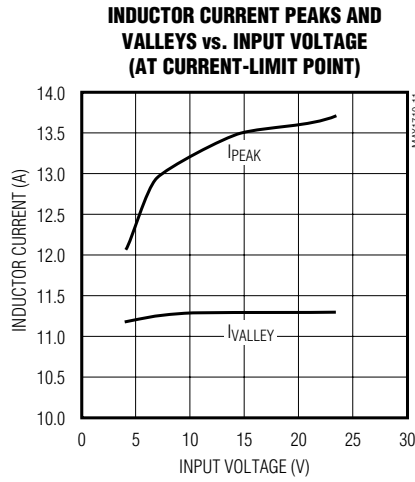
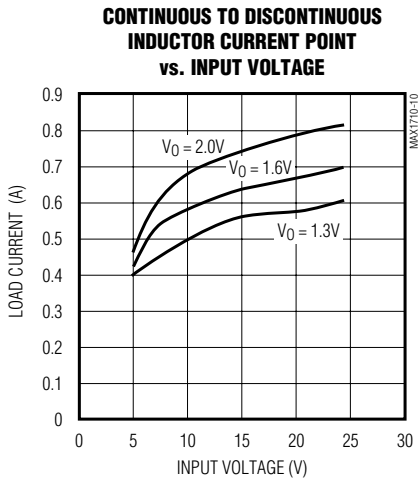
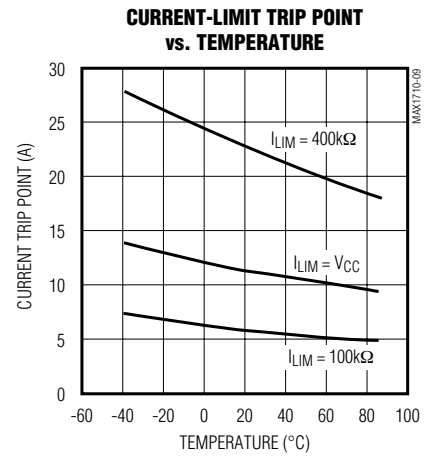
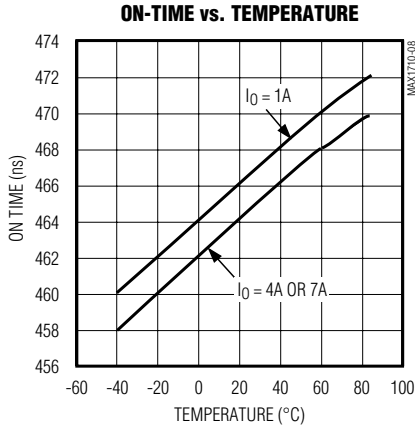
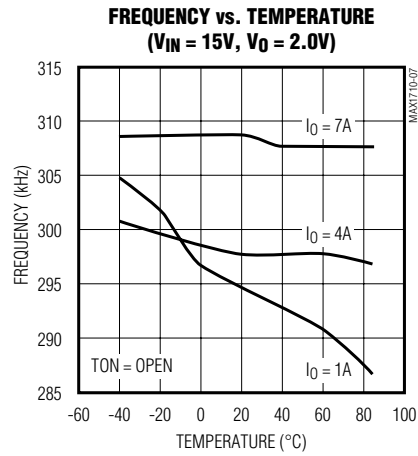


# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

## 標準動作特性(続き)

(7A CPU supply circuit of Figure 1,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



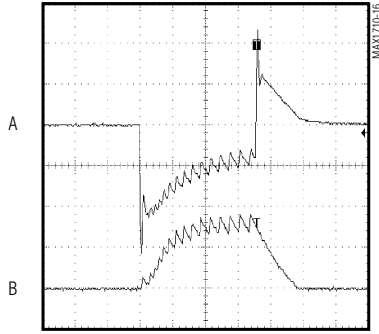
# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

## 標準動作特性(続き)

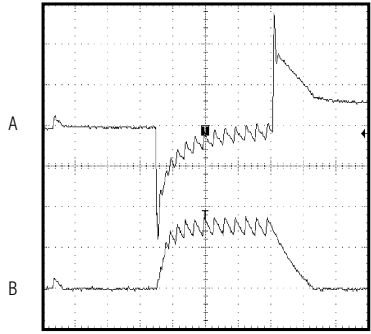
(7A CPU supply circuit of Figure 1,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

**LOAD-TRANSIENT RESPONSE  
(WITH INTEGRATOR)**



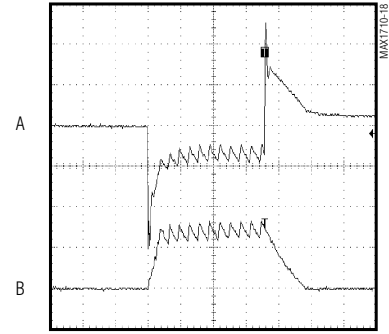
10µs/div  
 $V_{IN} = 15\text{V}$ ,  $V_O = 1.6\text{V}$ ,  $I_O = 0\text{A TO } 7\text{A}$   
 A =  $V_{OUT}$ , AC COUPLED, 50mV/div  
 B = INDUCTOR CURRENT, 5A/div

**LOAD-TRANSIENT RESPONSE  
(WITH INTEGRATOR)**



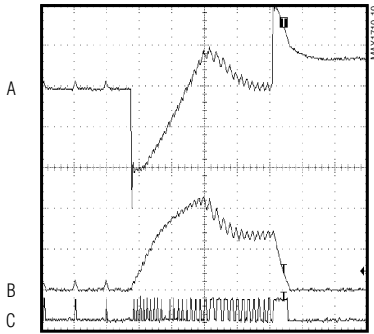
10µs/div  
 $V_{IN} = 15\text{V}$ ,  $V_O = 1.6\text{V}$ ,  $I_O = 30\text{mA TO } 7\text{A}$   
 A =  $V_{OUT}$ , AC COUPLED, 50mV/div  
 B = INDUCTOR CURRENT, 5A/div

**LOAD-TRANSIENT RESPONSE  
(WITHOUT INTEGRATOR)**



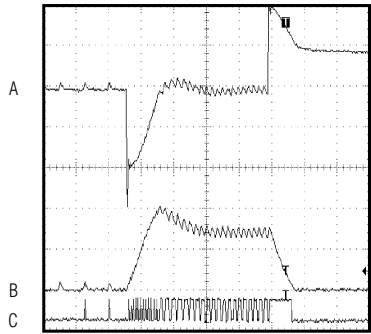
10µs/div  
 $V_{IN} = 15\text{V}$ ,  $V_O = 1.6\text{V}$ ,  $I_O = 30\text{mA TO } 7\text{A}$   
 A =  $V_{OUT}$ , AC COUPLED, 50mV/div  
 B = INDUCTOR CURRENT, 5A/div

**LOAD-TRANSIENT RESPONSE  
(WITH INTEGRATOR)**



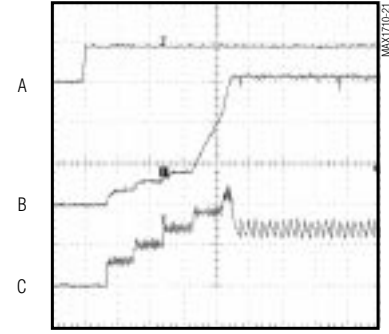
20µs/div  
 $V_{IN} = 4.5\text{V}$ ,  $V_O = 2\text{V}$ ,  $I_O = 30\text{mA TO } 7\text{A}$   
 A =  $V_{OUT}$ , AC COUPLED, 50mV/div  
 B = INDUCTOR CURRENT, 5A/div  
 C = DL, 10V/div

**LOAD-TRANSIENT RESPONSE  
(WITH INTEGRATOR)**



20µs/div  
 $V_{IN} = 4.5\text{V}$ ,  $V_O = 1.3\text{V}$ ,  $I_O = 30\text{mA TO } 7\text{A}$   
 A =  $V_{OUT}$ , AC COUPLED, 50mV/div  
 B = INDUCTOR CURRENT, 5A/div  
 C = DL, 10V/div

**START-UP WAVEFORM**



500µs/div  
 A =  $\overline{\text{SHDN}}$   
 B =  $V_{OUT}$ , 0.5V/div  
 C = INDUCTOR CURRENT, 5A/div

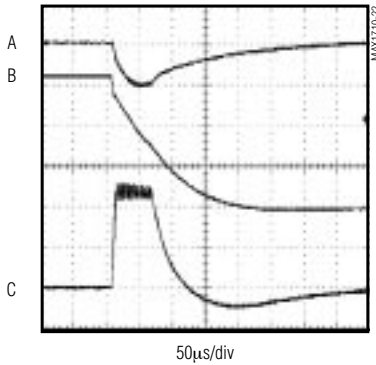
# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

## 標準動作特性(続き)

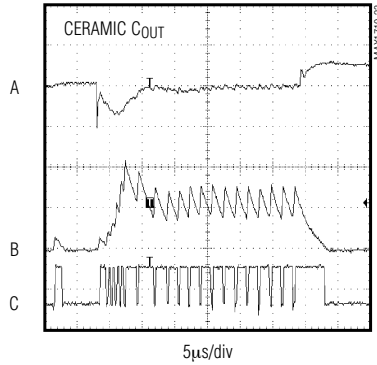
(7A CPU supply circuit of Figure 1,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

OUTPUT OVERLOAD WAVEFORM



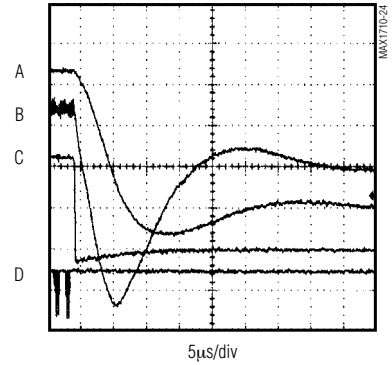
$V_{OUT} = 1.6\text{V}$   
 A =  $V_{IN}$ , AC COUPLED, 2V/div  
 B =  $V_{OUT}$ , 0.5V/div  
 C = INDUCTOR CURRENT, 5A/div

LOAD-TRANSIENT RESPONSE



$L = 0.7\mu\text{H}$ ,  $V_{OUT} = 1.6\text{V}$ ,  $V_{IN} = 15\text{V}$ ,  $C_{OUT} = 47\mu\text{F} (x4)$ ,  $f = 550\text{kHz}$   
 A =  $V_{OUT}$ , AC COUPLED, 100mV/div  
 B = INDUCTOR CURRENT, 5A/div  
 C = DL, 5V/div

SHUTDOWN WAVEFORM



$V_{IN} = 15\text{V}$ ,  $V_O = 1.6\text{V}$ ,  $I_O = 7\text{A}$   
 A =  $V_{OUT}$ , 0.5V/div  
 B = INDUCTOR CURRENT, 5A/div  
 C = SHDN, 2V/div  
 D = DL, 5V/div

## 端子説明

端子	名称	機能
1	$V_+$	バッテリー電圧検出接続。 $V_+$ は、PWM単安定マルチバイブレータのタイミング専用です。DHオンタイムは、2V ~ 28Vの範囲で $V_+$ 入力電圧に反比例します。
2	$\overline{\text{SHDN}}$	シャットダウン制御入力、アクティブロー。 $\overline{\text{SHDN}}$ は、バッテリー電圧に耐えることはできません。シャットダウンモードの場合は、パワーダウン時でも(OVPがハイの時を除き)過電圧保護を実施するためにDLが強制的に $V_{DD}$ になります。
3	FB	高速フィードバック入力、通常 $V_{OUT}$ に接続。FBは、電源側のバルク出力フィルタコンデンサに接続されます。出力電圧は、外部抵抗分圧器で設定することもできます。
4	FBS	フィードバックリモート検出入力、通常負荷側で直接 $V_{OUT}$ に接続。FBSは、DC出力電圧の微調整用積分器に内部接続されています。3つ全部の積分器アンプをディセーブルするには、FBSを $V_{CC}$ に接続します。抵抗分圧器を使用して出力電圧を外部で調整する場合は、FBSをFBに接続(又は積分器をディセーブル)して下さい。
5	CC	積分器コンデンサ接続。積分時定数を設定するには、100pF ~ 1000pF(470pF typ)のコンデンサをGNDに接続します。
6	ILIM	電流リミットスレッシュホールド調整。外付抵抗を通じてGNDに接続します。ILIMを $V_{CC}$ に接続した場合、LX-PGND電流リミットスレッシュホールドがデフォルト値の+100mVになります。電流リミットスレッシュホールドは、ILIMの電圧の1/10です。可変モードのスレッシュホールドは、 $V_{TH} = R_{LIM} \cdot 5\mu\text{A}/10$ です。
7	$V_{CC}$	PWMコアのアナログ電源電圧入力、4.5V ~ 5.5V。 $V_{CC}$ は、0.1 $\mu\text{F}$ (min)コンデンサでGNDにバイパスして下さい。
8	TON	オンタイム選択制御入力。これは、DHオンタイムを求めるためにKファクタを設定する4レベル入力です。GND = 550kHz、REF = 400kHz、オープン = 300kHz、 $V_{CC} = 200\text{kHz}$ 。
9	REF	2.0Vリファレンス出力。REFは、0.22 $\mu\text{F}$ (min)コンデンサでGNDにバイパスして下さい。REFは外部負荷に対して50 $\mu\text{A}$ のソースになります。REFに負荷を加えると、REF負荷レギュレーション誤差によりRF精度が劣化します(「Electrical Characteristics」参照)。



# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

## 端子説明(続き)

端子	名称	機能
10	GND	アナロググランド
11	GNDS	グランドリモート検出入力、通常は直接負荷側のグランドに接続。GNDSはグランドオフセット電圧の微調整用積分器に内部接続されています。
12	PGOOD	オープンドレインパワーグッド出力
13	DL	ローサイドゲートドライバ出力、スイングは0 ~ V <sub>DD</sub>
14	PGND	電源グランド。電流リミットコンパレータの反転入力としても使用します。
15	V <sub>DD</sub>	DLゲートドライバ用電源電圧入力、4.5V ~ 5.5V
16 (MAX1710)	$\overline{\text{OVP}}$	過電圧保護ディセーブル制御入力(表3)。GND = 通常動作及び過電圧保護のアクティブ状態、V <sub>CC</sub> = 過電圧保護のディセーブル状態。
16 (MAX1711)	D4	DACコード入力、MSB、内部でV <sub>CC</sub> に5 $\mu$ Aプルアップ(表1及び表2)。
17	D3	DACコード入力。内部でV <sub>CC</sub> に5 $\mu$ Aプルアップ。
18	D2	DACコード入力。内部で5 $\mu$ Aプルアップ。
19	D1	DACコード入力。内部で5 $\mu$ Aプルアップ。
20	D0	DACコード入力LSB。内部で5 $\mu$ Aプルアップ。
21	$\overline{\text{SKIP}}$	低ノイズモード選択制御入力。低ノイズ強制PWMモードは、軽負荷時にインダクタ電流を再循環させ、パルススキップ動作を抑制します。通常動作では、電流の再循環が防止されます。SKIPは、過電圧及び低電圧保護回路の両方をディセーブルし、フォルトラッチをクリアするために使用することもできます(図6)。GND = 通常動作、V <sub>CC</sub> = 低ノイズモードです。SKIPは、フローティング状態にしないで下さい。
22	BST	ブーストフライングコンデンサ接続。BSTと直列に抵抗(オプション)を接続すると、DHプルアップ電流を調整できます(図5)。LX立上り時間を遅くするこの技法は、過大なゲートドレイン容量に起因するローサイドMOSFETの異常ターンオンを防ぐために利用できます。
23	LX	インダクタ接続部。LXは、DHハイサイドゲートドライバの低い方の電源ラインとして使用します。又、電流リミットコンパレータ及びスキップモードゼロクロスコンパレータの非反転入力用としても使用します。
24	DH	ハイサイドゲートドライバ出力。スイングはLX ~ BSTです。

## 標準アプリケーション回路

標準アプリケーション回路(図1)は、ノートブックコンピュータのコアCPU V<sub>CC</sub>に7Aまでを供給するための低電圧ハイパワー電源電圧を発生します。このDC-DCコンバータは、高い効率及び精度でバッテリー又はACアダプタ電圧を2V以下のレベルにステップダウンし、寸法、効率、コストの適切なバランスを取ります。

部品及びメーカーのリストについては、MAX1710 EVキットマニュアルを参照して下さい。

## 詳細

MAX1710/MAX1711は、ノートブックコンピュータの低電圧、高電流CPU電源用のバックコントローラです。クロックのスロットル時に、CPUコアは通常0 ~

10A以上の負荷ステップを示します。MAX1710/MAX1711で使用しているマキシム社独自のQUICK-PWMパルス幅変調器は、広範囲の入力電圧にわたって比較的一定の動作周波数及びインダクタ動作点を維持しながら、こうした高速負荷ステップを扱えるように設計されています。このQUICK-PWM構造は、従来の一定オンタイム及び一定オフタイムPWM技法に伴うスイッチング周波数の大幅な変化による問題を回避すると共に、一定周波数電流モードPWMの負荷トランジェントタイミングの問題も回避します。

+5Vバイアス電源(V<sub>CC</sub>及びV<sub>DD</sub>)

MAX1710/MAX1711は、バッテリーの他にも+5Vの外部バイアス電源を必要とします。通常、この+5Vバイ

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

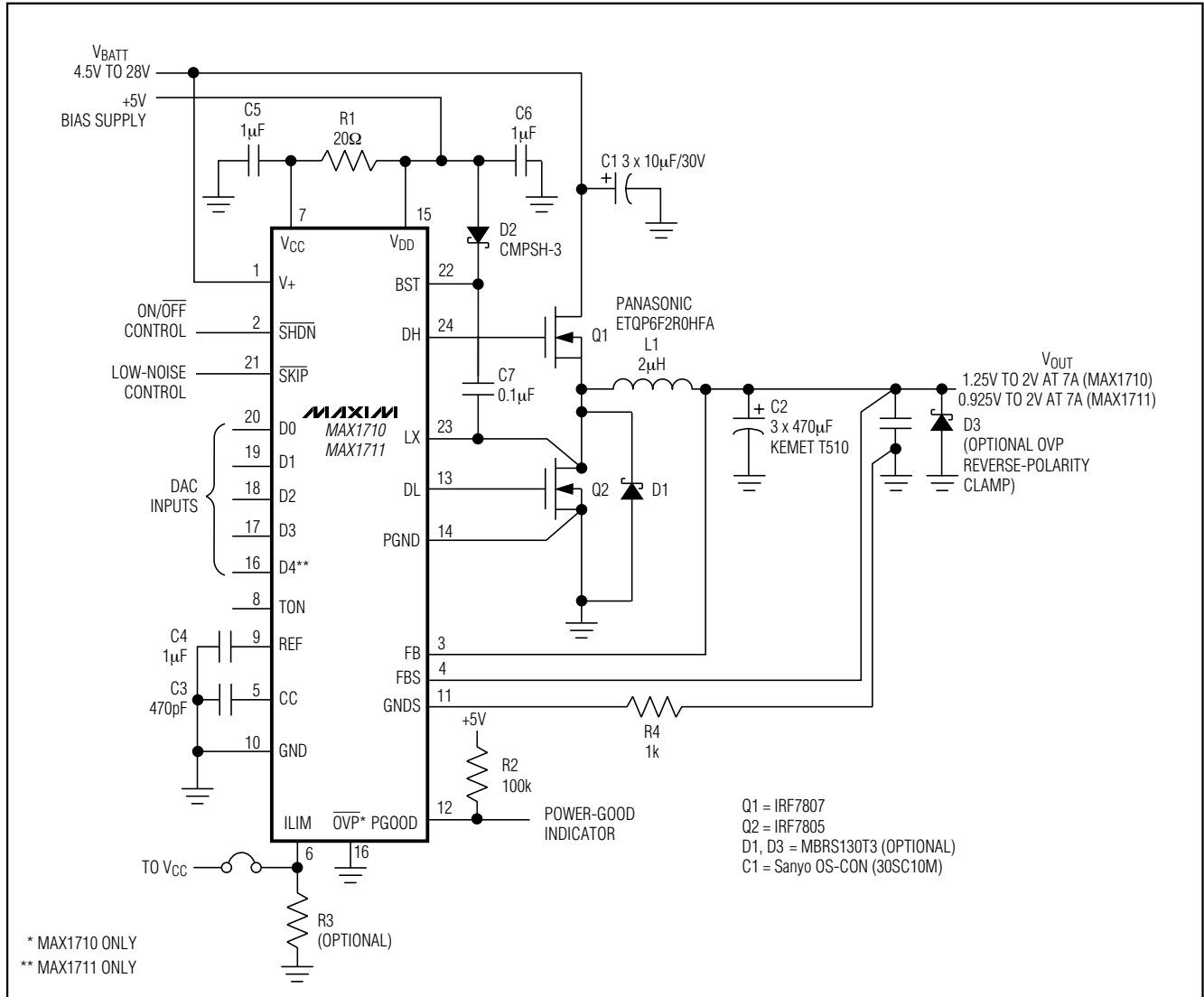


図1. 標準アプリケーション回路

アス電源は、ノートブックコンピュータの95%効率5Vシステム電源になります。バイアス電源をICの外部に配置すると効率を向上できるだけでなく、PWM回路及びゲートドライバで必要となる+5Vリニアレギュレータのコストを除去することもできます。スタンダオン機能が必要な場合は、MAX1615等の外部リニアレギュレータで+5V電源を発生できます。

入力が一定の4.5V~5.5V電源の場合は、バッテリー及び+5Vバイアス入力をまとめて接続できます。+5Vバイアス電源オーババッテリー電源の前にパワーアップする場合

は、スタートアップを保証するために、バッテリー電圧を得る時点までイネーブル信号( $\overline{\text{SHDN}}$ )を遅延することが必要です。この+5Vバイアス電源は、 $V_{\text{CC}}$ 及びゲート駆動電力を供給しなければならないため、最大消費電流は次のようになります。

$$I_{\text{BIAS}} = I_{\text{CC}} + f \cdot (Q_{G1} + Q_{G2}) = 15\text{mA} \sim 30\text{mA}(\text{typ})$$
 ここで、 $I_{\text{CC}}$ は600μA(typ)、 $f$ はスイッチング周波数、 $Q_{G1}$ 及び $Q_{G2}$ はMOSFETデータシートの $V_{\text{GS}} = 5\text{V}$ における合計ゲートチャージ仕様リミットです。

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

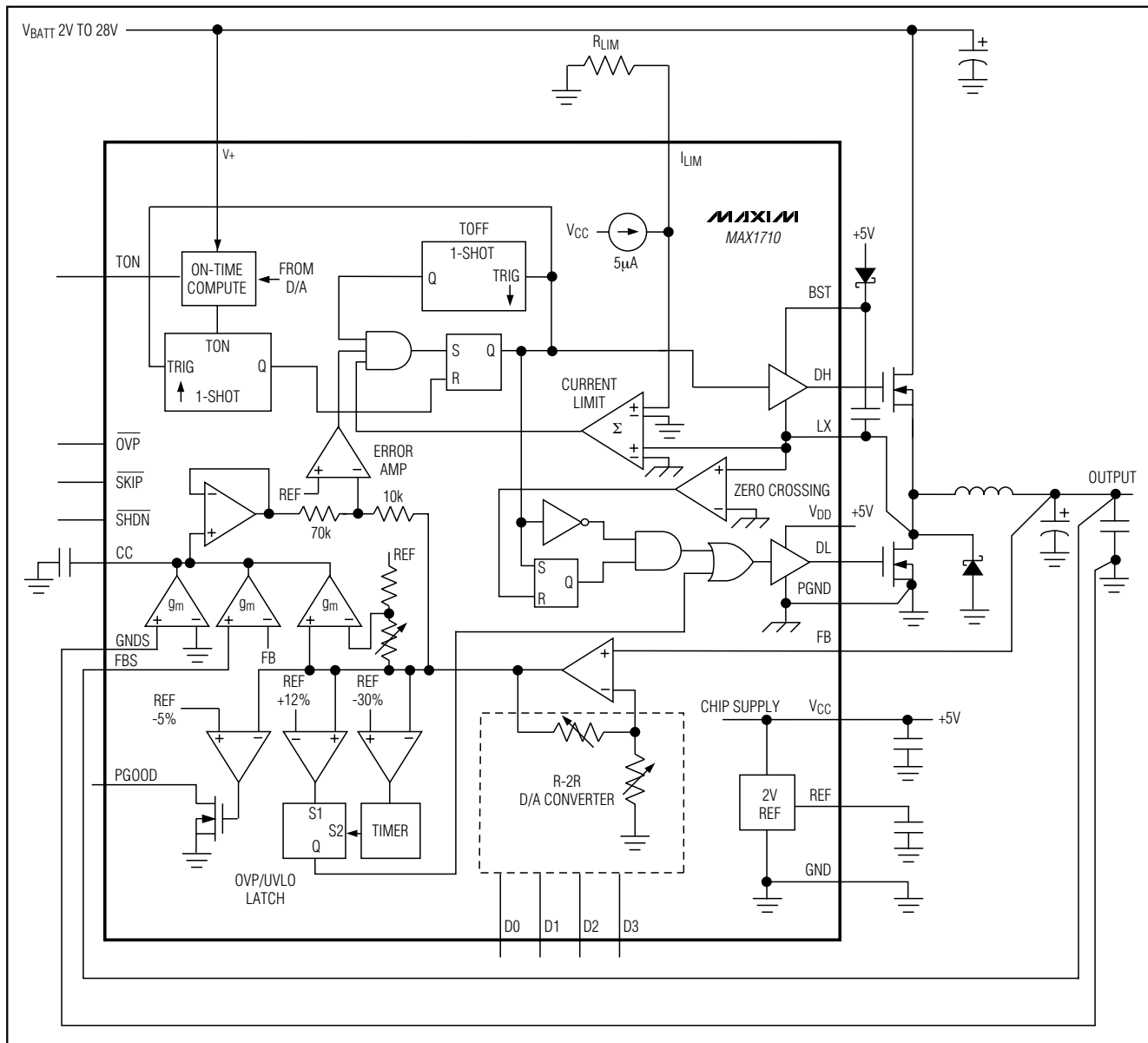


図2. MAX1710のファンクションダイアグラム

入力フィードフォワードを備えたフリーランニング、一定オンタイムPWMコントローラ

QUICK-PWM制御構造は、電圧フィードフォワードを備えたほぼ固定周波数の一定オンタイム電流モードタイプです(図2)。この構造は、フィルタコンデンサのESRを電流検出抵抗として利用するため、PWMランプ信号は出力リップル電圧から得ます。制御アルゴリズムは簡単です。ハイサイドスイッチのオンタイムは、周期

が入力電圧に反比例し、出力電圧に正比例する単安定マルチバイブレータだけによって決まります。もう1つの単安定マルチバイブレータは、最小オフタイム(400ns typ)を設定します。オンタイム単安定マルチバイブレータがトリガされるのは、誤差コントローラがロー、ローサイドスイッチ電流が電流リミットスレッシュホールド以下で、さらに最小オフタイム単安定マルチバイブレータが終了した場合です。

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

表1. MAX1710 FB出力電圧DACコード

D3	D2	D1	D0	OUTPUT VOLTAGE (V)
0	0	0	0	2.00
0	0	0	1	1.95
0	0	1	0	1.90
0	0	1	1	1.85
0	1	0	0	1.80
0	1	0	1	1.75
0	1	1	0	1.70
0	1	1	1	1.65
1	0	0	0	1.60
1	0	0	1	1.55
1	0	1	0	1.50
1	0	1	1	1.45
1	1	0	0	1.40
1	1	0	1	1.35
1	1	1	0	1.30
1	1	1	1	1.25

## オンタイム単安定マルチバイブレータ(TON)

PWMの心臓部は、ハイサイドスイッチのオンタイムを設定する単安定マルチバイブレータです。この高速、低ジッタ、可変単安定マルチバイブレータには、バッテリー及び出力電圧に応じてオンタイムを変えるための回路が含まれています。ハイサイドスイッチのオンタイムは、V+入力で測定されるバッテリー電圧に反比例し、DACコードで設定される出力電圧に正比例します。このアルゴリズムは、固定周波数クロックジェネレータが無いにもかかわらず、ほぼ一定のスイッチング周波数を提供します。一定スイッチング周波数の利点は2つありますが、その1つは、周波数を選択して455kHz IF帯域などのノイズに敏感な領域を避けられることです。もう1つは、インダクタリップル電流動作点が比較的一定に保たれるため、設計が容易になるだけでなく、出力電圧リップルを予測できることです。

$$\text{オンタイム} = K(V_{\text{OUT}} + 0.075V)/V_{\text{IN}}$$

ここで、KはTONピストラップ接続で設定される値で、予想されるローサイドMOSFETスイッチ両端の電圧降下に対応する概算値は0.075Vです。伝播遅延は固定であるため、オンタイム設定が短い程単安定マルチバイブレータタイミング誤差が増大し、550kHz及び400kHzでは約±12.5%、より遅い他の2つの設定では±10%になります。従って、より高い周波数ではスイッチング周波数精度が低下することになります(表5)。ローサイド

表2. MAX1711 FB出力電圧DACコード

D4	D3	D2	D1	D0	OUTPUT VOLTAGE (V)
0	0	0	0	0	2.00
0	0	0	0	1	1.95
0	0	0	1	0	1.90
0	0	0	1	1	1.85
0	0	1	0	0	1.80
0	0	1	0	1	1.75
0	0	1	1	0	1.70
0	0	1	1	1	1.65
0	1	0	0	0	1.60
0	1	0	0	1	1.55
0	1	0	1	0	1.50
0	1	0	1	1	1.45
0	1	1	0	0	1.40
0	1	1	0	1	1.35
0	1	1	1	0	1.30
0	1	1	1	1	Shutdown 3*
1	0	0	0	0	1.275
1	0	0	0	1	1.250
1	0	0	1	0	1.225
1	0	0	1	1	1.200
1	0	1	0	0	1.175
1	0	1	0	1	1.150
1	0	1	1	0	1.125
1	0	1	1	1	1.100
1	1	0	0	0	1.075
1	1	0	0	1	1.050
1	1	0	1	0	1.025
1	1	0	1	1	1.000
1	1	1	0	0	0.975
1	1	1	0	1	0.950
1	1	1	1	0	0.925
1	1	1	1	1	Shutdown 3*

\* See Table 3

MOSFET両端の電圧降下の増大が原因で、スイッチング周波数は負荷電流の関数として増大します。これは、インダクタ電流放電ランプがより速くなるためです。「Electrical Characteristics」で保証しているオンタイムは、外部ハイサイドパワーMOSFETのスイッチング遅延が影響します。実際のスイッチング周波数は、ゲート充電、内部ゲート抵抗、ソースインダクタンス、及びDH出力駆動特性に依存します。

スイッチング周波数の精度に影響する外部要因としては、2つの伝導ループに存在する抵抗の電圧降下(イン

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

ダクタ及びPCボードの抵抗を含む)及びデッドタイム効果の2つがあります。これらの要因は、負荷電流の変化に伴う周波数変化の最大の原因です。デッドタイム効果とは、負荷電流の変化に伴って発生するスイッチング周波数の不連続性です(「標準動作特性」参照)。この効果は、特にSKIPがハイの軽負荷時に、インダクタ電流が反転すると発生します。インダクタ電流が反転すると、インダクタのEMFによって、通常よりも早くLXがハイになり、ローからハイへのデッドタイムだけオンタイムが長くなります。臨界伝導点以上の負荷においては、実際のスイッチング周波数は次の通りです。

$$f = \frac{V_{OUT} + V_{DROP1}}{t_{ON}(V_{IN} + V_{DROP2})}$$

ここで、 $V_{DROP1}$ は、同期整流器、インダクタ、及びPCボードの抵抗を含め、インダクタ放電経路内の寄生電圧降下の合計値、 $V_{DROP2}$ は充電経路内の抵抗の合計値、 $t_{ON}$ はMAX1710/MAX1711で計算されるオンタイムを示します。

## 積分器アンプ(CC)

出力レギュレーション点の微調整を行う3つの積分器アンプが存在します。その1つはGNDSとGNDの間の差を監視し、もう1つはFBSとFBの間の差を監視します。3つ目の積分器アンプは、REFとDAC出力の間の差を積分します。これら3つのトランスコンダクタンス・アンプの出力はチップ内で直接合計されるため、積分時定数はコンデンサで容易に設定できます。各アンプの $g_m$ は $160\mu\text{mho}(\text{typ})$ です。この積分器ブロックでは、出力電圧を約-2%、+4%だけ移動及び補正することが可能です。各アンプでは、DCオフセット及びACリップルを含め、差動入力電圧範囲は合計で約 $\pm 50\text{mV}$ です。各積分器の電圧利得は約 $80\text{V/V}$ です。

FBSアンプは、DC-DCコンバータと負荷の間の出力バス経路に存在するPCボードトレース及びコネクタのDC電圧降下を補正します。GNDSアンプは、出力グランドバスに対して同様のDC補正処理を行います。3番目のアンプは、 $V_{OUT}$ を出力リップル波形の平均値で強制的に安定化するための平均化機能を提供します。これらの積分器アンプをディセーブルすると、 $V_{OUT}$ は出力リップル波形の谷間で安定化されます。これによって、軽負荷時に出力電圧が約1%(リップル波のピーク振幅の1/2まで)上昇するような負荷レギュレーション特性が得られます。

積分器には長所と短所があります。積分器はDCバス抵抗による電圧降下を補正し、ピーク間出力リップルの平均を取ることでDC出力電圧許容差を縮めますが、

最高の負荷過渡応答を達成する時の支障になります。最高の負荷過渡応答は、3つ全ての積分器をディセーブルした時に得られます。MAX1710/MAX1711回路をCPUの直近に配置できる場合は、この方法が非常に良好に動作します。

DC-DCコンバータとCPUの間には、コネクタ又は少なくとも何ミリかのPCボードトレース抵抗が存在します。この場合最も良い方法は、大部分のバルクバイパスコンデンサをCPUの近くに配置し、CPUカードのプラグを外した時のリップルを抑制するために、1つのコンデンサだけをコネクタの反対側でMAX1710/MAX1711の近くに配置することです。これにより、リモート検出ライン及び積分器から良い結果が得られます。

GNDS及びFBSの両方を $V_{CC}$ に接続して3つ全部の積分器をディセーブルする時は、CCを未接続のままにしておくことができるため、部品数が減ります。

## 自動パルススキップ切換え

軽負荷時にはPFMへの自動切換えが発生します。この切換えには、インダクタ電流のゼロクロスでローサイドスイッチのオンタイムを中絶するコンパレータが影響します。このメカニズムによって、パルススキップPFMと非スキップPWM動作間のスレッシュホールドが、連続及び断続インダクタ電流動作間の境界と一致します(「臨界伝導」点としても知られています。「標準動作特性」のContinuous to Discontinuous Inductor Current Point vs. Input Voltageのグラフを参照して下さい)。7V~24Vのバッテリー範囲では、このスレッシュホールドはバッテリー電圧に多少依存しますが比較的一定です。

$$I_{LOAD(SKIP)} \approx \frac{K}{2L}$$

ここで、Kはオンタイムスケールファクタを示します(表5参照)。PFM/PWMクロスオーバーが発生する負荷電流レベル( $I_{LOAD(SKIP)}$ )は、インダクタ値の関数であるピーク間リップル電流の1/2に等しくなります(図3)。例えば、24Vで $t_{ON} = 300\text{ns}$ 、 $V_{OUT} = 2\text{V}$ 、及び $L = 2\mu\text{H}$ の標準アプリケーション回路では、 $I_{LOAD} = 1.65\text{A}$ (全負荷の約1/4)でパルススキップ動作への切換えが発生します。スイング(ソフト飽和)インダクタを使用した場合は、クロスオーバー点がより低い値で発生します。

軽負荷によってパルススキップ動作が発生すると、スイッチング波形はノイズが多く非同期的ように見えることもあります。これは軽負荷効率が高くなる正常な動作です。PFMノイズと軽負荷効率間の妥協点は、インダクタ値を変えることによって調整できます。一般に、インダクタ値が低いと効率対負荷曲線がより広く

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

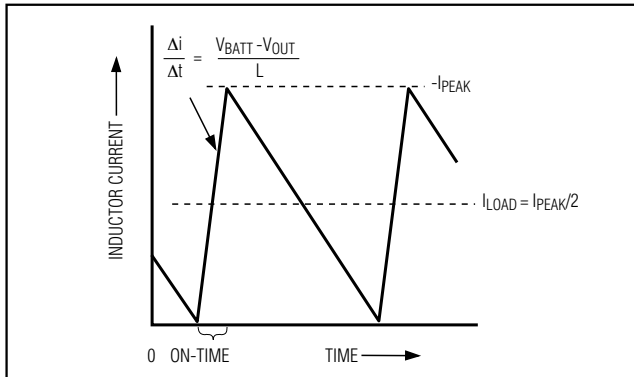


図3. パルススキップ断続クrossオーバー点

なり、インダクタ値が高いと全負荷効率が高くなり(コイル抵抗が一定の場合)、出力電圧リップルが小さくなります。但し、インダクタ値を高くすると物理的なサイズが増し、(特に低入力電圧レベルにおいて)負荷過渡応答が劣化します。

## 強制PWMモード(SKIP = ハイ)

低ノイズ、強制PWMモード(SKIPをハイで駆動)においては、ローサイドスイッチのオンタイムを制御するゼロクロスコンパレータがディセーブルされます。これによって、ローサイドゲート駆動波形がハイサイドゲート駆動波形と相補的になります。この結果、PWMループがデューティサイクルを $V_{OUT}/V_{IN}$ に維持しようとするため、インダクタ電流は軽負荷で逆転します。強制PWMモードの利点は、スイッチング周波数をほぼ一定に保つことですが、この場合無負荷時のバッテリー電流が40mA以上になる可能性があるという問題が生じます。

強制PWMモードが最も有効となるのは、オーディオ周波数ノイズを低減する場合、負荷過渡応答を向上する場合、動的出力電圧調整時のシンク電流機能を提供する場合、及びフライバックトランス又は結合インダクタを使用した複数出力アプリケーションのクロスレギュレーションを向上する場合です。

## 電流リミット回路(ILIM)

電流リミット回路には、ローサイドMOSFETのオン状態の抵抗を電流検出素子として使用するユニークな「谷間」電流検出アルゴリズムを採用しています。電流検出信号が電流リミットスレッシュホールドよりも大きい時は、PWMの新しいサイクルを開始できません(図4)。実際のピーク電流は、電流リミットスレッシュホールドよりもインダクタリップル電流の量だけ大きくなります。従って、正確な電流リミット特性及び最大負荷性能は、MOSFETオン抵抗、インダクタ値、及びバッテリー電圧の関数になります。この不確実性という対価を支払うことにより、損失のない確実な過電流検出を達成できます。

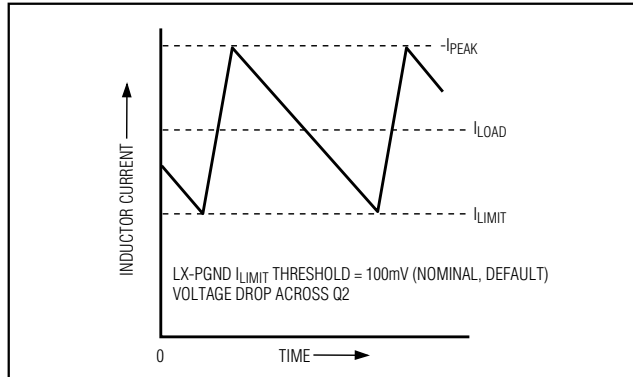


図4. 「谷間」電流リミットスレッシュホールド点

UVP保護回路と組み合わせると、この電流リミット技法は殆どの状況で効果的です。

又、 $V_{OUT}$ が電流のシンクとなっている時に過剰な逆インダクタ電流を防止する負の電流リミットも存在します。負の電流リミットスレッシュホールドは、正の電流リミットの約120%に設定されるため、ILIMの調整時に正の電流リミットに追従します。

電流リミットスレッシュホールドは、ILIMの外付抵抗( $R_{LIM}$ )で調整できます。ILIMの精密5 $\mu$ Aプルアップ電流ソースがこの抵抗の電圧降下を設定し、電流リミットスレッシュホールドを50mV~200mVの範囲で調整します。可変モードでは、電流リミットスレッシュホールド電圧は、ILIMの電圧のちょうど1/10です。従って、2k /mVと電流リミットスレッシュホールドの積と等しい $R_{LIM}$ を選択して下さい。ILIMを $V_{CC}$ に接続した時のデフォルトスレッシュホールドは100mVです。この100mVデフォルト値への切換え用ロジックスレッシュホールドは、約 $V_{CC} - 1V$ です。

可変電流リミットは、不規則なオン抵抗特性を持つMOSFETへの対応を可能にします(「設計手順」の項参照)。コンデンサを $R_{LIM}$ と並列に接続すると、可変ソフトスタート機能が可能になります。

PCボードレイアウトのガイドラインを厳守し、LX及びPGNDから見た電流検出信号が、ノイズ及びDC誤差によって影響を受けないようにして下さい。このICはローサイドMOSFETの近くに取り付け、ソース及びドレイン端子へのケルビン検出接続を短くダイレクトなトレースで行うことが必要です。

## MOSFETゲートドライバ(DH、DL)

DH及びDLドライバは、中間サイズのハイサイド及びより大きなローサイドパワーMOSFETの駆動用として最適化されています。これは、 $V_{BATT} - V_{OUT}$ の差が大きいノートブックCPU環境に見られる低デューティ係数に適応します。アダプティブデッドタイム回路はDL出力を監視し、DLが完全にオフになる前にハイサイドFET

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

がオンになるのを防ぎます。このアダプティブデッドタイム回路を正しく動作させるには、DLドライバからMOSFETゲートへの低抵抗、低インダクタンス経路が必要です。さもないと、MAX1710/MAX1711内の検出回路は、MOSFETゲートに現実にはまだ電荷が残っている時に、MOSFETゲートがオフであるものと解釈します。経路には、10~20平方の非常に短く太いトレースを使用して下さい(MOSFETがMAX1710/MAX1711から1 inchの場合は、50~100 mils)。

反対側のデッドタイム(DHターンオフ)は、固定の35ns(typ)内部遅延によって決まります。

DLをローに駆動する内部プルダウン抵抗は、0.5 (typ)のオン抵抗を持つ協力的なものです。これは、大きなローサイド同期整流器MOSFETのドレインからゲートへの容量カップリングによって、インダクタノードの高速立上り時間にDLがプルアップされるのを防ぎます。但し、ハイサイドFET及びローサイドFETの組合せによっては、過大なゲートドレインカップリングが起こり、これが原因で、効率の低下及びEMIの発生を伴う貫通電流が発生する可能性もあります。この問題は、多くの場合BSTと直列に抵抗を追加することで解決できますが、この場合ターンオフ時間に影響を及ぼすことなくハイサイドFETのターンオン時間を増大することができます。

## DACコンバータ(D0~D4)

D/Aコンバータ(DAC)は、出力電圧をプログラムします。このDACは、CPUモジュールのピンからデジタルコードを受け取り、GNDに接続されるか又は無接続になります。尚、このコードはデスクトップVRMコードとは一致しません。MAX1710/MAX1711は、外部抵抗を排除するために各入力に小さな内部プルアップを持っています。

パワーアップ状態でMAX1710 DACコードを変更する場合、一度に1LSBより大きくコードを変更すると過電圧/低電圧保護機能が動作することがあります。DACコードを「オンザフライ(無中断)」で変更する機能が必要なアプリケーションでは、MAX1711を使用して下さい。

## POR、UVLO、及びソフトスタート

$V_{CC}$ が約2Vを超えて上昇すると、パワーオンリセット(POR)が発生し、フォルトラッチ及びソフトスタートカウンタがリセットされ、PWMが動作可能になります。 $V_{CC}$ 低電圧ロックアウト(UVLO)回路はスイッチングを抑制し、 $V_{CC}$ が4.2V以上になるまでDLゲートドライバを強制的にハイにします(出力過電圧保護を行うため)。 $V_{CC}$ が4.2V以上になると、内部デジタルソフトスタートタイマが最大許容電流リミットを徐々に上昇させます。この増加は20%、40%、60%、80%、100%の

5ステップで発生し、 $1.7ms \pm 50\%$ 後に100%の電流が利用できるようになります。

連続的に変化するアナログソフトスタート機能は、ILIMで $R_{LIM}$ と並列にコンデンサを追加することによって実現できます。このソフトスタート法では、 $R_{LIM}$ でコンデンサを放電するため、パワーダウンとパワーアップの間に最低休止期間が必要です。

## パワーグッド出力(PGOOD)

シャットダウン又はスタンバイモードの時を除き、出力(FB)に低電圧状態が存在しないかどうかPGOODコンパレータによって連続的に監視されています。-5%低電圧トリップスレシヨルドは、DACで設定した標準無負荷出力電圧に対して測定したものです。DACコードが1LSB以上のステップで増加する場合は、PGOODが瞬時的にローになることが考えられます。シャットダウン及びスタンバイモードでは、PGOODが能動的にローに維持されます。PGOOD出力は、寄生ESDダイオードのない真のオープンドレイン型です。尚、PGOOD低電圧検出器は、出力UVPフォルト検出器から完全に独立しています。

## 出力過電圧保護(OVP)

過電圧保護回路は、大電流を流してバッテリーヒューズを切断することによって、ハイサイドMOSFETの短絡から保護するように設計されています。FBノードが過電圧状態になっていないかが継続的に監視されています。過電圧トリップスレシヨルドは、DACコード設定を追従します。出力がMAX1710の定格レギュレーション点から12.5%以上上昇すると(MAX1711では2.25V絶対)、過電圧保護(OVP)がトリガされ、回路がシャットダウンされます。この結果DLローサイドゲートドライバ出力は、 $\overline{SHDN}$ がトグルされるか $V_{CC}$ 電源が1V以下に一度低下するまでハイにラッチされます。これによって、同期整流器MOSFETが100%デューティでオンになり、出力フィルタコンデンサが急速に放電され、出力が強制的にグラウンドレベルになります。

過電圧の原因(ハイサイドMOSFETの短絡など)が取り除かれない場合、バッテリーヒューズが切断されます。尚、DLがハイになると、OVPの起動時に出力LCに蓄積されているエネルギーが原因で、出力極性反転が発生する可能性があります。負荷が強制的な負の電圧に耐えられない場合は、逆極性クランプとして動作するパワーショットキダイオードをこの出力の両端に接続するのが適切です(図1)。FBピンがグラウンド以下になると、負電圧が $\overline{SHDN}$ にカップリングしてMAX1710/MAX1711自体にも影響することがあります。この場合、FB及びFBSと直列に1k 抵抗を追加することが必要です(図7)。

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

表3. 動作モードの真理値表

SHDN	SKIP	OVP	DL	MODE	COMMENTS
0	X	0	High	Shutdown1	Low-power shutdown state. DL is forced to V <sub>DD</sub> , enforcing OVP. I <sub>CC</sub> < 1μA typ.
0	X	1	Low	Shutdown2	Low-power shutdown state. DL is forced to GND, disabling OVP. I <sub>CC</sub> < 1μA typ. Exiting shutdown triggers a soft-start cycle.
1	X	X	Low	Shutdown3 (MAX1711 only)	DAC code = X1111 (see Table 2) DL is forced to PGND, DH is forced to LX. The MAX1711 eventually goes into UVP fault mode as the load current discharges the output.
1	Below GND	X	Switching	No Fault	Test mode with OVP, UVP, and thermal faults disabled and latches cleared. Otherwise normal operation, with automatic PWM/PFM switchover for pulse skipping at light loads (Figure 6).
1	X	1	Switching	No OVP	OVP faults disabled and OVP latch cleared. Otherwise normal operation, with SKIP controlling PWM/PFM switchover.
1	V <sub>CC</sub>	X	Switching	Run (PWM), Low Noise	Low-noise operation with no automatic switchover. Fixed-frequency PWM action is forced regardless of load. Inductor current reverses at light load levels. I <sub>CC</sub> draw = 750μA typ. I <sub>DD</sub> draw = 15mA typ.
1	GND	X	Switching	Run (PFM/PWM)	Normal operation with automatic PWM/PFM switchover for pulse skipping at light loads. I <sub>CC</sub> = 600μA typ. I <sub>DD</sub> draw = load dependent.
1	X	X	High	Fault	Fault latch has been set by OVP, output UVLO, or thermal shutdown. Device will remain in FAULT mode until V <sub>CC</sub> power is cycled, SKIP is forced below ground, or SHDN is toggled.

表4. 周波数選択ガイドライン

FREQUENCY (kHz)	TYPICAL APPLICATION	COMMENT
200	4-cell Li+ notebook CPU core	Use for absolute best efficiency.
300	4-cell Li+ notebook CPU core	Considered mainstream by current standards.
400	3-cell Li+ notebook CPU core	Useful in 4-cell systems for lighter loads than the CPU or where size is key.
550	+5V-input notebook CPU core	Good operating point for compound buck designs or desktop circuits.

Shutdown1モードの時だけでなく、V<sub>CC</sub> UVLOがアクティブの時にDLはハイに維持されます(表3)。過電圧保護は、OVP入力(MAX1719のみ)又はSKIPテストモードで解除できます(「端子説明」参照)。

## 出力低電圧保護(UVP)

出力低電圧保護機能はフの字過電流リミットに似ていますが、可変電流リミットの代わりにタイマを使用します。MAX1710の出力(FB)のシャットダウンが解除され、20ms後に標準値の70%以下の場合、PWMがオフにラッチされ、V<sub>CC</sub>電源が一度低下するかSHDNが

トグルされるまでは再起動しません。MAX1711の標準UVPトリップスレッシュホールドは0.8V固定です。

## 保護機能なしテストモード

過電圧/低電圧保護機能が作動していると、障害を突き止めるための時間が(長くても)数ミリ秒しかないため、プロトタイプブレッドボードのデバッグ処理が難しくなります。従って、OVP、UVP、及びサーマルシャットダウン機能を完全にディセーブルし、すでにフォルトラッチがセットされている場合にこれをクリアするためのテストモードを提供しています。PWMは、SKIPが接地されているかのように動作します(PFM/PWMモード)。抵抗と直列に接続した外部の負電圧ソースを介しSKIPから1.5mAシンクすると、無障害テストモードに入ります(図6)。SKIPは、シリコンダイオードでGNDにクランプされているため、(V<sub>FORCE</sub> - 0.65V)/1.5mAに等しい抵抗値を選択して下さい。

## 設計手順

入力電圧範囲及び最大負荷電流は、スイッチング周波数及びインダクタ動作点(リップル電流比)を選択する前に確定して下さい。主要な設計妥協点は、良好なスイッチング周波数及びインダクタ動作点の選択によって決まり、その他は次の4つの要因によって決まります。



# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

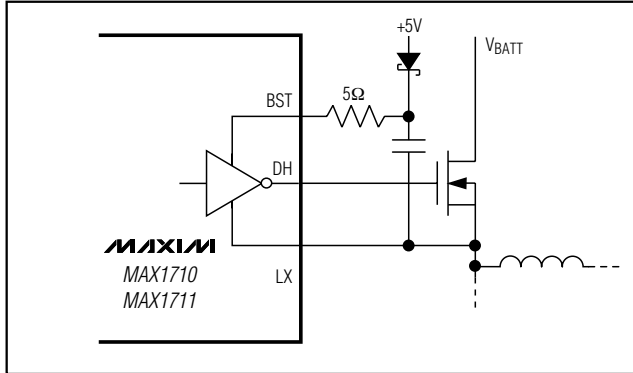


図5. スイッチングノードの立上り時間の低減

- 1) 入力電圧範囲。最大値( $V_{BATT(MAX)}$ )は、ACアダプタのワーストケースの高電圧に対応させる必要があります。最小値( $V_{BATT(MIN)}$ )は、コネクタ、ヒューズ、及びバッテリーセレクトスイッチによる電圧降下後の最低バッテリー電圧に対応させる必要があります。選択できる場合は、より低い入力電圧の方が効率が高くなります。
- 2) 最大負荷電流。考慮すべき値は2つあります。ピーク負荷電流( $I_{LOAD(MAX)}$ )は、瞬時的な素子のストレス及びフィルタリング条件を決定するため、出力コンデンサの選択、インダクタ飽和定格、及び電流リミット回路の設計を左右します。連続負荷電流( $I_{LOAD}$ )は、熱ストレスを決定するため、入力コンデンサ、MOSFET、及びその他の重要な発熱部品の選択を左右します。最近のノートブックCPUでは、 $I_{LOAD} = I_{LOAD(MAX)} \cdot 80\%$ が一般的です。
- 3) スイッチング周波数。サイズと効率間の基本的な妥協点は、スイッチング周波数によって決まります。MOSFETスイッチング損失は周波数及び $V_{BATT}^2$ に比例するため、最適周波数は主に最大入力電圧の関数になります。又、MOSFET技術の急速な改良によってより高い周波数が実用的になっていることから、最適周波数は変わりつつあります(表4)。
- 4) インダクタ動作点。この選択によって、サイズと効率間の妥協点を得ることができます。インダクタ値が低い程リップル電流が大きくなり、サイズが小さくなりますが、効率は劣化し出力ノイズが大きくなります。実用的な最小のインダクタ値は、臨界伝導の終端(最大負荷時にインダクタ電流が各サイクルでちょうどゼロに達する点)で回路が動作する値です。インダクタ値をこれ以上小さくしても、サイズ低減の利点はありません。

MAX1710/MAX1711のパルススキップアルゴリズムは、臨界伝導点でスキップモードを開始します。従って、PFM/PWM切換えが発生する負荷電流値も、インダクタ動作点で決まります。最適な動作点は、通常リップル電流が20%~50%の範囲内になります。

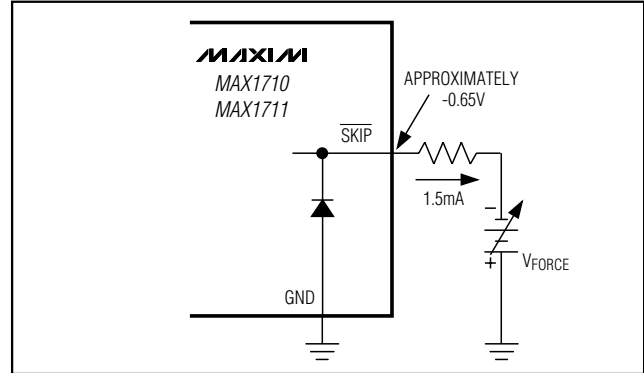


図6. 過電圧/低電圧保護のディセーブル(テストモード)

さらに、インダクタリップル電流は、特に $V_{BATT} - V_{OUT}$ 電圧差が小さい場合に過渡応答性能にも影響します。インダクタ値が低いと、インダクタ電流のスルーレートがより速くなり、急激な負荷ステップによって出力フィルタコンデンサから放電した電荷が補給されます。出力の落ち込み量は、次に示すようにオンタイム及び最小オフタイムから計算できる最大デューティ係数の関数でもあります。

$$V_{SAG} = \frac{(\Delta I_{LOAD(MAX)})^2 \cdot L}{2 \cdot C_F \cdot DUTY (V_{BATT(MIN)} - V_{OUT})}$$

## インダクタの選択

インダクタ値は、次に示すようにスイッチング周波数(オンタイム)及び動作点(%リップル又はLIR)によって決まります。

$$L = \frac{V_{OUT}}{f \cdot LIR \cdot I_{LOAD(MAX)}}$$

例:  $I_{LOAD(MAX)} = 7A$ ,  $V_{OUT} = 2V$ ,  $f = 300kHz$ , 50%リップル電流又はLIR = 0.5

$$L = \frac{2V}{300kHz \cdot 0.5 \cdot 7A} = 1.9\mu H (2\mu H)$$

割当てたスペースに収まる最低のDC抵抗を持つ低損失インダクタを使用して下さい。鉄粉コアは安価で200kHzでもうまく動作しますが、通常はフェライトコアが最適です。コアは、ピークインダクタ電流( $I_{PEAK}$ )で飽和しない大きさであることが必要です。

$$I_{PEAK} = I_{LOAD(MAX)} + (LIR / 2) \cdot I_{LOAD(MAX)}$$

## 電流リミットの設定

最小電流リミットスレッシュホールドは、電流リミットが最小許容値の時に最大負荷電流に対応できる大きさであることが必要です。インダクタ電流の谷間は、

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

$I_{LOAD(MAX)}$ からリップル電流の半分を差し引いた時点で発生するため、次のようになります。

$$I_{LIMIT(LOW)} > I_{LOAD(MAX)} - (LIR / 2) \cdot I_{LOAD(MAX)}$$

ここで、 $I_{LIMIT(LOW)}$ は、最小電流リミットスレッシュホールド電圧をQ2の $R_{DS(ON)}$ で割り算した値を示します。MAX1710では、最小電流リミットスレッシュホールド(100mVデフォルト設定)は90mVです。 $R_{DS(ON)}$ に関しては、MOSFET Q2データシートから最悪の場合の最大値を選択し、温度による $R_{DS(ON)}$ の上昇を考慮した余裕分を追加します。一般に、上昇温度1℃につき0.5%の抵抗値を追加するのが適切です。

高い温度における最大 $R_{DS(ON)}$ が15mΩである7AノートブックCPU回路の例では、次のようになります。

$$I_{LIMIT(LOW)} = 90\text{mV} / 15\text{m}\Omega = 6\text{A}$$

6Aは谷間電流5.25Aよりも大きいため、この回路は、デフォルト100mV標準 $I_{LIM}$ スレッシュホールドを使用し、容易に全定格7Aを供給できます。

電流リミットを調整する時は、電流リミット許容差の誤差が増大するのを防ぐために、公差1%の $R_{LIM}$ 抵抗を使用して下さい。

## 出力コンデンサの選択

出力フィルタコンデンサの実効直列抵抗(ESR)は、出力リップル及び負荷過渡条件を満足できるよう、十分に小さい必要がありますが、ESRは安定性の条件を満足できる十分な大きさも必要です。又容量値は、過電圧保護回路をトリップすることなく、全負荷から無負荷状態になる時のインダクタエネルギーを吸収できる大きさでなければなりません。

出力が急激な負荷トランジェントにさらされるCPU  $V_{CORE}$ コンバータや他のアプリケーションでは、出力コンデンサのサイズは負荷トランジェントによる過剰な出力低下を防止するために必要なESRの量に依存します。有限容量による電圧の落ち込みを無視すると、次のようになります。

$$R_{ESR} \leq \frac{V_{DIP}}{I_{LOAD(MAX)}}$$

CPU以外のアプリケーションでは、出力コンデンサのサイズは、次に示すように、許容できる出力電圧リップルを維持するために必要なESRの量に依存します。

$$R_{ESR} \leq \frac{V_{p-p}}{LIR \cdot I_{LOAD(MAX)}}$$

実際に必要な容量値(マイクロファラッド)は、低ESRを達成するのに必要な物理サイズ及びコンデンサの種類に関係します。従って、コンデンサは通常、容量値

ではなく、ESR仕様及び電圧定格によって選択します(これに該当するのはタンタル、OS-CON、及びその他の電解コンデンサです)。

セラミックやポリマーなどの低容量フィルタコンデンサを使用する場合は、通常、全負荷から無負荷状態に移る時に過電圧保護回路のトリップを防止するのに必要な容量を基にしてコンデンサのサイズを決定します。コンデンサの値は、インダクタの蓄積エネルギーによって出力が過電圧保護スレッシュホールド以上になるのを防止できる大きさであることが必要です。一般に、オーバシュート条件を満足する容量を追加すれば、負荷の立上りエッジでのアンダーシュートが問題になることはありません(「設計手順」の項の $V_{SAG}$ の式を参照)。

積分器をディセーブルした状態のインダクタの蓄積エネルギーによるオーバシュート量は、次のように計算できます。

$$\Delta V = \sqrt{\left( \frac{C_{OUT} \cdot V_{OUT}^2 + L \cdot I_{PEAK}^2}{C_{OUT}} \right)} - V_{OUT}$$

ここで、 $I_{PEAK}$ はピークインダクタ電流を示します。オーバシュートを最小にするには、先ず積分器をディセーブルします。これは、積分器本来の遅延によって負荷の変化後に余分な「ランオン」スイッチングサイクルが発生する可能性があるためです。

## 出力コンデンサの安定性

安定性は、スイッチング周波数に対するESRゼロの値によって決まります。不安定性の時点は、次式から求めることができます。

$$f_{ESR} = \frac{f}{\pi}$$
$$\text{where } f_{ESR} = \frac{1}{2 \cdot \pi \cdot R_{ESR} \cdot C_F}$$

標準的な300kHzアプリケーションでは、ESRゼロ周波数が95kHzよりもはるかに低くしなければならず、望ましいのは50kHz以下です。このデータシートの発行時に広く使用されているタンタルやOS-CONコンデンサでは、標準ESRゼロ周波数が15kHzになっています。インダクタの選択で使用した設計例では、50mVp-pリップルをサポートするのに必要なESRは50mV/3.5A = 14.2mΩです。低ESRタンタルコンデンサである470μF/4V Kemet T510を3つ並列に接続すると、15mΩ(max)のESRが得られます。この場合、標準の複合ESRは14.1kHzでゼロになり、十分安定範囲内にあります。

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

安定性の保証を考慮せずに、大きな値を持つセラミックコンデンサを高速フィードバック入力(FBからGND)に直接配置することは避けて下さい。値の大きなセラミックコンデンサはESRゼロ周波数が高く、不規則で不安定な動作になります。この場合、インダクタとFBピンの接点から5cm程負荷側にコンデンサを配置すると、十分な直列抵抗を容易に追加できます(「全セラミックコンデンサアプリケーション」の項を参照)。

不安定な動作は、ダブルパルシング及び高速フィードバックループ不安定性といった関連性はあっても全く異なる2つの問題として現れます。

ダブルパルシングは、FBのノイズが原因で発生するか、ESRが低すぎて出力電圧(FB)信号に十分な電圧ランプが得られないことが原因で発生します。この結果、400ns最小オフタイム期間が経過した直後に、新しいサイクルが誤差コンパレータによって誤って開始されます。ダブルパルシングは有害であるというよりも厄介で、出力リップルの増大を除いて悪影響はありません。ただし、ESRが不十分なことに起因してループ不安定性が生じている可能性があります。

ループ不安定性は、ライン又は負荷摂動後の出力に振動を起し、このために過電圧保護ラッチをトリップしたり、出力電圧を許容範囲以下に低下させることがあります。

安定性をチェックする最も簡単な方法は、非常に速いゼロから最大への負荷トランジェントを与え(MAX1710評価キットのマニュアルを参照)、出力電圧リップルエンベロープのオーバershoot及びリングングを観察する方法です。この場合、AC電流プローブでインダクタ電流を同時に監視できます。最初のステップ応答アンダershoot又はオーバershoot後は、リングングを1サイクルより多く発生させないで下さい。

## 入力コンデンサの選択

入力コンデンサは、スイッチング電流に必要なリップル電流条件( $I_{RMS}$ )を満足する必要があります。起動時のサージ電流への耐性から、タンタル以外のコンデンサ(セラミック、アルミ、又はOS-CON)が適切です。

$$I_{RMS} = I_{LOAD} \left( \sqrt{\frac{V_{OUT}(V_{BATT} - V_{OUT})}{V_{BATT}}} \right)$$

## パワーMOSFETの選択

ここで示すMOSFETガイドラインは、高電圧(> 20V) ACアダプタを使用した時に、高負荷電流能力(> 5A)を得ることに焦点を置いています。低電流アプリケーションでは、通常これ程注意する必要はありません。

最大の効率を得るには、ハイサイドMOSFET(Q1)として最適バッテリー電圧(15V)で伝導損失がスイッチング損失と同じになるものを選択します。この場合、最小入力電圧における伝導損失がパッケージの熱リミットを超えないこと、又は全体的な熱許容量に違反しないことを確認して下さい。さらに、最大入力電圧での伝導損失にスイッチング損失を加えた値がパッケージ定格を超えないこと、又は全体的な熱許容量に違反しないことを確認して下さい。

ローサイドMOSFET(Q2)としては、RDS(ON)が最低で、適度な小型パッケージ(8ピンSOPなど)で提供され妥当な価格のものを選択します。MAX1710/MAX1711 DLゲートドライバがQ2を駆動できることを確認して下さい。即ち、ドレイン・ゲート間の寄生容量によってハイサイドスイッチのターンオン時にゲートがプルアップされ、貫通電流の問題が発生することがないことを確認します。バック構成で使用した場合、ローサイドMOSFETはゼロ電圧スイッチドデバイスになるため、スイッチング損失が問題になることはありません。

## MOSFETの電力消費

ワーストケースの場合の伝導損失は、最小あるいは最大デューティで発生します。ハイサイドMOSFETでは、次に示すように最小バッテリー電圧で、抵抗による電力消費が最悪になります。

$$PD(Q1) = (V_{OUT} / V_{BATT(MIN)}) \cdot I_{LOAD}^2 \cdot R_{DS(ON)}$$

一般に、高い入力電圧でスイッチング損失を低減するには、小さなハイサイドMOSFETが望ましくなります。しかし、MOSFETをどれだけ小さくできるかは、パッケージ電力消費リミットを守るために必要なRDS(ON)によってしばしば制限されます。上でも述べたように、スイッチング(AC)損失と伝導(RDS(ON))損失が等しい時が最適です。通常、入力が約15Vを超えない限り、ハイサイドスイッチング損失が問題になることはありません。

ハイサイドMOSFETのスイッチング損失は、最大ACアダプタ電圧が印加された時に深刻な熱の問題を起すことがあります。これはCV<sup>2</sup>Fスイッチング損失の式の二乗項が原因です。低バッテリー電圧で十分なRDS(ON)が得られるように選択したハイサイドMOSFETが、VBATT(MAX)によって極端に熱くなる場合は、MOSFETを選択し直すことが必要です。

ターンオン時間及びターンオフ時間に影響する要因は数量化が難しいため、スイッチング損失によるQ1の電力消費を計算するのは困難です。これらの要因としては、内部ゲート抵抗、ゲートチャージ、スレッショルド電圧、ソースインダクタンス、及びPCボードのレイアウト特性があります。次に示すスイッチング損失の計算式は概算であって、ブレッドボード評価に代わるものではありません。ブレッドボード評価には、Q1に

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

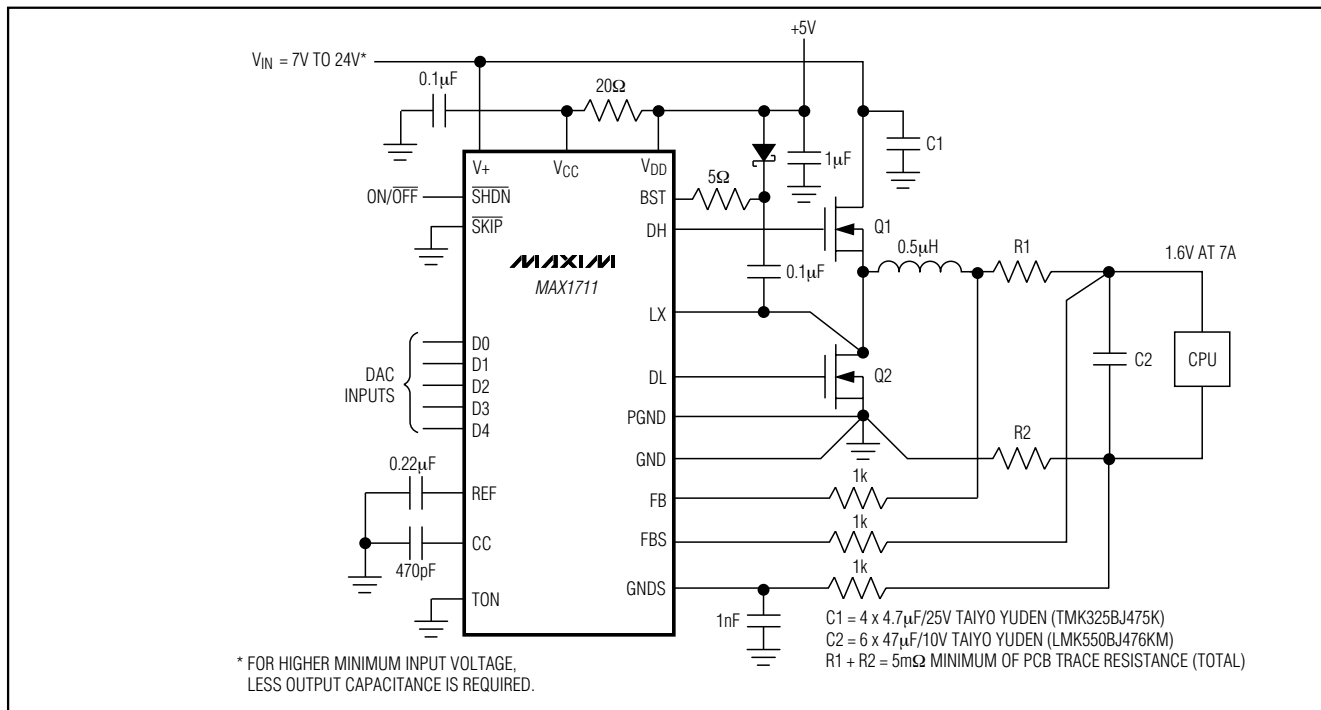


図7. 全セラミックコンデンサアプリケーション

表5. おおよそのK係数誤差

TON SETTING (kHz)	K FACTOR (µs-V)	APPROXIMATE K-FACTOR ERROR (%)	MIN VBATT AT VOUT = 2V (V)
200	5	±10	2.6
300	3.3	±10	2.9
400	2.5	±12.5	3.2
550	1.8	±12.5	3.6

取り付けした熱電対を使用したサニティー(健全性)チェックを行うのが好適です。

$$PD(\text{switching}) = \frac{C_{RSS} \cdot V_{BATT(\text{MAX})}^2 \cdot f \cdot I_{LOAD}}{I_{GATE}}$$

ここで、 $C_{RSS}$ はQ1の帰還容量、 $I_{GATE}$ はピークゲート駆動ソース/シンク電流(1A typ)を示します。

ローサイドMOSFET(Q2)に関しては、次に示すように常に最大バッテリー電圧で電力消費が最悪になります。

$$PD(Q2) = (1 - V_{OUT} / V_{BATT(\text{MAX})}) \cdot I_{LOAD}^2 \cdot R_{DS(\text{ON})}$$

絶対的に最悪のMOSFET電力消費が発生するのは、 $I_{LOAD(\text{MAX})}$ を超えても電流リミットを超えてフォルトラッチをトリップする程大きくはない重負荷がかかっている場合です。これを回避するには、 $I_{LOAD} = I_{LIMIT(\text{HIGH})} + (LIR/2)I_{LOAD(\text{MAX})}$ に耐える回路を設計することが

必要です。ここで、 $I_{LIMIT(\text{HIGH})}$ はスレッシュホールド公差及びオン抵抗変動を含め、電流リミット回路に許される最大谷間電流を示します。これは、MOSFETのヒートシンクをかなり良好に行わなければならないことを意味します。過負荷保護は必要なく、短絡保護だけで十分な場合は、通常の $I_{LOAD}$ 値を使用して部品ストレスを計算できます。

デッドタイム中にQ2 MOSFETボディダイオードがオンになるのを防止するには、順方向電圧が十分低いショットキダイオードD1を選択して下さい。原則として、DC電流定格が負荷電流の1/3に等しいダイオードで十分です。このダイオードはオプションで、効率が重要でない場合は省略して構いません。

## アプリケーション情報

### ドロップアウト性能

連続伝導動作の出力電圧調整範囲は、固定500ns(max)最小オフタイム単安定マルチバイプレータによって制限されます。最も優れたドロップアウト性能を得るには、最も遅い(200kHz)オンタイム設定を使用します。低入力電圧における動作時は、オンタイム及びオフタイムとして最悪の値を使用して、デューティ係数リミットを計算する必要があります。製造公差及び内部伝播遅延は、TON Kファクタに誤差を発生します。この誤差

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

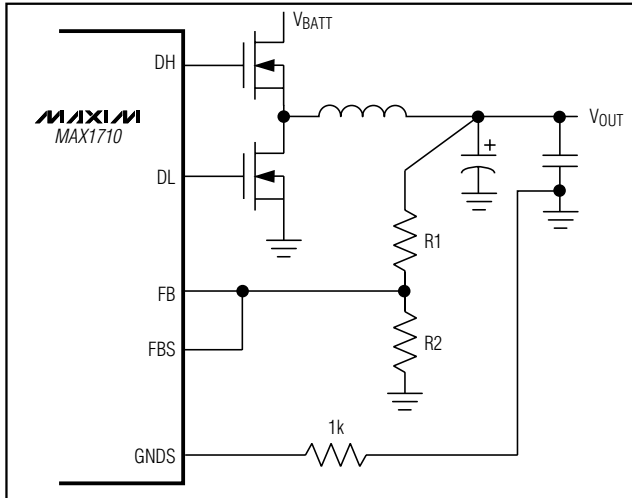


図8.  $V_{OUT}$ を抵抗分圧器で設定

は、周波数が高い程大きくなります(表5)、又、ドロップアウト付近で動作させた時のバックレギュレータの過渡応答性能は低く、パルク出力容量の追加が必要になることが一般的です(「設計手順」の項の $V_{SAG}$ 式を参照)。

ドロップアウト設計例： $V_{BATT} = 3V(\text{min})$ 、 $V_{OUT} = 2V$ 、 $f = 300\text{kHz}$ 。必要なデューティは、 $(V_{OUT} + V_{SW}) / (V_{BATT} - V_{SW}) = (2V + 0.1V) / (3.0V - 0.1V) = 72.4\%$ です。最悪のオンタイムは、 $(V_{OUT} + 0.075) / V_{BATT} \cdot K = 2.075V / 3V \cdot 3.35\mu\text{s} \cdot 90\% = 2.08\mu\text{s}$ です。ICのデューティ係数リミットは次の通りです。

$$\text{デューティ} = \frac{t_{ON(\text{MIN})}}{t_{ON(\text{MIN})} + t_{OFF(\text{MAX})}} = 2.08\mu\text{s} + 500\text{ns} = 80.6\%$$

これは必要なデューティを満足します。

最悪のドロップアウトデューティ係数を計算する時は、必ずインダクタ抵抗及びMOSFETオン時電圧降下( $V_{SW}$ )を含めて下さい。

## 全セラミックコンデンサアプリケーション

セラミックコンデンサには長所と短所があります。これらはESRが非常に低く、非燃焼性で、比較的小型であるうえ無極性です。この反面、高価でもろく、超低ESR特性によってESRゼロ周波数が異常に高くなる場合があります(安定性に影響)。それだけではなく、パルクのタンタル又は電解コンデンサを並列に接続してインダクタに溜まったエネルギーを吸収させないと、急に全負荷から無負荷状態に遷移した時に出力オーバーシュートが発生することもあります。場合によっては、電解コンデンサ用のスペースがないこともあり、セラミックだけを使用するDC-DC設計が必要になります。

図7に示す全セラミックコンデンサアプリケーションの基本性能は7A標準アプリケーション回路と同じですが、タンタル出力コンデンサをセラミックコンデンサで置き換えています。この設計で重要な点は、ESRゼロ周波数を低減するために最小5mの寄生PCボードトレース抵抗をコンデンサと直列に接続してあることです。この小さな抵抗は、MAX1710/MAX1711回路をCPUから5cm~7.5cm離し、全てのセラミックコンデンサをCPUの近くに配置することによって容易に得ることができます。この5m以上の抵抗値は、安定性を向上します(これは、「標準動作特性」で示す負荷過渡応答特性をチェックすると分かります)。PCボードのトレース抵抗は効率に悪影響があるため、過剰に追加しないようにして下さい。7A回路の場合は5mで十分です。

最小出力容量条件は、出力オーバーシュートによって決まります。この例では、負荷ステップの回復時にインダクタからコンデンサに伝送されるエネルギーを最小にするために、(標準7A回路の300kHz及び2μHに比べ)スイッチング周波数を550kHzに増加し、インダクタ値を0.5μHに低減しています。しかしMAX1710の場合は、これでもオーバーシュートが高すぎる(80mV)ため、OVPをディセーブルするか、2.25V固定の過電圧保護スレッシュホールドを持つMAX1711を使用し、フォルトラッチのトリップを回避するのが適切です(「出力コンデンサの選択」の項のオーバーシュートの式を参照)。550kHzで動作させた場合の効率低下は、約2%~3%で入力電圧に依存します。

ここでは、2つの1k抵抗(オプション)をFB及びFBSに直列に配置しています。これらの抵抗は、(OVPのトリップによって発生する)負の出力電圧スパイクが、内部ESDダイオードを介してSHDNをローにするのを防ぎます。負の出力電圧スパイクによりSHDNがローになるとフォルトラッチがクリアされる傾向があり、この結果「しゃっくり」起動が起こります。

## 抵抗分圧器における $V_{OUT}$ の設定

必要に応じて、DACではなく抵抗分圧器を使用して出力電圧を調整できます(図8)。この方法の短所は、出力電圧レベルの変更に応じてオンタイムを自動的に正しく補償できないことです。この結果、抵抗比の変化に伴うスイッチング周波数の変化及び(又は)スイッチング周波数上昇をまねきます。次に、出力電圧を調整するための式を示します。

$$V_{OUT} = (V_{FB} - 1\%) \left( 1 + \frac{R1}{R2} \right)$$

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

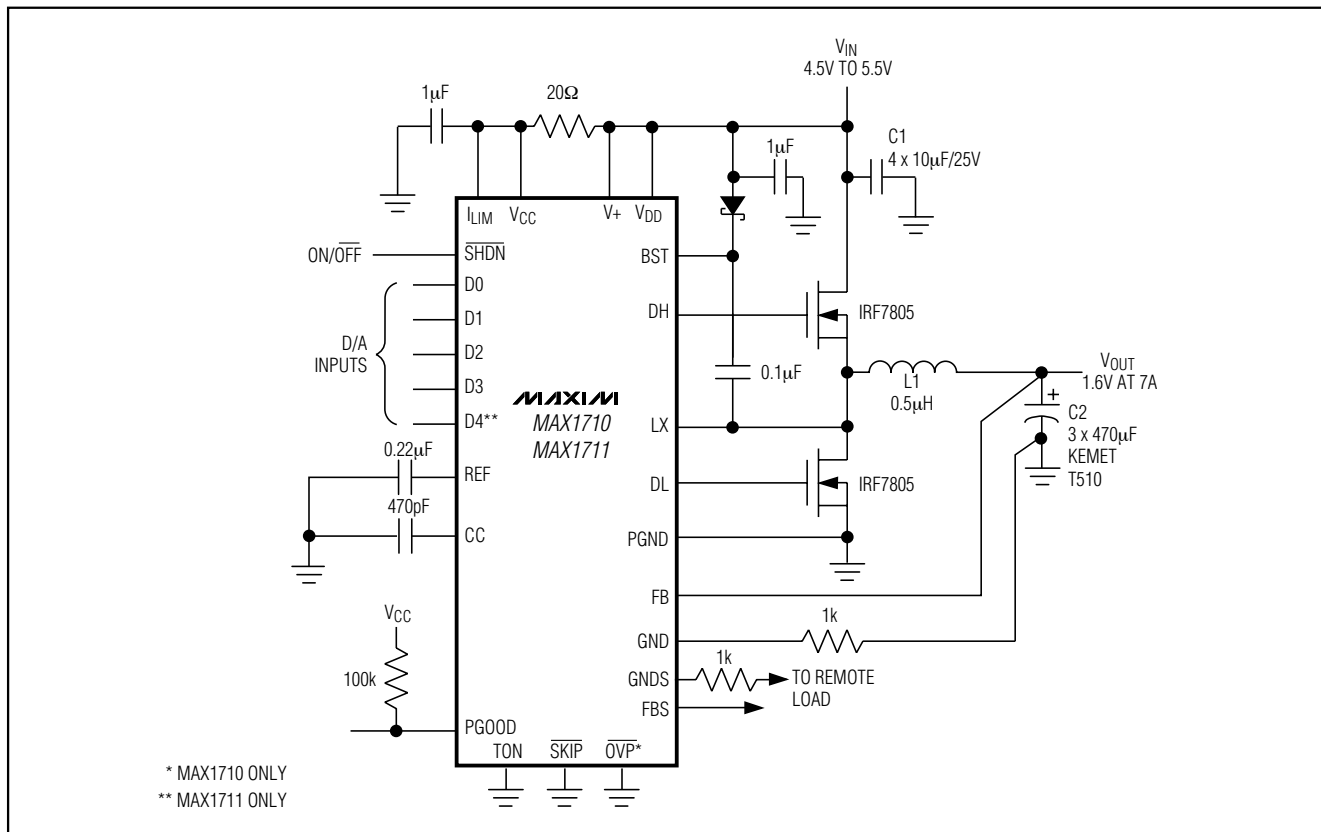


図9. 5V電源、7A CPUバックレギュレータ

ここで、 $V_{FB}$ は現在選択されているDAC値を示します。外部抵抗を使用した場合FBSリモート検出は勧められませんが、GND Sリモート検出は可能です。この場合、FBSをFBに接続し、GND Sをリモートグラウンドに接続します。抵抗調整回路ではスイッチング周波数が過剰にならないようにするために、DACコードを実際出力電圧にできるだけ近く設定することが必要です。最高の精度を得るために $V_{OUT}$ を外部抵抗で調整する場合はMAX1710を使用します。MAX1710のFBノードはインピーダンスが非常に高いためです。MAX1711のFBインピーダンスは $180k \pm 35\%$ であるため、 $V_{OUT}$ の精度が低下します。

## $V_{OUT}$ を2V以上に調整

オンタイムをバッテリー電圧に依存させるフィードフォワード回路は、 $V_{IN}$ 、 $I_{LOAD}$ 、及びDACコードが変化してもほぼ一定のスイッチング周波数を維持します。これは、FBを出力に直接接続した場合に非常に良好に動作します。

抵抗分圧器を使用して出力を2V以上に調整すると、実際のオフタイムが減少し、オンタイムの変化で補償されないため、スイッチング周波数が好ましくないレベルまで増大することがあります。実用的な調整範囲の上限は約3.3Vです。最も遅いTON設定でDACを2Vに設定したとしてもスイッチングレートは600kHzを超えます。出力過電圧保護に対するトリップスレシヨルドは、標準出力電圧設定に合わせてスケールリングします。

## 2段(5V電源)ノートブックCPUバックレギュレータ

高電圧バッテリーを非常に低い出力電圧にステップダウンする最も効率的でコスト効果の高い方法は、1段のバックレギュレータを使用し、これをバッテリーから直接駆動する方法です。しかし、バッテリーのバスをCPUの近くに配線できない場合や、スペースの制約から局部DC-DCコンバータを非常に小さくしなければならない場合があります。このような場合は、図9の5V駆動回路が適切です。入力電圧を低減しているため、スイッチング周波数をより高くし、インダクタ値をより小さくすることができます。

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

## DACコードの動的変更(MAX1711)

オンザフライ(無中断)でDACコードを切換えることによる出力電圧の動的変更は、ホストシステムで消費電力と性能間の妥協点を求める目的で利用できます。この場合、重要な設計問題が幾つかあります。

まず、出力を急速に上方向に変化させようとする、遷移中にICが出力電流リミットに達するに連れてバッテリーで大きな電流サージが発生します。サージ電流は、DACコードをゆっくりカウントするか(推奨速度は50kHz以下)、又は $I_{LIM}$ 電流リミットスレッシュホールドを変調することによって制御できます。

デバイスが遷移値からの無効なDACコードで誤動作しないように、DAC入力はすばやく新しい値に駆動されなければなりません。この場合、最大立上り及び立下り時間を100nsにしてください。

動的に変な $V_{CORE}$ アプリケーションでは、コンデンサ容量とESR間のバランスを保つために出力コンデンサの選択に注意が必要です。コンデンサのESRが負荷過渡応答仕様を満足する程の低さである場合、大きな容量によって過度な入力サージ電流が発生する可能性があります。これに対し純粋なセラミックコンデンサは、全負荷から無負荷状態への遷移時に過電圧を防止するのに十分な容量がありません(「出力コンデンサの選択」の項のオーバーシュートの式を参照)。許容される最小/最大容量値を維持しながら必要なESRを達成するには、異なるタイプのコンデンサを組み合わせるか、図7に示すような特殊なコンデンサを使用することが必要になる場合もあります。

最小負荷が非常に小さい場合は、遷移期間中に(SKIPを通じて)強制PWMモードを実行し、ある程度のシンク電流能力を保証することが必要です。さもなければ出力電圧は、外部の負荷電流でプルダウンされるまで下がりません。

シンク電流能力の保証を目的とする強制PWMモードの繰返し使用には、副作用があります。同期整流器によって出力から得たエネルギーは失われませんが、入力に戻ります。高電圧から低電圧への出力電圧遷移の頻度が高すぎると、入力コンデンサと出力コンデンサ間でエネルギーを往復させることに伴う抵抗性「フリクション」損失によって効率が低下します。又、出力を外部電源でオーバドライブすると(外部ドッキングステーション電源のように)、強制PWMモードによってバッテリー電圧が上昇し、バッテリーに過電圧状態が発生する可能性もあります。

## 大電力、動的変CPUアプリケーション

図10のMAX1711  $V_{CORE}$ レギュレータは、最小レベルの入力サージ電流に抑えながら、出力電圧を100 $\mu$ s以内に1.3Vと1.45V間で切換えるように設計されています。このため出力コンデンサは、a)必要なESRをサポートし、b)過度な負荷回復オーバーシュートを防止し、c)入力サージ電流を最小に抑えることのできる値を持つものが選択されています。

オプションの74HC86排他的OR(論理和)ゲートは、4つの最上位DAC入力のそれぞれにおいてコード遷移を検出します。この遷移検出器の出力は、パルスを75 $\mu$ s(公称)拡張するタイマである精密パルスストレッチャに送られます。その後、この信号はパワーグッド検出器、SKIP入力、及び $I_{LIM}$ 電流リミット制御入力の3つの回路に供給され、(バッテリー電流サージを低減するために)遷移期間中に電流リミットスレッシュホールドを下げます。同様に、SKIPがハイになり、出力電圧を新しい値に引き下げるために強制PWMモードとなります。強制PWMモードにおいては、インダクタ電流の再循環損失及びゲート駆動損失があるために良好な軽負荷効率を実現できません。従ってSKIPは、最大遷移期間中(100 $\mu$ s)だけハイに駆動されます。

パワーグッド出力信号は、75 $\mu$ sタイマ信号とMAX1711 PGOOD信号の論理和です。内部のPGOOD検出回路は、出力の低電圧状態だけを監視します。この場合PGOODは、上方向遷移時にローになりますが、下方向への遷移ではローにならないかもしれません。最終段のパワーグッド出力は、タイマ信号によって少なくとも75 $\mu$ s間は必ずローになります。

負荷電流能力は、10V~22Vの入力範囲においてピーク15A及び連続12Aです。3つ全部のMOSFETには、良好なヒートシンクが必要です。完全な部品表については、MAX1711 EVキットマニュアルを参照して下さい。

## PCボードレイアウトのガイドライン

低スイッチング損失及びクリーンで安定した動作を達成するには、PCボードのレイアウトに注意が必要です。特に、スイッチング電力段には細心の注意が必要です(図11)。できれば全ての電力部品をボードの上面に実装し、グランド端子が互いにぴったり接触するようにします。良好なPCボードレイアウトを達成するには、次のガイドラインに従って下さい。

- 大電流経路は特にグランド端子部で短くします。これは、ジッタのない安定した動作を得る上で重要です。
- ICの近くでGNDとPGNDを接続します。「レイアウト手順」のステップ4に示すグラウンディング方法に従って下さい。

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

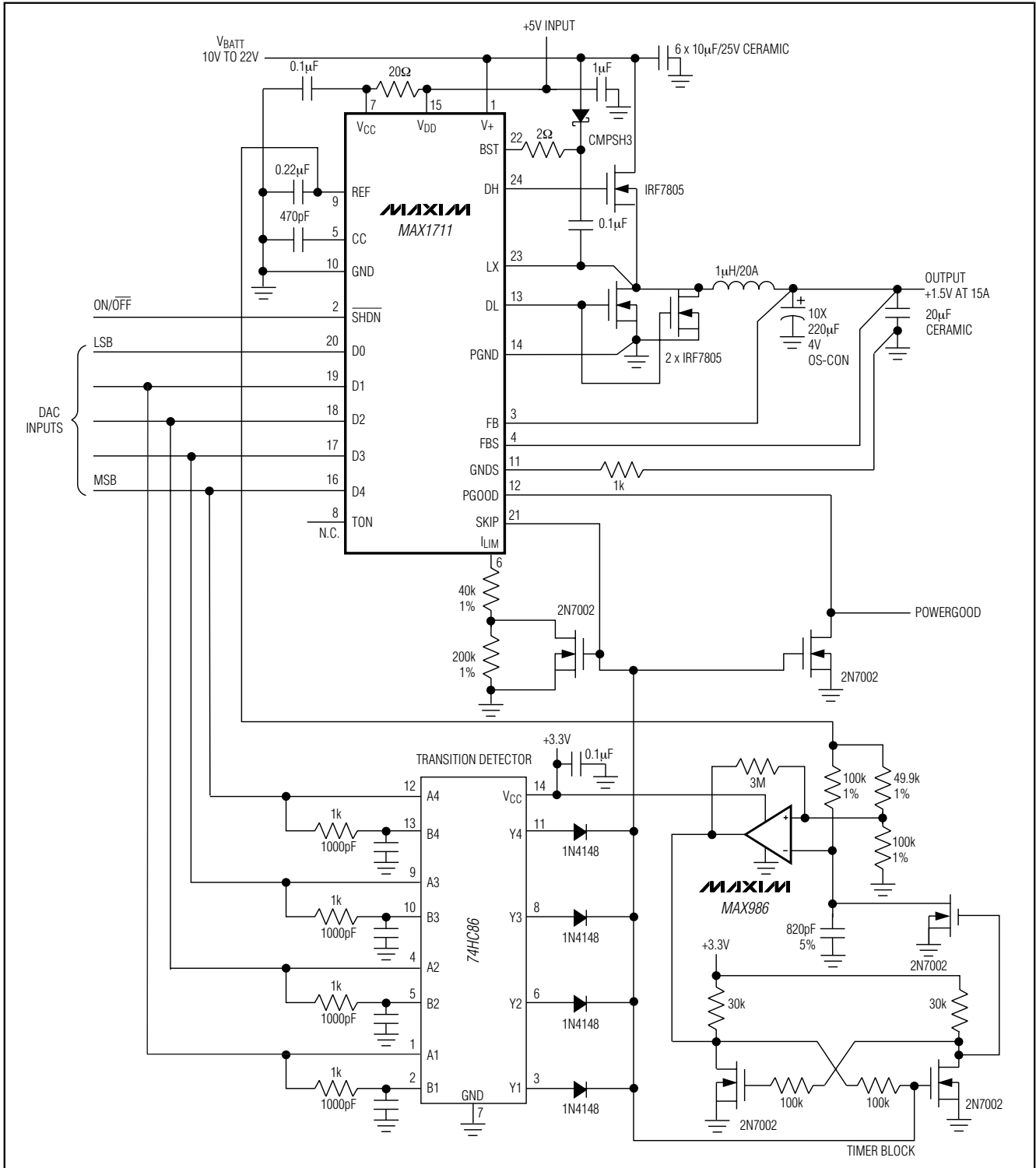


図10. バッテリサージ電流リミット機能を備えた15A動的可変ノートブックCPU電源



# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

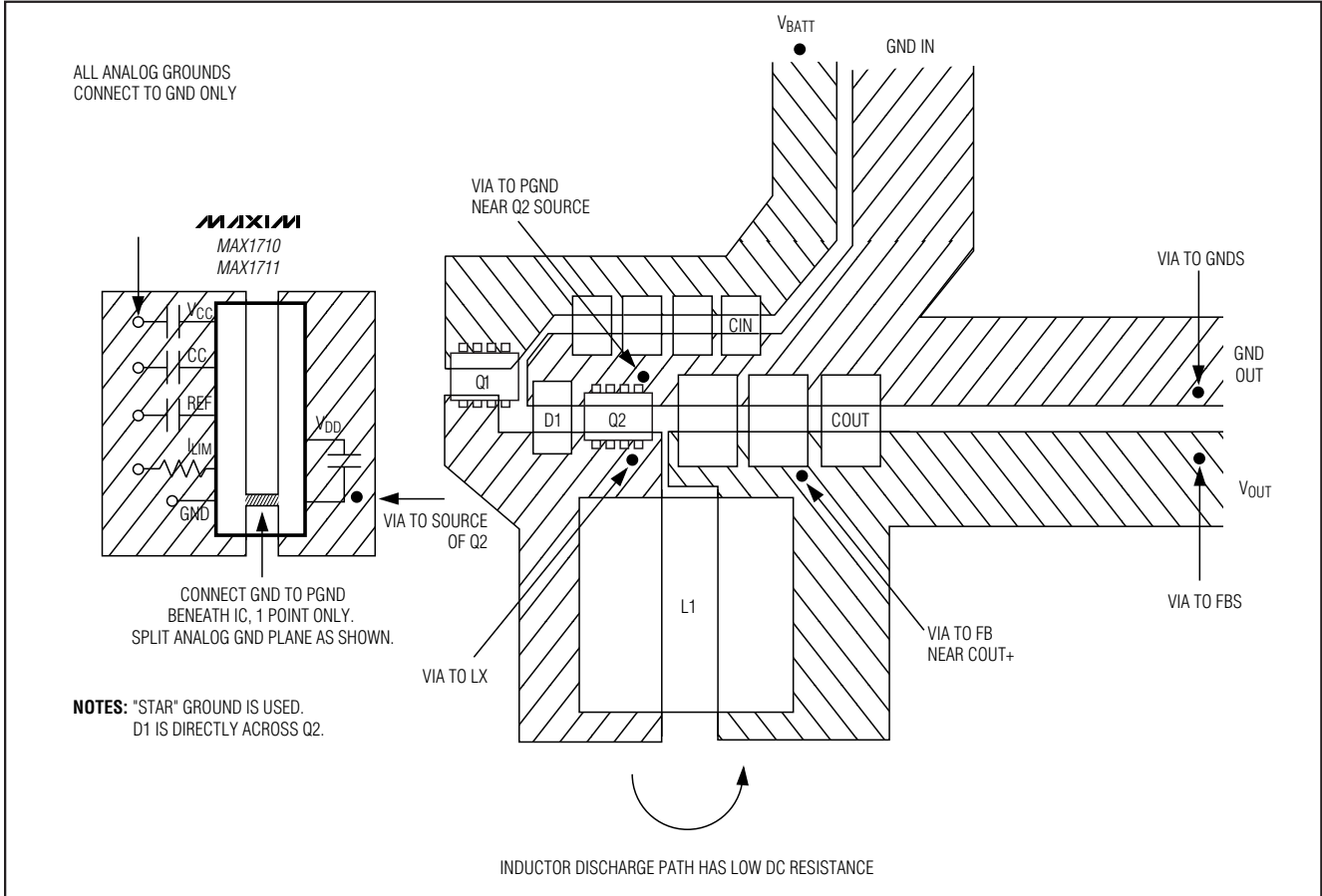


図11. 電力段のPCボードレイアウトの例

- 電源トレース及び負荷接続は短くして下さい。これは、高効率を達成する上で重要です。厚い銅のPCボード(2オンス対1オンス)を使用すると、全負荷時の効率が1%以上向上します。PCボードのトレースの配線はセンチメートル単位の違いで考慮しなければならないため、容易な作業ではありません。トレース抵抗が1ミリ大きくなると、効率の低下が測定値に現れます。
- 電流リミット用のQ2へのLX及びPGND接続は、電流リミットの精度を保証するためにケルビン検出接続を使用して行って下さい。8ピンSOP MOSFETの場合は、PGNDとLXを8ピンSOPパッケージの内部(下側)に接続し、最上の銅層を使用して外側からMOSFETに電源を配線するのが最良です。
- トレース長に妥協が必要な場合は、インダクタ放電経路よりも充電経路の方を長くします。例えば、イン

ダクタとローサイドMOSFETの間又はインダクタと出力フィルタコンデンサの間よりも、入力コンデンサとハイサイドMOSFETの間の経路を長くするのが適切です。

- C<sub>OUT</sub>へのFB接続は短くし、ダイレクトにします。但し、場合によってはFBインダクタノードと出力フィルタコンデンサの間にわざとある程度の長さのトレースを設けた方が望ましいこともあります(「全セラミックコンデンサアプリケーション」の項を参照)。
- 高速スイッチングノードは、敏感なアナログ領域(CC、REF、ILIM)から遠ざけて下さい。
- 全てのピストラップ制御入力接続(SKIP、ILIMなど)は、PGNDがV<sub>DD</sub>ではなく、GNDがV<sub>CC</sub>に行ってください。

# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

MAX1710/MAX1711

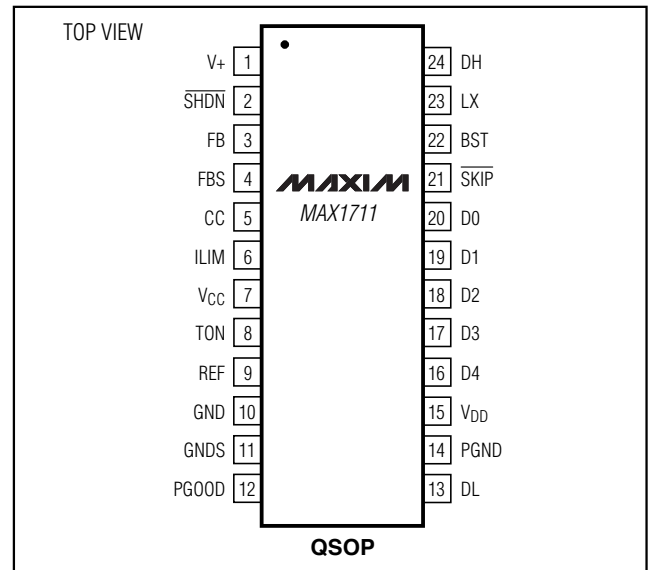
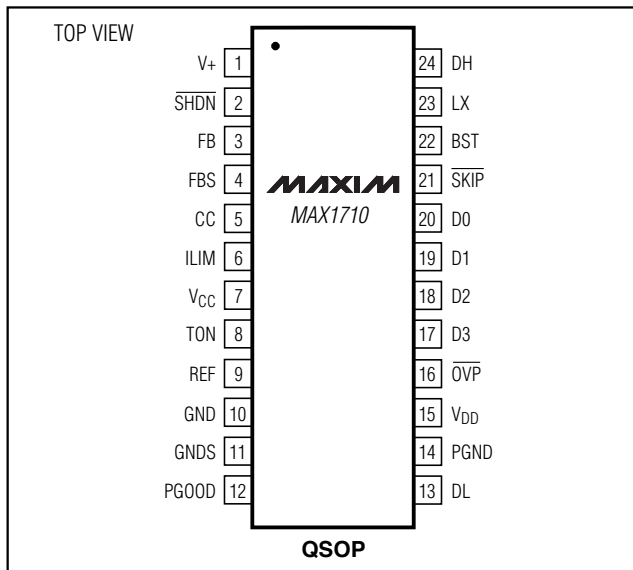
## レイアウト手順

- 1) グランド端子を隣接させ、電力部品を先に配置します(Q2ソース、CIN-、COU-、D1アノード)。できればこれらの接続は、全て最上層の隙間のない広い銅領域で行います。
- 2) コントローラICをMOSFET Q2の隣りに配置します。この場合裏面のQ2の反対側に配置して、LX-PGND電流検出ライン及びDLゲート駆動ラインを短く太くするのが適切です。DLゲートトレースは、短く太く(10~20平方)する必要があります(MOSFETがコントローラICから1 inch離れている場合は、幅50~100mils)。
- 3) ゲート駆動部品(BSTダイオード及びコンデンサ、V<sub>DD</sub>バイパスコンデンサ)は、コントローラICの近くでひとまとめにします。
- 4) DC-DCコントローラのグランド接続は図11のようにします。この図には、全ての大電力部品が集まる

出力グランド、PGNDピン及びV<sub>DD</sub>バイパスコンデンサ用のPGNDプレーン、及び敏感なアナログ部品用のアナログGNDプレーンの3つのグランドプレーンが存在します。アナロググランドプレーン及びPGNDプレーンは、ICの真下の一点においてだけ交差するようにして下さい。その後、これら2つのプレーンは、V<sub>DD</sub>コンデンサのPGNDからローサイドMOSFET Q2のソース(星型グラウンドの中央)への短い接続で、大電力出力グランドに接続します。又、この点は、出力コンデンサのグランド端子の非常に近くであることが必要です。

- 5) 出力電力プレーン(V<sub>CORE</sub>及びシステムグランドプレーン)を、複数ビアで出力フィルタコンデンサの正及び負端子に直接接続します。DC-DCコンバータ回路全体を、実用上可能な限りCPUの近くに配置して下さい。

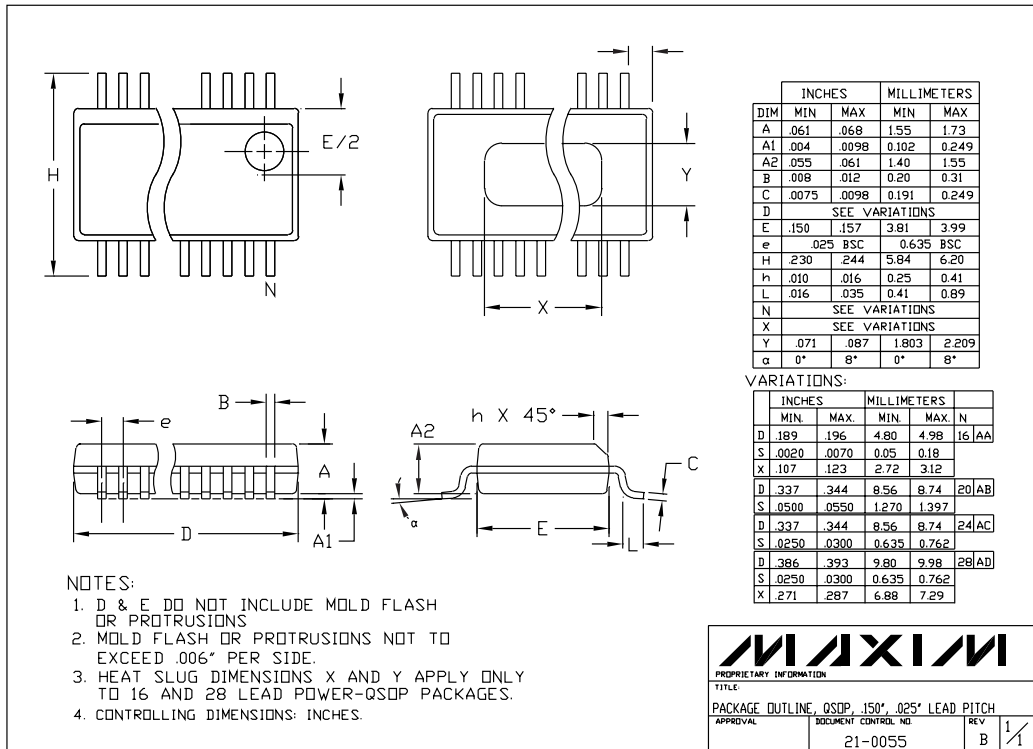
## ピン配置



# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

パッケージ

MAX1710/MAX1711



# 高速、デジタル調整 ステップダウンコントローラ、ノートブックCPU用

---

NOTES

MAX1710/MAX1711