

デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

概要

MAX15022は、デュアルLDOコントローラ内蔵のデュアル出力、パルス幅変調(PWM)のステップダウンDC-DCレギュレータです。このデバイスは2.5V~5.5Vで動作し、各々の出力は0.6Vから入力電源電圧(V_{AVIN})まで調整することができます。MAX15022は、最大4A(レギュレータ1)および2A(レギュレータ2)のLDO制御付きの出力電流を供給でき、2個の外部PNPトランジスタを駆動して2つの出力を追加することができます。このデバイスは、500kHz~4MHzのスイッチング周波数に調整できるようになっており、サイズと性能面で設計を最適化することができます。

MAX15022は、外部補償を用いた電圧モードの制御技術を使用しており、優れたノイズ耐性およびインダクタ値とコンデンサタイプの選択に最大限のフレキシビリティを提供します。デュアルのスイッチングレギュレータは180°の逆相動作をし、これによってRMS入力リップル電流を削減しますので、入力バイパスコンデンサのサイズをかなり小さくすることができます。

MAX15022は、パワーアップ動作時とパワーダウン動作時にトラッキング(同時またはレシオメトリック)またはシーケンスを備えています。シーケンスの場合、プリバイアスされた出力にグリッチのないパワーアップを行います。

追加機能として、ヒステリシス付きの低電圧ロックアウトおよびグリッチのないパワーアップと、パワーダウン用にデジタルソフトスタート/ソフトストップを備えています。保護機能は、無損失のサイクルごとの電流制限、ヒカップモードの出力短絡保護、および熱シャットダウンを含みます。

MAX15022は、省スペースの、5mm x 5mmで28ピンTQFN-EPパッケージと小型であり、また-40°C~+125°Cの温度範囲で動作をすることができます。

アプリケーション

- RFIDカードリーダー
- Power over Ethernet (PoE)のIP電話
- 車載用マルチメディア
- マルチ電圧電源
- ネットワーク/テレコム

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX15022ATI+	-40°C to +125°C	28 TQFN-EP*

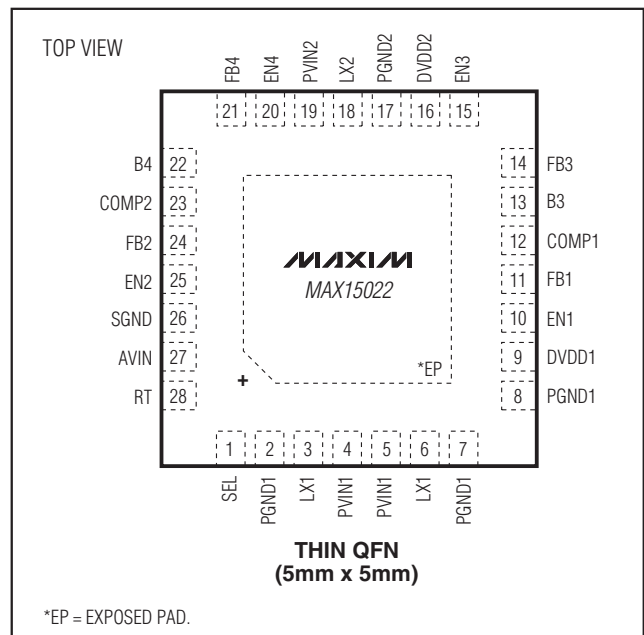
+は鉛フリーのパッケージを示します。

*EPはエクスPOSEドパッドです。

特長

- ◆ 入力電圧範囲: 2.5V~5.5V
- ◆ デュアル出力の同期型降圧レギュレータ
- ◆ 4Aと2Aの出力電流用スイッチを内蔵
- ◆ 180°の逆位相動作
- ◆ 0.6V~ V_{AVIN} の出力電圧に調整可能
- ◆ 2個のLDOコントローラ
- ◆ 無損失でサイクルごとの電流検出
- ◆ 柔軟性を最大にする外部補償
- ◆ トラッキングアプリケーション用のデジタルソフトスタートとソフトストップ
- ◆ シーケンスアプリケーション用のプリバイアスされた負荷へのデジタルソフトスタート
- ◆ シーケンシングまたは同時/レシオメトリックトラッキング
- ◆ 500kHz~4MHzの設定が可能なスイッチング周波数
- ◆ 熱シャットダウンとヒカップモードの短絡保護
- ◆ 30 μ Aのシャットダウン電流
- ◆ 最大100%のデューティサイクル
- ◆ 省スペース(5mm x 5mm)の28ピンTQFNパッケージ

ピン配置



デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

ABSOLUTE MAXIMUM RATINGS

AVIN, PVIN_, B_, DVDD_, EN_, FB_, RT, SEL to SGND	-0.3V to +6V
COMP_ to SGND	-0.3V to (V _{AVIN} + 0.3V)
PGND_ to SGND	-0.3V to +0.3V
LX Current (Note 1)	
Regulator 1	6A
Regulator 2	3A
Current into Any Pin Other than PVIN_, LX_ and PGND_	±50mA

Continuous Power Dissipation (T _A = +70°C)	
28-Pin TQFN (derate 34.5mW/°C above +70°C)	2758.6mW
Junction-to-Case Thermal Resistance (θ _{JC})(Note 2)	2°C/W
Junction-to-Ambient Thermal Resistance (θ _{JA})(Note 2)	29°C/W
Operating Temperature Range	-40°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Note 1: LX has internal diodes to PGND_ and PVIN_. Applications that forward bias these diodes should take care not to exceed the IC's package power dissipation limits.

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations see www.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{AVIN} = V_{PVIN_} = V_{DVDD_} = 3.3V, V_{PGND_} = V_{SGND} = 0V, R_T = 25kΩ, and T_A = T_J = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM SPECIFICATIONS						
Input-Voltage Range		V _{AVIN} = V _{PVIN1} = V _{PVIN2} = V _{DVDD1} = V _{DVDD2}	2.5		5.5	V
Undervoltage Lockout Threshold		AVIN rising	2.1	2.2	2.3	V
Undervoltage Lockout Hysteresis				0.12		V
Operating Supply Current		V _{EN_} = 1.3V, V _{FB_} = 0.8V		3.5	6	mA
Shutdown Supply Current		V _{EN_} = 0V		30	65	μA
PWM DIGITAL SOFT-START/SOFT-STOP						
Soft-Start/Soft-Stop Duration				4096		Clock Cycles
Reference Voltage Steps				64		Steps
PWM ERROR AMPLIFIERS						
FB1, FB2 Input Bias Current			-1		+1	μA
FB1, FB2 Voltage Set-Point			0.593	0.599	0.605	V
COMP1, COMP2 Voltage Range		I _{COMP_} = -250μA to +250μA	0.3		V _{AVIN} - 0.5	V
Error-Amplifier Open-Loop Gain				80		dB
Error-Amplifier Unity-Gain Bandwidth				12		MHz

デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15022

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVIN} = V_{PVIN} = V_{DVDD} = 3.3V$, $V_{PGND} = V_{SGND} = 0V$, $R_T = 25k\Omega$, and $T_A = T_J = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LDO CONTROLLERS						
FB3, FB4 Input Bias Current			-250		+250	nA
FB3, FB4 Voltage Set-point		5mA sink current, $V_{B-} = 0.5V$ to $5.5V$	0.585	0.600	0.615	V
FB3, FB4 to B3, B4 Transconductance		2.5mA to 10mA sink current, $V_{B-} = 0.5V$ to $5.5V$	0.56	1.20	2.30	S
B3, B4 Driver Sink Current		$V_{FB3}, V_{FB4} = 0V$, $V_{B-} = 0.5V$ to $5.5V$	20			mA
LDO Soft-Start Duration				512		Clock Cycles
LDO Reference Voltage Steps				64		Steps
POWER MOSFETS						
Regulator 1 p-Channel MOSFET $R_{DS(on)}$		$V_{DVDD1} = 5V$		50	90	m Ω
Regulator 1 n-Channel MOSFET $R_{DS(on)}$		$V_{DVDD1} = 5V$		30	50	m Ω
Regulator 1 Gate Charge		$V_{DVDD1} = 5V$		8		nC
Maximum LX1 RMS Current				4		A
Regulator 2 p-Channel MOSFET $R_{DS(on)}$		$V_{DVDD2} = 5V$		100	180	m Ω
Regulator 2 n-Channel MOSFET $R_{DS(on)}$		$V_{DVDD2} = 5V$		60	100	m Ω
Regulator 2 Gate Charge		$V_{DVDD2} = 5V$		4		nC
Maximum LX2 RMS Current				2		A
PWM CURRENT LIMIT AND HICCUP MODE						
Regulator 1 Peak Current Limit		$V_{PVIN} = V_{AVIN} = 3.3V$	4.5	4.9	5.3	A
		$V_{PVIN} = V_{AVIN} = 2.5V$	3.40	3.65	3.95	
Regulator 1 Valley Current Limit		$V_{PVIN} = V_{AVIN} = 3.3V$	4.0	5.0	5.65	A
		$V_{PVIN} = V_{AVIN} = 2.5V$	3.0	3.7	4.25	
Regulator 2 Peak Current Limit		$V_{PVIN} = V_{AVIN} = 3.3V$	2.25	2.45	2.65	A
		$V_{PVIN} = V_{AVIN} = 2.5V$	1.70	1.85	1.98	
Regulator 2 Valley Current Limit		$V_{PVIN} = V_{AVIN} = 3.3V$	2.0	2.5	2.83	A
		$V_{PVIN} = V_{AVIN} = 2.5V$	1.5	1.85	2.13	
Number of Cumulative Current-Limit Events to Hiccup	NCL			4		Clock Cycles
Number of Consecutive Noncurrent Limit Cycles to Clear NCL	NCLR			3		Clock Cycles
Hiccup Timeout	NHT			8192		Clock Cycles

デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15022

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVIN} = V_{PVIN} = V_{DVDD} = 3.3V$, $V_{PGND} = V_{SGND} = 0V$, $R_T = 25k\Omega$, and $T_A = T_J = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ENABLE/SEL						
EN_ Threshold		V_{EN_rising}	1.207	1.225	1.243	V
EN_ Hysteresis				0.12		V
EN_ Input Current			-2.5		+2.5	μA
SEL High Threshold			$0.85 \times V_{AVIN}$			V
SEL Low Threshold			$0.2 \times V_{AVIN}$			V
SEL Input Bias Current		Present only during startup	-100		+100	μA
OSCILLATOR						
Switching Frequency Range	f_{SW}	$f_{SW} = 4MHz \times [V_{RT}(V)/1.067(V)]$ (Note 4)			4000	kHz
Oscillator Accuracy		$f_{SW} \leq 1500kHz$	-6		+6	%
		$f_{SW} > 1500kHz$	-10		+10	
Phase Shift Between Regulators				180		Degrees
RT Current		$0 < V_{RT} < 1.067V$	31.30	32.00	32.58	μA
RT Voltage Range	V_{RT}		0.130		1.067	V
Minimum Controllable On-Time				60		ns
Minimum Controllable Off-Time				60		ns
PWM Ramp Amplitude				$V_{AVIN}/4$		V
PWM Ramp Valley				0.3		V
THERMAL SHUTDOWN						
Thermal Shutdown Temperature		Temperature rising		+160		$^\circ C$
Thermal Shutdown Hysteresis				15		$^\circ C$

Note 3: Specifications are 100% production tested at $T_A = +25^\circ C$ and $T_A = +125^\circ C$. Maximum and minimum specifications over temperature are guaranteed by design.

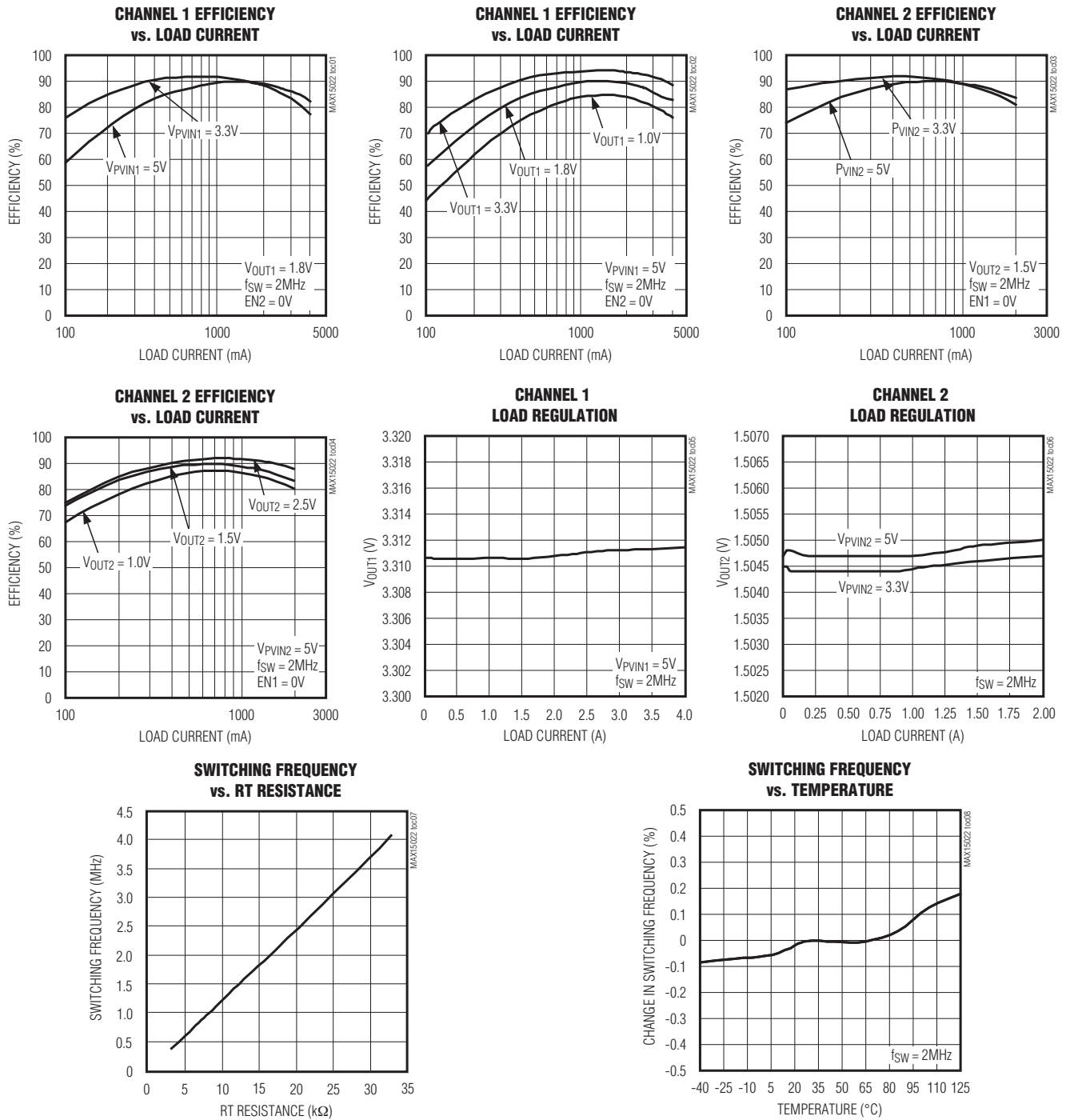
Note 4: When operating with $V_{AVIN} = 2.5V$, the maximum operating frequency should be derated to 3MHz.

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15022

標準動作特性

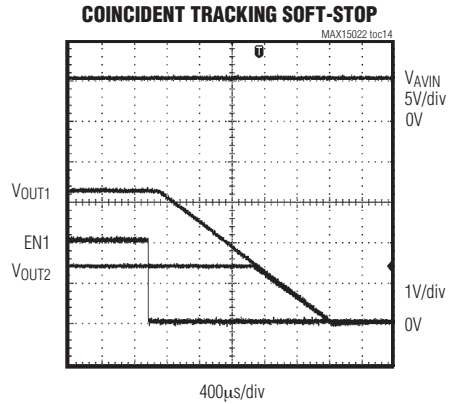
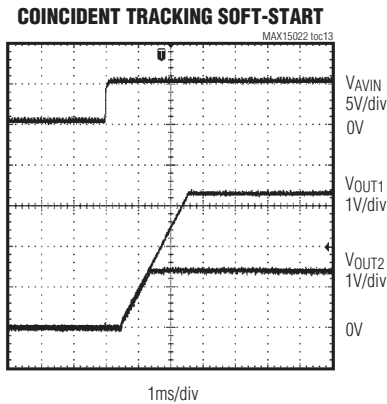
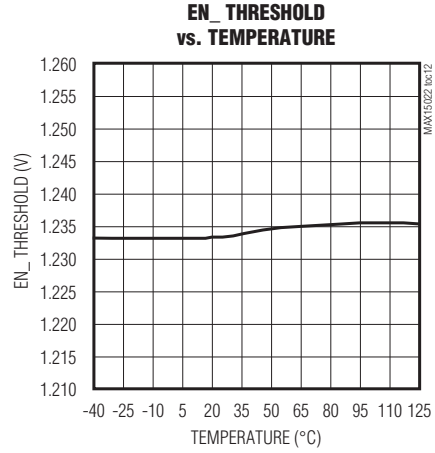
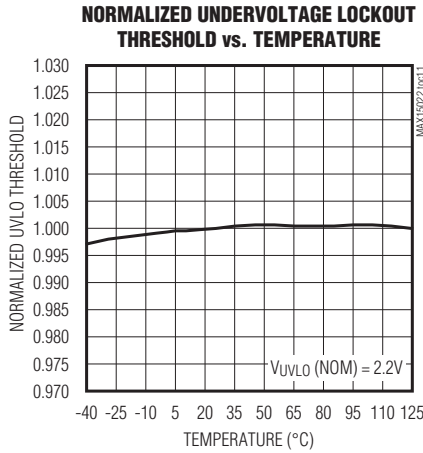
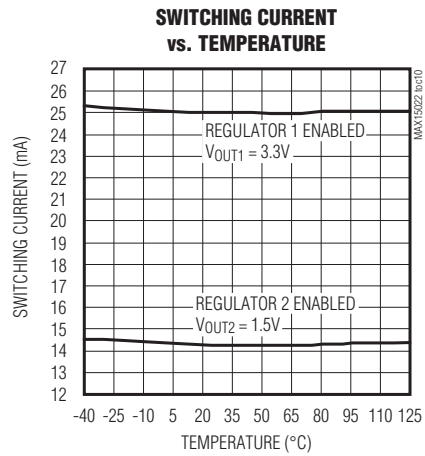
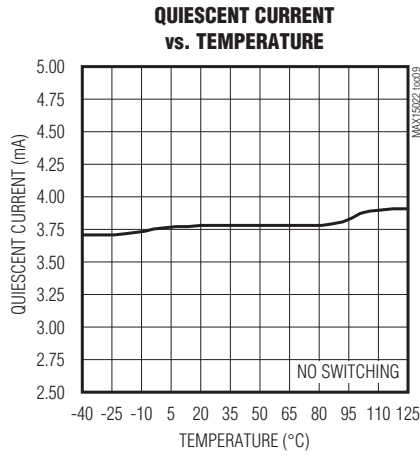
($V_{AVIN} = V_{DVDD1} = V_{DVDD2} = V_{PVIN1} = V_{PVIN2} = 5V$, $V_{OUT1} = 3.3V$, $V_{OUT2} = 1.5V$, $V_{PGND_} = 0V$, $R_T = 16.5k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

標準動作特性(続き)

($V_{AVIN} = V_{DVDD1} = V_{DVDD2} = V_{PVIN1} = V_{PVIN2} = 5V$, $V_{OUT1} = 3.3V$, $V_{OUT2} = 1.5V$, $V_{PGND_} = 0V$, $R_T = 16.5k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

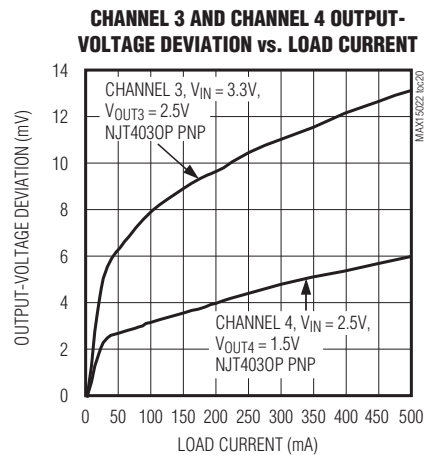
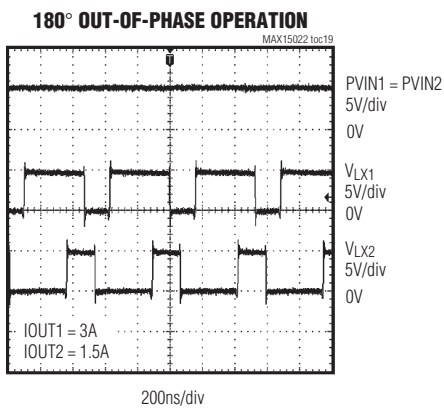
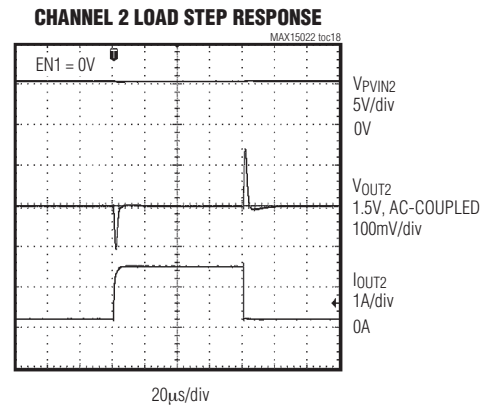
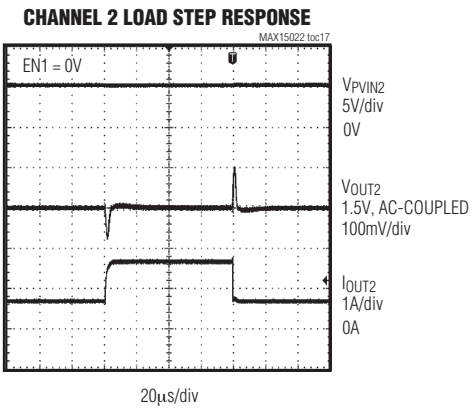
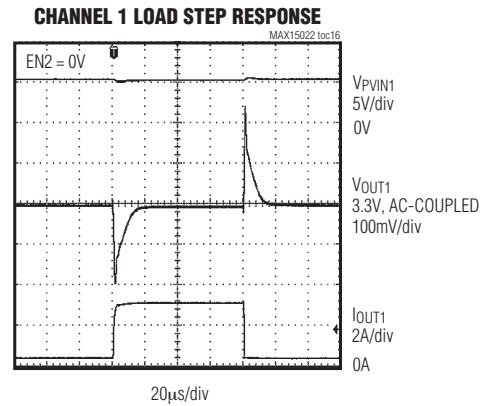
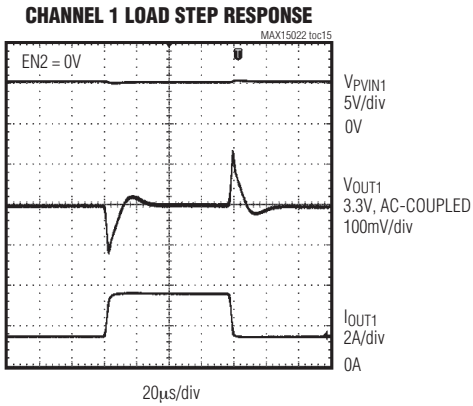


デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15022

標準動作特性(続き)

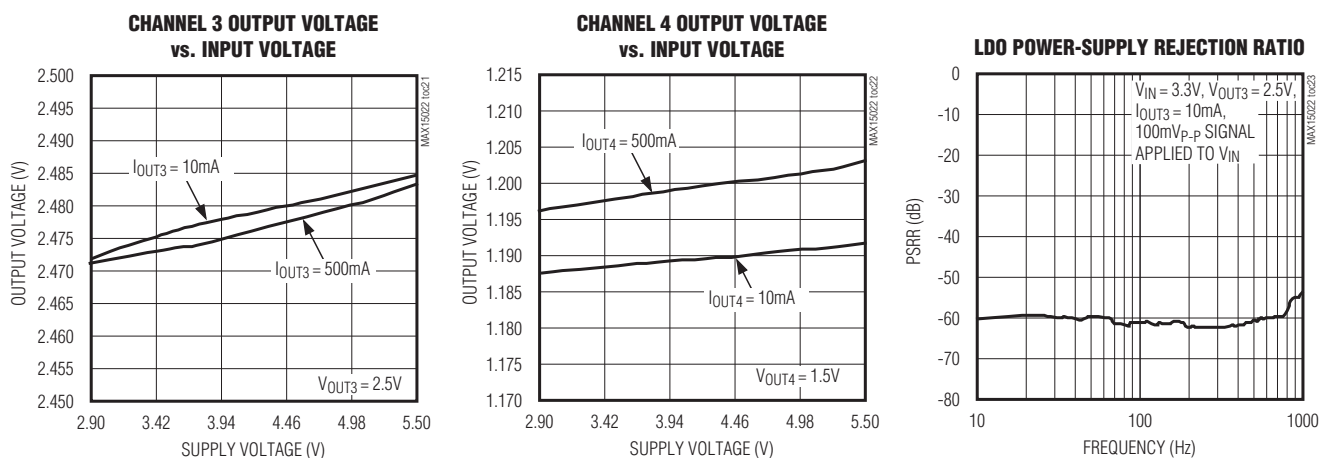
($V_{AVIN} = V_{DVDD1} = V_{DVDD2} = V_{PVIN1} = V_{PVIN2} = 5V$, $V_{OUT1} = 3.3V$, $V_{OUT2} = 1.5V$, $V_{PGND_} = 0V$, $R_T = 16.5k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

標準動作特性(続き)

($V_{AVIN} = V_{DVDD1} = V_{DVDD2} = V_{PVIN1} = V_{PVIN2} = 5V$, $V_{OUT1} = 3.3V$, $V_{OUT2} = 1.5V$, $V_{PGND_} = 0V$, $R_T = 16.5k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	SEL	トラッキング/シーケンスの入力選択。デバイスをシーケンサとして設定するには、SELをSGNDに接続してください。出力1をマスタとしてトラッキングするには、SELをAVINに接続してください。出力2をマスタとしてトラッキングするには、SELを未接続にしてください。マスタはより高い電圧で使用し、スレーブはより低い電圧で使用します。
2, 7, 8	PGND1	レギュレータ1用の電源グランド接続。入力と出力フィルタコンデンサの負端子をPGND1に接続してください。通常は入力バイパスコンデンサの負端子の箇所、PGND1をSGNDに外部1点接続してください。
3, 6	LX1	レギュレータ1用のインダクタ接続。LX1は、内蔵のハイサイドpチャンネルMOSFETのドレイン接続で、かつレギュレータ1用の内部同期nチャンネルMOSFETのドレイン接続です。
4, 5	PVIN1	レギュレータ1用の入力電源電圧。2.5V~5.5Vの外部電圧源にPVIN1を接続します。1 μ F (min)のセラミックコンデンサでPVIN1をPGND1にバイパスします。
9	DVDD1	レギュレータ1用のスイッチドライバ電源。外部でPVIN1に接続します。
10	EN1	レギュレータ1用のイネーブル入力。シーケンサとして構成する場合は、EN1は、出力1の安定化を開始するためにPWMコントローラに対して1.225V (typ)以上になる必要があります。トラッカーとして構成する場合は、EN1をレギュレータ2の出力からの抵抗分圧器の中間端子に接続してください。
11	FB1	レギュレータ1用のフィードバック安定化点。出力電圧を設定するには、FB1をレギュレータ1出力とSGND間の抵抗分圧器の中間端子に接続してください。FB1電圧は0.6V (typ)に安定します。
12	COMP1	レギュレータ1用のエラーアンプ出力。COMP1を補償フィードバック回路に接続してください。

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15022

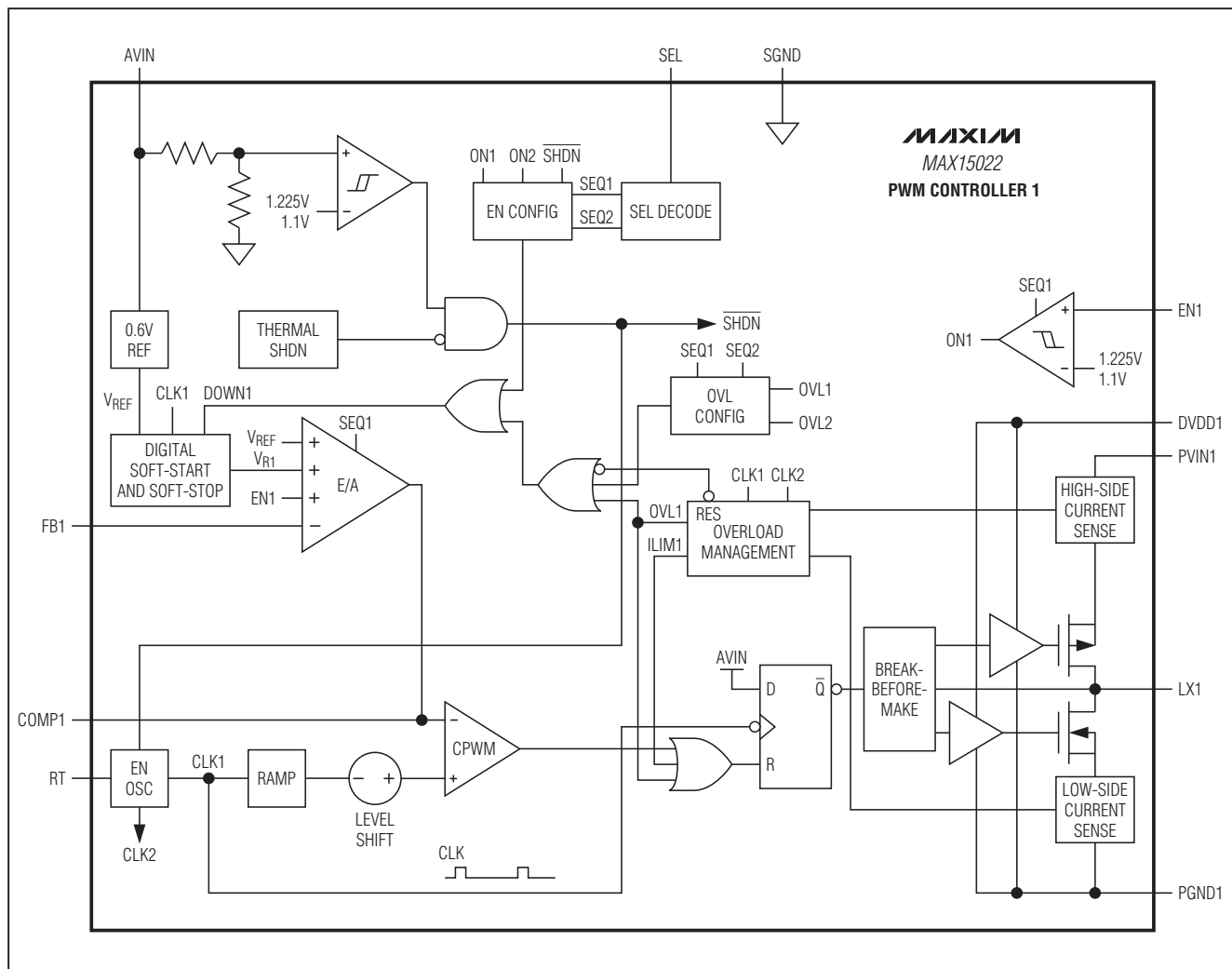
端子説明(続き)

端子	名称	機能
13	B3	LDOコントローラ3用の相互コンダクタンスアンプのオープンドレイン出力。出力3を安定化するためには、B3を外部PNPトランジスタのベースに接続してください。
14	FB3	LDOコントローラ3用のフィードバック安定化点。出力電圧を設定するためには、出力3とSGND間の抵抗分圧器の中間端子に接続してください。FB3電圧は0.6V (typ)に安定します。
15	EN3	LDOコントローラ3用のLDOイネーブル入力。出力3の安定化開始には、EN3はLDOコントローラに対して1.225V (typ)より高くする必要があります。
16	DVDD2	レギュレータ2用のスイッチドライバ電源。外部でPVIN2に接続してください。
17	PGND2	レギュレータ2用の電源グランド接続。入力と出力フィルタコンデンサの負端子をPGND2に接続してください。通常は、PGND2をSGNDに入力バイパスコンデンサの負端子で外部1点接続してください。
18	LX2	レギュレータ2用のインダクタ接続。LX2は、内蔵のハイサイドpチャンネルMOSFETのドレイン接続で、かつレギュレータ2用の内部同期nチャンネルMOSFETのドレイン接続です。
19	PVIN2	レギュレータ2用の入力電源電圧。2.5V~5.5Vの外部電圧源に接続します。1μF (min)のセラミックコンデンサでPVIN2をPGND2にバイパスします。
20	EN4	LDOコントローラ4用のLDOイネーブル入力。出力4の安定化開始には、EN4はLDOコントローラに対して1.225V (typ)以上にする必要があります。
21	FB4	LDOコントローラ4用のフィードバック安定化点。出力電圧を設定するには、出力4とSGND間の抵抗分圧器の中間端子に接続してください。FB4電圧は0.6V (typ)に安定します。
22	B4	LDOコントローラ4用の相互コンダクタンスアンプのオープンドレイン出力。出力4を安定化するには、B4を外部PNPトランジスタのベースに接続してください。
23	COMP2	レギュレータ2用のエラーアンプ出力。COMP2を補償フィードバック回路に接続してください。
24	FB2	レギュレータ2用のフィードバック安定化点。出力電圧を設定するには、レギュレータ2とSGND間の抵抗分圧器の中間端子に接続してください。FB2電圧は0.6V (typ)に安定します。
25	EN2	レギュレータ2用のイネーブル入力。シーケンサとして構成する場合は、出力1の安定化を開始するために、EN2はPWMコントローラに対して1.225V (typ)以上になる必要があります。トラッカーとして構成する場合には、EN2をレギュレータ1の出力からの抵抗分圧器の中間端子に接続してください。
26	SGND	信号グランド。通常は入力バイパスコンデンサの負端子近くで、SGNDをPGND ₋ に1点接続してください。
27	AVIN	AVINの入力電圧。100nF (min)のセラミックコンデンサでAVINをSGNDにバイパスしてください。
28	RT	発振器のタイミング抵抗接続。500kHz~4MHzのスイッチング周波数に設定するには、RTとSGND間に4.2kΩ~33kΩの抵抗を接続してください。
—	EP	エクスポーズドパッド。EPを面積の大きな銅領域のSGND電位に接続して熱消費を改善してください。メインのSGND接続として使用しないでください。

デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

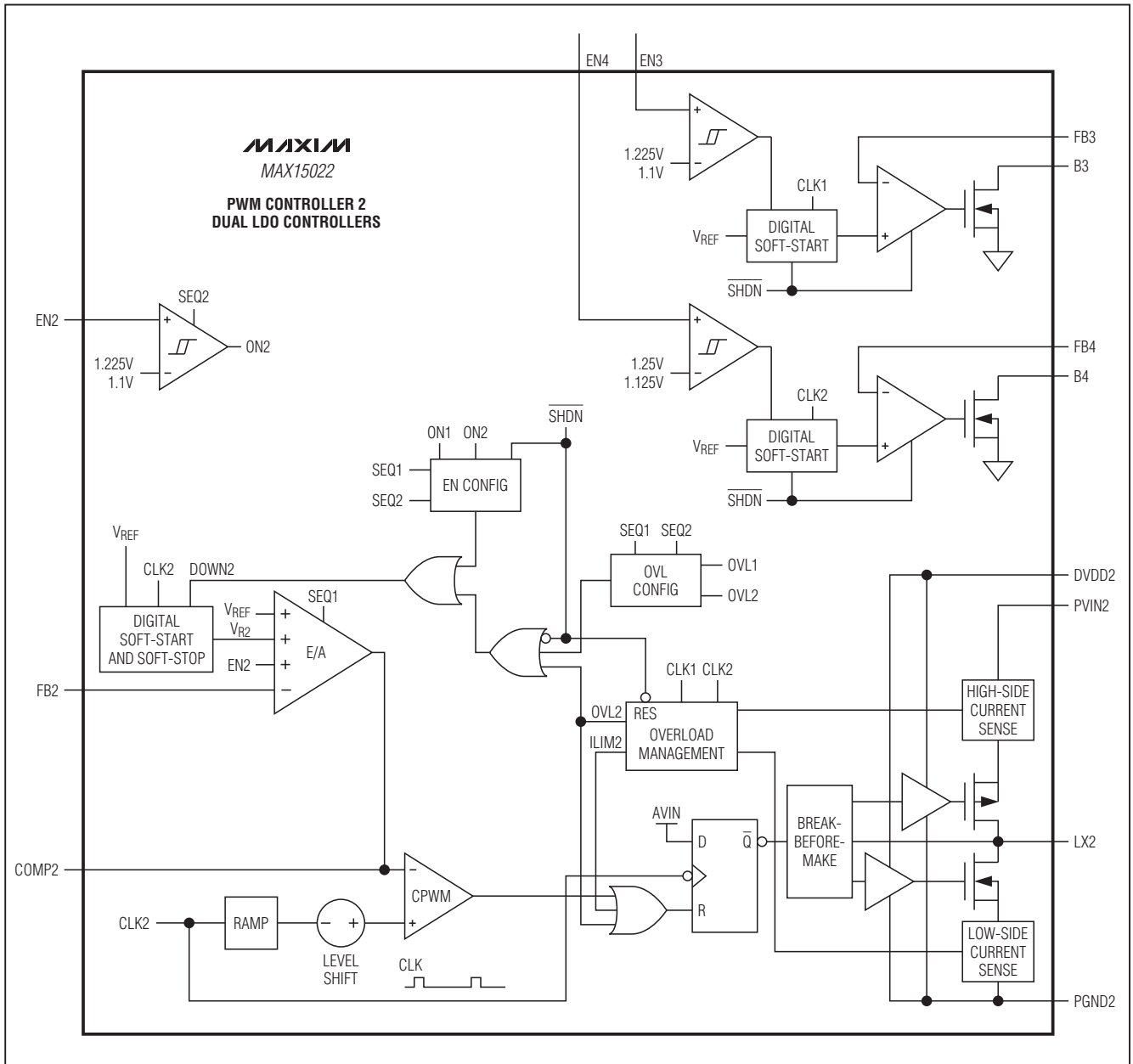
MAX15022

ファンクション図



デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

ファンクション図(続き)



MAX15022

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

詳細

MAX15022は、トラッキングおよびシーケンシングのオプション付きのデュアル出力、PWM、ステップダウン、DC-DCレギュレータおよびデュアルLDOコントローラを持っています。このデバイスは、2.5V~5.5Vの全入力電圧範囲で動作します。各PWMレギュレータは最低0.6Vの可変出力を備えており、最高4A（レギュレータ1）と2A（レギュレータ2）の負荷電流を出力します。高スイッチング周波数（最高4MHz）と内蔵のパワースイッチは、高性能で小型サイズの電源管理実現のためにMAX15022を最適化します。

各々のMAX15022 PWMレギュレータ部は、良好なノイズ耐性を得るために電圧モード制御技術を用い、広範囲のインダクタ値とコンデンサタイプの選択に最大の柔軟性をもった外部補償ができます。このデバイスは固定スイッチング周波数で動作し、1個の抵抗で500kHz~4MHzに設定することができます。180°の逆位相クロックと最大4MHzまでの周波数で各レギュレータを動作させることで、RMS入力リップル電流を大幅に減らします。得られるピーク入力電流の削減（およびリップル周波数の増加）は、必要な入力バイパスの静電容量を大幅に削減します。

MAX15022は、同時トラッキング、レシオメトリックトラッキング、あるいはシステム要件に依存するパワーアップ/パワーダウンのシーケンスの追跡を可能にするシーケンシングを持っています。シーケンシングの場合、プリバイアスされた出力にグリッチのない給電をします。MAX15022は外部PNPバストランジスタ用の2つのLDOコントローラを備えており、2個の追加出力を与えます。

MAX15022は、ヒステリシス付きの内蔵の低電圧ロックアウト、グリッチのないデジタルソフトスタート/ソフトストップおよびパワーダウンを含んでいます。保護機能は、無損失、サイクルごとの電流制限、ヒカップモードの出力短絡保護、および熱シャットダウンを含んでいます。

低電圧ロックアウト(UVLO)

電源電圧(V_{AVIN})は、すべての動作の開始前には必ずデフォルトのUVLOスレッショルド以上である必要があります。UVLO回路は、MOSFETドライバ、発振器、およびすべての内部回路の電流消費を減らすためにシャットダウンを保持します。このUVLOの立上りスレッショルドは、120mV (typ)のヒステリシス付きで2.2V (typ)です。

デジタルソフトスタート/ソフトストップ

MAX15022のソフトスタート機能は、負荷電圧を制御された方法で徐々に上昇させて、出力電圧のオーバーシュートを防止します。ソフトスタートは、 V_{AVIN} が低電圧ロックアウトスレッショルド以上になった後に開始し、イネーブルになる入力は1.225V (typ)以上です。ソフトスタート回路は、リファレンス電圧を徐々に上昇させ、出力電圧の上昇率を制御し、起動時の入力突入

電流を減らします。ソフトスタートの期間は4096クロックサイクルです。出力電圧は64段階の等ステップで増加します。出力静電容量と負荷に関係なく、ソフトスタートが終了すると出力は安定状態に達します。

トラッキングアプリケーションでは、イネーブル入力が1.1V (typ)以下に低下すると、ソフトストップが開始します。ソフトストップ回路は、リファレンス電圧を徐々に下げて出力電圧の低下率を制御します。出力電圧は、4096クロックサイクルにおいて等ステップで64段階で減少します。

発振器

MAX15022のスイッチング周波数を500kHz~4MHzに設定するには、RTに外部抵抗を接続してください。所望の出力スイッチング周波数(f_{SW})を得るには、次式で適切なRTの抵抗値を計算してください。

$$R_T[k\Omega] = \frac{f_{SW}[kHz] \times 1.067[V]}{32[\mu A] \times 4[MHz]}$$

トラッキング/シーケンシング

MAX15022は、同時/レシオメトリックトラッキングとシーケンシングを備えています(図1を参照)。デバイスをシーケンサとして設定するには、SELをグラウンドに接続してください。出力1をマスタとしてトラッキングするには、SELをAVINに接続してください。出力2をマスタとしてトラッキングするには、SELを無接続にしておいてください。マスタにはより高い出力電圧に設定してください。

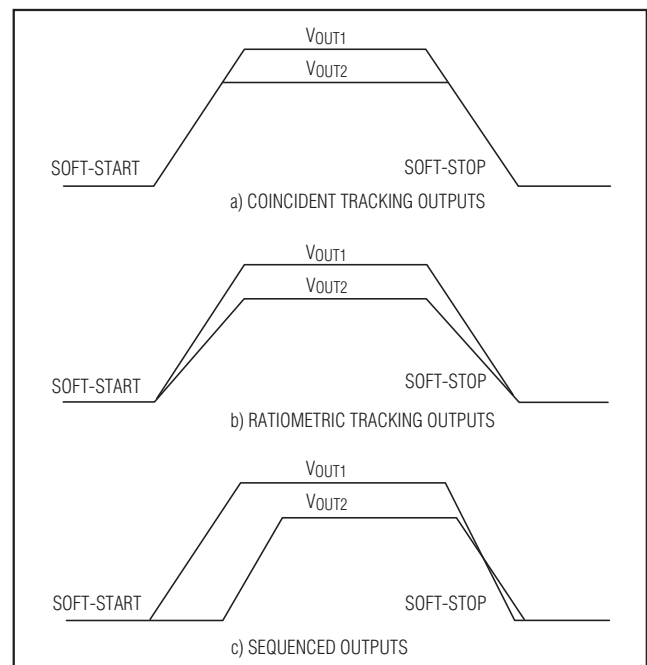


図1. 同時トラッキング、レシオメトリックトラッキング、およびシーケンシングの図形描写

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15022

同時/レシオメトリックトラッキング

デジタルソフトスタートとソフトストップに連携したイネーブル入力は、同時/レシオメトリックトラッキングを備えています。抵抗分圧器を追跡される出力とそのイネーブル入力間に接続して、出力電圧を追跡してください。たとえば、同時に V_{OUT1} を追跡する V_{OUT2} には、FB2に使用する物と同じ抵抗分圧器を $V_{OUT1} \sim EN2 \sim SGND$ 間に接続します(図2を参照)。

EN_2 をSGNDに接続してレシオメトリックに追跡してください。これは、全てのレギュレータのリファレンスのソフトスタートとソフトストップを同期させ、したがって、これらの対応する各出力電圧はレシオメトリックに追跡します(図2を参照)。

MAX15022のレギュレータが電圧追跡器として設定される場合、マスタあるいはスレーブ出力のいずれでも出力短絡誤作動状態は慎重に取り扱われ、一方の出力がグランドに短絡した場合、マスタとスレーブ出力の

どちらも稼動したままになりません。スレーブが短絡してヒカップモードに入ると、マスタはソフトストップします。マスタが短絡してヒカップモードに入ると、スレーブはレシオメトリックにソフトストップします。ヒカップモードを抜け出ると、両方の出力はそれらの初期設定に依存して、同時あるいはレシオメトリックにソフトスタートします。入力がUVLO以下に低下した場合の熱シャットダウンあるいはパワーオフの間は、対応する出力静電容量と負荷に依存して出力電圧がトラックダウンします。

同時/レシオメトリックトラッキングの図形表示については図1を参照してください。

シーケンシング

シーケンシングの場合、各PWMコントローラが始動するためには、各イネーブル入力の電圧は1.225V (typ)以上である必要があります(図1cを参照)。

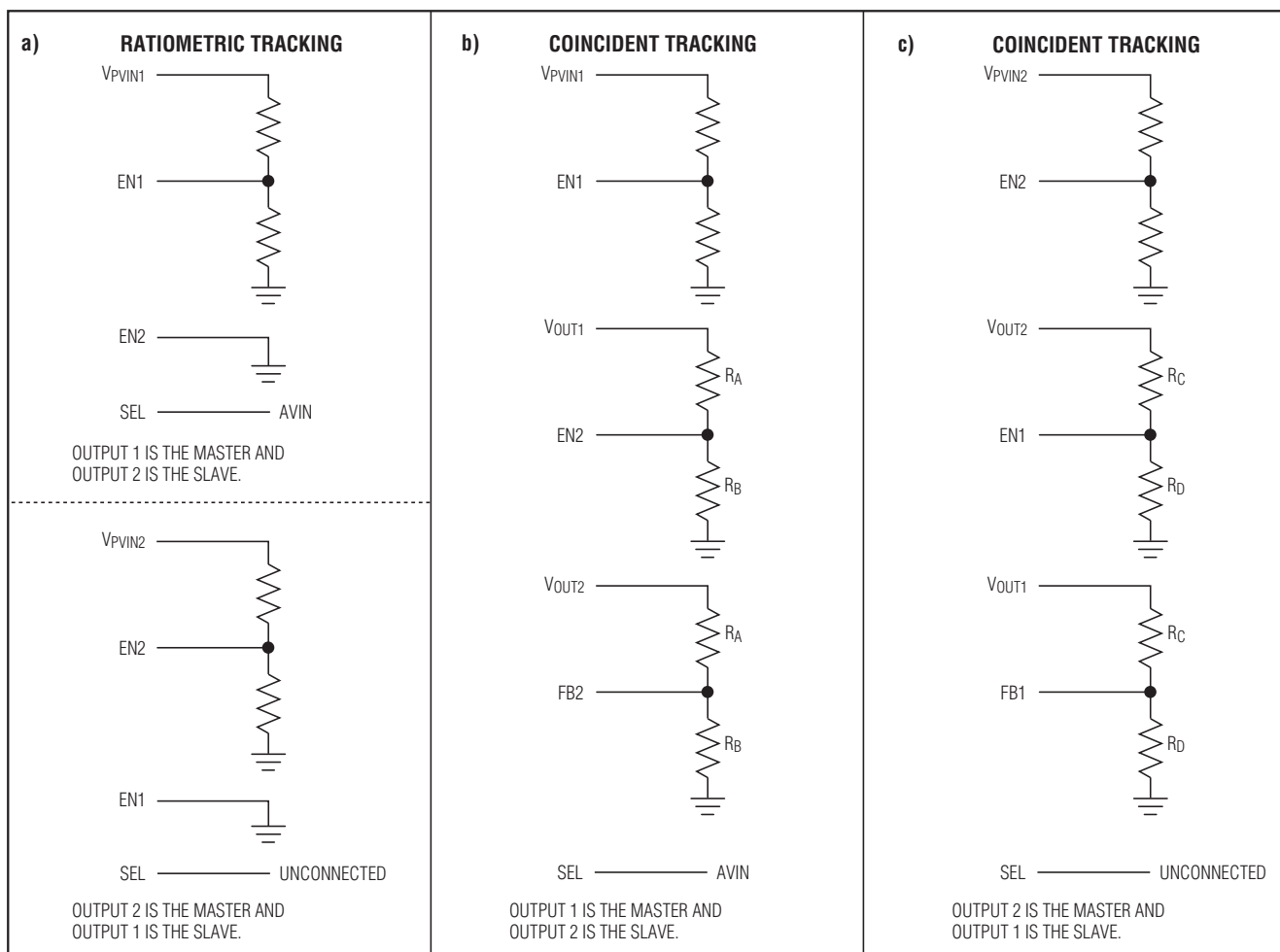


図2. レシオメトリックトラッキングと同時トラッキングの設定

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

エラーアンプ

内蔵の電圧モードエラーアンプ(COMP₋)の出力は、周波数補償を与えます(「補償設計のガイドライン」の項を参照)。FB₋はエラーアンプの反転入力です。このエラーアンプは、80dBのオープンループゲインと12MHzのゲイン帯域幅(GBW)積を持っています。

出力短絡保護(ヒカップモード)

MAX15022は無損失、ハイサイドのピーク電流制限とローサイドの谷間電流制限を備えています。短デューティサイクルでは、両方の制限が稼動状態になります。高デューティサイクルでは、ハイサイドのピーク電流制限のみが稼動状態になります。どちらの制限も、ヒカップモードカウンタ(N_{CL})を増加させます。

50%未満のデューティサイクルでは、ローサイドの谷間電流制限が稼動状態になります。ハイサイドMOSFETがオフになると、ローサイドMOSFET両端の電圧が監視されます。この電圧がサイクルの終わりで電流制限スレッシュホールド以上でなければ、ハイサイドMOSFETは通常、次のサイクルの始まりでオンになります。次のPWMサイクルの寸前でこの電圧が電流制限スレッシュホールド以上になると、コントローラはそのサイクルを飛越します。苛酷な過負荷または短絡状態の間は、デバイスのスイッチング周波数は、ローサイドMOSFETのオン時間が1クロックサイクルを超えて拡大するため、減少するように見えます。

電流制限スレッシュホールドが4つの累積クロックサイクル(N_{CL})以上になると、デバイスは8192クロックサイクル(ヒカップのタイムアウト)の間シャットダウンし、その後ソフトスタートシーケンスで再開します。3つの連続サイクルが電流制限の発生なしで経過すれば、N_{CL}のカウントはクリアされます(図3を参照)。ヒカップモードは、連続した出力短絡からデバイスを保護します。

内部の電流制限は5.5Vから3Vまでは一定で、3Vから2Vまでは直線的に50%減少します。「Electrical Characteristics (電気的特性)」の表を参照してください。

熱過負荷保護

MAX15022は、温度ヒステリシス付きの内蔵の熱過負荷保護を備えています。熱過負荷保護はデバイスのダイ温度を制限して、拡張熱誤作動状態の場合に素子を保護します。ダイ温度が+160°C以上になると、内蔵の熱センサがデバイスをシャットダウンし、内部のパワーMOSFETをオフにしてダイを冷却させます。ダイ温度が+15°C (typ)低下したあと、デバイスはソフトスタートシーケンスで再開します。

プリバイアス出力への起動(シーケンシングモード)

シーケンシングモードでは、レギュレータはプリバイアスされた出力に最小のグリッチで始動し、ソフトストップはディセーブルされます。ソフトスタートの間、

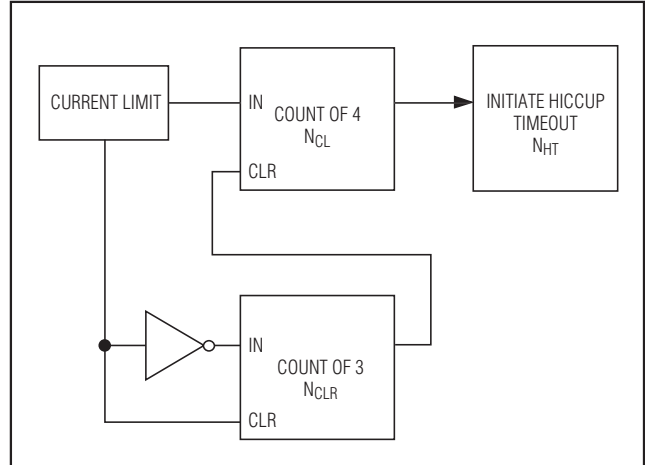


図3. ヒカップモードのブロック図

PWMコンパレータがその最初のPWMパルスが発生するまで、両方のスイッチはオフのままです。その時点では、コンバータは出力から電流を引き込みません。傾斜リファレンス電圧がFB₋電圧以上に上昇すると、最初のPWMパルスが発生します。

LDOコントローラ

MAX15022はさらに2個のLDOコントローラを持っており、外部PNPパストラジスタを動作させます。各々のPNPパストラジスタのエミッタを、入力電源がコントローラ1または2の出力のうちの1つに接続してください。各々のLDOコントローラは、独立したイネーブル入力とデジタルソフトスタートを備えています。出力電圧を設定するためには、所望のLDOコントローラの出力とSGND間の抵抗分圧器の中間端子にFB3とFB4を接続してください。

PWMコントローラの設計手順

スイッチング周波数の設定

500kHz~4MHzまでのスイッチング周波数(f_{SW})に設定するには、RTとSGND間に4.2kΩ~33kΩの抵抗を接続してください。以下の式を用いて、スイッチング周波数を設定するための所望の抵抗値RTを計算してください。

$$R_T[\text{k}\Omega] = \frac{f_{\text{SW}}[\text{kHz}] \times 1.067[\text{V}]}{32[\mu\text{A}] \times 4[\text{MHz}]}$$

周波数を高くすると、より小さなインダクタ値とより小さな出力静電容量で設計することができます。スイッチング周波数が高くなると、コア損失、ゲート電荷電流およびスイッチング損失が増加します。3V以下のV_{AVIN}で動作させるときは、f_{SW}周波数は3MHz (最大)まで低下させる必要があります。

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

有効入力電圧範囲

MAX15022のレギュレータは、2.5V~5.5Vの範囲の入力電源で動作することができますが、入力電圧の範囲は、所定の出力電圧(V_{OUT_})に対するMAX15022のデューティサイクル制限によって効果的に制限することができます。最大入力電圧(V_{PVIN_MAX})は、制御可能な最低のオンタイム(t_{ON(MIN)})によって効果的に制限することができます。

$$V_{PVIN_MAX}[V] \leq \frac{V_{OUT_}[V]}{t_{ON(MIN)}[\mu s] \times f_{SW}[MHz]}$$

ここで、t_{ON(MIN)}は0.06μs (typ)です。

最小の入力電圧(V_{PVIN_MIN})は、最大の制御可能なデューティサイクルで効果的に制限することができます。以下の式を使用して計算します。

$$V_{PVIN_MIN}[V] \geq \frac{V_{OUT_}[V]}{1 - (t_{OFF(MIN)}[\mu s] \times f_{SW}[MHz])}$$

ここで、V_{OUT_}はレギュレータの出力電圧で、t_{OFF(MIN)}は0.06μs (typ)の制御可能なオフタイムです。

インダクタの選択

インダクタンス値(L)、ピークインダクタ電流(I_{PEAK})、およびインダクタの飽和電流(I_{SAT})の3つの重要なインダクタのパラメータを、MAX15022の動作のために指定する必要があります。必要な最小インダクタンスは、動作周波数、入出力電圧の差、およびピークツーピークインダクタ電流(ΔI_{p-p})の関数です。高ΔI_{p-p}であるほど低インダクタ値にすることができます。低インダクタンスほどサイズとコストを最小にして、大信号応答と過渡応答を改善します。しかし、同じ出力コンデンサに対しては、高いピーク電流と高いピークツーピーク出力電圧リップルのために効率は落ちてしまいます。インダクタンスを大きくすると、リップル電流を減らすことによって効率を増やします。しかし、特にインダクタのサイズを大きくすることなくインダクタンスを増やした場合、巻数の増加による抵抗性損失が低リップル電流から得られる利益を損なってしまいます。インダクタのピークツーピーク電流ΔI_{p-p}を全負荷電流の20%~50%の範囲に選んでください。経験的には30%が標準です。以下の式を用いてインダクタンスLを計算してください。

$$L[\mu H] = \frac{V_{OUT_}[V] \times (V_{PVIN_}[V] - V_{OUT_}[V])}{V_{PVIN_}[V] \times f_{SW}[MHz] \times \Delta I_{p-p}[A]}$$

ここで、V_{PVIN_}は入力電源電圧、V_{OUT_}はレギュレータの出力電圧、そしてf_{SW}はスイッチング周波数です。標準条件で効率が最適となるように、V_{PVIN_}とV_{OUT_}には標準値を使用してください。スイッチング周波数(f_{SW})は、500kHz~4MHzの間に設定することができます(「発振器」の項を参照)。

ピークツーピーク出力リップルに影響するピークツーピークのインダクタ電流(ΔI_{p-p})は、最大入力電圧で最も大きくなります。最悪の場合の出力電流リップルが許容できるかどうかを検証するためには、「出力コンデンサの選択」の項を参照してください。

連続した出力短絡の間の制御不能の電流状態を避けるために、最大のピーク電流よりも高い飽和電流I_{SAT}を持ったインダクタを選択してください。また、インダクタの温度性能および周囲以上に上昇する予測温度が、インダクタの熱容量を超えないことを確認してください。多くのインダクタメーカーは、この情報を得られるように、バイアス/負荷電流対温度上昇性能曲線(または類似の曲線)を用意しています。

入力コンデンサの選択

降圧コンバータの不連続の入力電流によって大きな入力リップル電流が発生しますので、入力コンデンサは入力リップル電流に耐え、設計必要条件の範囲内に入力電圧リップルを保つように慎重に選ぶ必要があります。

入力電圧リップルは、ΔV_Q(コンデンサ放電に起因)とΔV_{ESR}(入力コンデンサのESRに起因)から成っています。総合の電圧リップルは、ΔV_Qとオンサイクルの終わりにピークに達するΔV_{ESR}の合計です。下記の式を用いて、指定されたリップルに対する必要な入力静電容量とESRを計算してください。

$$ESR[m\Omega] = \frac{\Delta V_{ESR}[mV]}{\left(I_{LOAD(MAX)} + \frac{\Delta I_{p-p}}{2} \right) [A]}$$
$$C_{PVIN_}[\mu F] = \frac{I_{LOAD(MAX)}[A] \times \left(\frac{V_{OUT_}[V]}{V_{PVIN_}[V]} \right)}{\Delta V_Q[V] \times f_{SW}[MHz]}$$
$$\Delta I_{p-p}[A] = \frac{(V_{PVIN_} - V_{OUT_})[V] \times V_{OUT_}[V]}{V_{PVIN_}[V] \times f_{SW}[MHz] \times L[\mu H]}$$

I_{LOAD(MAX)}は最大の出力電流、ΔI_{p-p}はピークツーピークのインダクタ電流、V_{PVIN_}は入力電源電圧、V_{OUT_}はレギュレータの出力電圧、そしてf_{SW}はスイッチング周波数です。

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

1つのレギュレータのみがイネーブルされる場合には、下記の式を使用して入力リップルを計算してください。

$$I_{CIN(RMS)}[A] = I_{LOAD(MAX)}[A] \times \frac{\sqrt{V_{OUT_}[V] \times (V_{PVIN_} - V_{OUT_})[V]}}{V_{PVIN_}[V]}$$

MAX15022はUVLOヒステリシスを持っており、ターンオン時に起こりうる予期しないチャタリングを避けるようにします。入力ソースインピーダンスが高い場合は、より大きい静電容量を使用してください。低い入力電圧を使用する場合は、入力静電容量を増やすと、過渡的な負荷における低電圧ロックアウトスレッショルド以下に達してしまうのを防ぐのに役立ちます。

出力コンデンサの選択

負荷変動期間での許容される出力電圧リップルと出力電圧の最大偏差は、必要な出力静電容量とそのESRを決定します。出力リップルは、主に ΔV_Q (コンデンサの放電に起因)と ΔV_{ESR} (出力コンデンサの等価直列抵抗両端の電圧低下に起因)から成ります。

出力静電容量とそのESRを計算する式は次のとおりです。

$$C_{OUT}[\mu F] = \frac{\Delta I_{p-p}[A]}{8 \times \Delta V_Q[V] \times f_{SW}[MHz]}$$

$$ESR[m\Omega] = \frac{2 \times \Delta V_{ESR}[mV]}{\Delta I_{p-p}[A]}$$

ここで、 ΔI_{p-p} はピークツーピークのインダクタ電流、 f_{SW} はスイッチング周波数です。

ΔV_{ESR} と ΔV_Q はお互いに逆位相ですので、これらは直接計算式に含まれません。一般的に低いESRを持っているセラミックコンデンサを使用する場合は、 ΔV_Q が支配します。電解コンデンサを使用する場合は ΔV_{ESR} が支配します。

また、急速に負荷変動している間の出力電圧の許容偏差は、出力静電容量、そのESR、および等価直列インダクタンス(ESL)に影響を及ぼします。コントローラがデューティサイクルを増加して応答するまで、出力コンデンサは負荷変動の間、負荷電流を供給します。応答時間($t_{RESPONSE}$)は、コントローラのゲイン帯域幅に依存します(「補償設計のガイドライン」の項を参照)。出力コンデンサのESR両端の抵抗性電圧降下(ΔV_{ESR})、コンデンサのESL両端の電圧降下(ΔV_{ESL})、およびコンデンサの放電(ΔV_Q)は、負荷変動(I_{STEP})の期間に電圧降下を引き起こします。負荷過渡応答と電圧リップル性能を改善するために、低ESRのタンタル/アルミ電解とセラミックコンデンサの組合せを使用してください。リード線の無いコンデンサとこれらのコンデンサを

並列に接続すると、ESLを減らすのに役立ちます。最大出力電圧偏差は、給電される電子機器の許容限界以下に保ってください。

負荷変動期間の出力変動を最小にするために、下記の式を使用して必要な出力静電容量、ESRおよびESLを計算してください。

$$ESR[m\Omega] = \frac{\Delta V_{ESR}[mV]}{I_{STEP}[A]}$$

$$C_{OUT}[\mu F] = \frac{I_{STEP}[A] \times t_{RESPONSE}[\mu s]}{\Delta V_Q[V]}$$

$$ESL[nH] = \frac{\Delta V_{ESL}[mV] \times t_{STEP}[\mu s]}{I_{STEP}[A]}$$

ここで、 I_{STEP} は負荷変動、 t_{STEP} は負荷変動の立上り時間、また $t_{RESPONSE}$ はコントローラの応答時間です。

補償設計のガイドライン

MAX15022は、固定されたリファレンスに対して出力電圧を比較することによって出力電圧を安定化する、固定周波数の電圧モード制御技術を使用しています。エラーアンプ出力(COMP_)に現れる以降の「エラー」電圧は、PWMの所要のデューティサイクルを生成するために、内部のランプ電圧と比較されます。2次のローパスLCフィルタはスイッチングの高調波を取り除き、出力にPWM信号のDC成分を伝達します。LCフィルタは-40dB/デケードの減衰スロープを持っており、LCの共振周波数より上の周波数に180°の位相シフトを与えます。この固有のレギュレータの負帰還システムの180°位相シフトに加えてのこの位相シフトは、フィードバックを不安定な正帰還に変えます。エラーアンプとその関連回路は、安定した閉ループシステムを持つように設計されている必要があります。

基本的なコントローラのループは、パワーモジュレータ(レギュレータのPWM、関連回路、およびLCフィルタから構成)、出力フィードバック分圧器、およびエラーアンプから成ります。パワーモジュレータは、ランプ電圧(V_{RAMP})が V_{AVIN} の関数である V_{AVIN}/V_{RAMP} で設定されるDCゲインを持っており、4V/Vの固定DCゲインとなり、入力電圧電源のDC変動の効果的なフィードフォワード補償を与えます。このフィードフォワード補償は、エラーアンプのフィードバック補償が公称入力電圧の変更を必要としないように、入力電圧でのパワーモジュレータのゲイン依存をなくします。出力フィルタは、2個のポールと1個のゼロが出力インダクタンス(L)、インダクタの直流抵抗(DCR)、出力静電容量(C_{OUT})、およびその等価直列抵抗(ESR)で設定されるように、効果的にモデル化されています。

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

下記の式は、パワーモジュレータを定義しています。

$$\text{Gain}_{\text{MOD(DC)}} = \frac{V_{\text{AVIN}}}{V_{\text{RAMP}}} = \frac{V_{\text{AVIN}}}{\frac{V_{\text{AVIN}}}{4}} = 4V/V$$

$$f_{\text{LC}} = \frac{1}{2\pi \times \sqrt{L \times C_{\text{OUT}} \times \left(\frac{R_{\text{OUT}} + \text{ESR}}{R_{\text{OUT}} + \text{DCR}} \right)}} \approx \frac{1}{2\pi \times \sqrt{L \times C_{\text{OUT}}}}$$

$$f_{\text{ESR}} = \frac{1}{2\pi \times \text{ESR} \times C_{\text{OUT}}}$$

R_{OUT} はレギュレータの負荷抵抗、 f_{LC} はフィルタの共振ブレイク周波数、そして f_{ESR} は出力コンデンサのESRゼロです。 f_{LC} と f_{ESR} の詳細については、「電圧モードレギュレータの閉ループ応答と補償」を参照してください。

スイッチング周波数(f_{SW})は、500kHz~4MHzの範囲で設定することができます。一般的に、システムの閉ループゲインがユニティ(0dBを横切る)に等しくなる周波数であるクロスオーバー周波数(f_{CO})は、安定した閉ループ応答のためにスイッチング周波数の10分の1 ($f_{\text{SW}}/10$)以下に設定する必要があります。

MAX15022は反転入力と出力付きの内蔵の電圧モードエラーアンプを持っており、外部周波数の補償用にユーザが利用できます。各々のコントローラ用の外部補償の柔軟性は、出力フィルタ用の部品、特に出力コンデンサの広範囲の選択を可能にします。コストが重要なアプリケーション用にはアルミ電解コンデンサを

使用し、一方、スペースが厳しいアプリケーション用には、出力部に低ESRのタンタルまたは多層セラミックチップ(MLCC)コンデンサを使用してください。MAX15022のスイッチング周波数は高いため、主たるフィルタコンデンサとしてMLCCを使用できるようにします。

まず、アプリケーションの出力リップル、部品サイズおよび部品コスト要件に合った受動と能動パワー部品を選びます。次に、下記に概説されているように、所望の閉ループ周波数応答と位相マージンを得るために、小信号の補償部品を選んでください。

電圧モードレギュレータの閉ループ応答と補償

パワーモジュレータのLCローパスフィルタは、LとCとこれらの寄生値に依存して、様々な応答を示します。抵抗性の寄生が大きいほど回路のQを低下させ、システムのピークゲインと位相を低下させますが、効率もこれらの状況下で低下します。

そのような応答の一例を図4aに示します。この例では、ESRゼロは、相対的にフィルタの共振ブレイク周波数 f_{LC} 近辺で起こります。この結果、パワーモジュレータの補償されていないクロスオーバは、所望のクロスオーバ周波数 f_{CO} のほぼ3分の1になります。また、0dB平面中の補償されていないロールオフは、単1ポール、-20dB/ディケードの傾斜、および90°の位相遅れが起きることに注意してください。この場合、固有の位相マージンは安定したシステムを確保しますが、ゲイン帯域幅積は最適化されません。

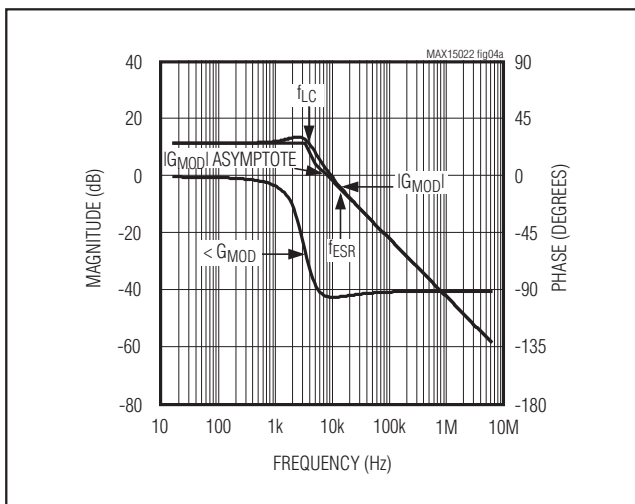


図4a. 損失が大きな大容量の出力コンデンサ(アルミ)を持ったパワーモジュレータのゲインと位相応答

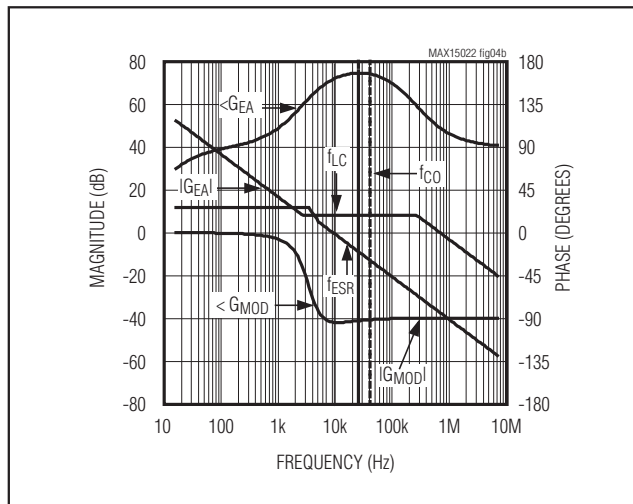


図4b. 損失が大きな大容量の出力コンデンサ(アルミ)を持ったパワーモジュレータとタイプIIの補償回路のゲインおよび位相応答

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

図4bに見られるように、タイプIIの補償回路は安定した閉ループ動作を与え、コンデンサのESRゼロの+20dB/ディケードの傾斜に影響を及ぼし、一方では、レギュレータの閉ループゲイン帯域幅を広げます。これによって、ゼロクロスオーバは、無補償のクロスオーバ周波数 f_{CO} のほぼ3倍で発生します。

タイプII補償回路の中間周波数のゲイン(ここではほぼ12dBで表示)は、所望のクロスオーバ周波数 f_{CO} (f_{CO} において $\text{Gain}_{E/A} + \text{Gain}_{MOD} = 0\text{dB}$)でパワーモジュレータの減衰を補償するように設計されています。この例では、ESRゼロ($f_{ZERO, ESR}$)を超えたパワーモジュレータ固有の-20dB/ディケードのロールオフは、電圧レギュレータのアクティブな安定化ゲインバンド幅を広げる影響を及ぼします。図4bに示されているように、最終結果は、75°を超える位相マージン(クロスオーバ f_{CO} での $\text{Gain}_{E/A}$ と Gain_{MOD} のそれぞれの位相間の差)を与える一方で、レギュレータのゲインバンド幅が3倍増になります。

他のフィルタ技術は、それに固有の問題を起こします。たとえば、MLCCなどの高品質フィルタコンデンサを選んだ場合、図4cに示すように、固有のESRゼロは非常に高い周波数で起こる可能性があります。

前例と同様に、実際のゲインと位相応答は、パワーモジュレータの漸近のゲイン応答に包括されます。前述の例での穏やかな応答に対して、パワーモジュレータの共振周波数 f_{LC} またはこの近辺での大幅なゲインと位相の変化を容易に見ることができます。これは、フィルタ

部品の低域寄生(DCRとESR)および対応する固有のESRゼロの高域周波数に起因します。この例では、所望のクロスオーバ周波数は、ESRゼロ周波数以下で起こります。

この例では、固有の中間周波数のダブルゼロ応答を持った補償回路は、フィルタのダブルポールの位相遅れの影響を軽減する必要があります。これは、タイプIIIのトポロジで可能になります。

図4dに図示されているように、タイプIIIの中間周波数のダブルゼロゲイン(+20dB/ディケードの傾斜を示し、補償回路のポールに起因しない)は、パワーモジュレータのダブルポールの-40dB/ディケードの減衰を所望のクロスオーバ周波数 f_{CO} (前期と同様に f_{CO} において $\text{Gain}_{E/A} + \text{Gain}_{MOD} = 0\text{dB}$)で補償するように設計されています(図4dを参照)。

上記の例では、パワーモジュレータ固有(中間周波数)の-40dB/ディケードのロールオフは、中間周波数のダブルゼロの+20dB/ディケードのゲインによって軽減され、電圧レギュレータのアクティブな安定化ゲインバンド幅を広げます。図4dに示されているように、最終結果は、55°を超える位相マージン(クロスオーバ f_{CO} での $\text{Gain}_{E/A}$ と Gain_{MOD} のそれぞれの位相間の差)よりも大きくなっている一方、コントローラのゲインバンド幅はほぼ2倍になっています。

タイプIIとタイプIII両方の補償回路に関する設計手順を下記に示します。

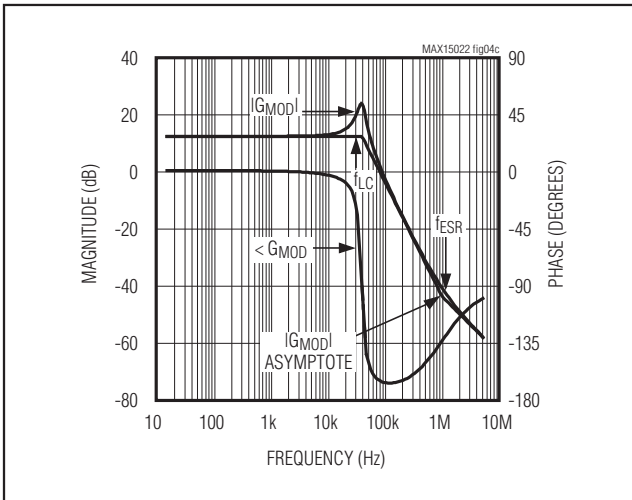


図4c. 低寄生コンデンサ(MLCC)を使用したパワーモジュレータのゲインと位相応答

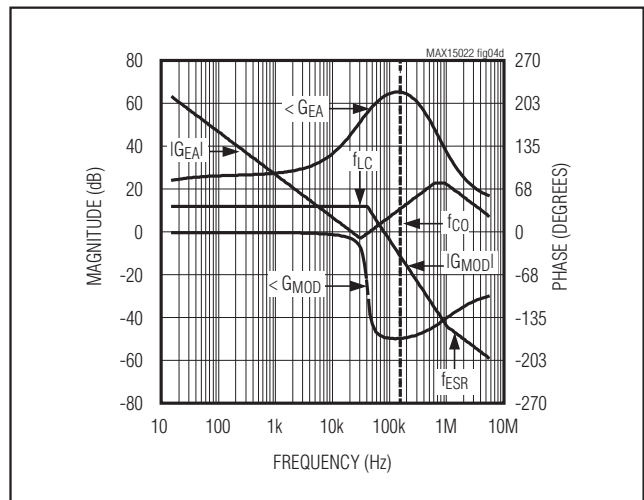


図4d. 低寄生コンデンサ(MLCC)を使用したパワーモジュレータとタイプIII補償回路のゲインと位相応答

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

タイプII: $f_{CO} > f_{ZERO}$, ESRの場合の補償

f_{CO} が f_{ESR} より大きい場合、タイプIIの補償回路は必要な閉ループ補償された応答を与えます。タイプIIの補償回路は、中間周波帯の補償ゼロと高い周波数のポールを与えます(図5aと5bを参照)。

$R_F C_F$ は中間周波帯ゼロ $f_{MID,ZERO}$ を与え、 $R_F C_{CF}$ は高い周波数のポール($f_{HIGH,POLE}$)を与えます。補償回路の部品を計算するには、以下の手順を使用してください。

f_{ESR} とLCのダブルポール f_{LC} を計算してください。

$$f_{ESR} = \frac{1}{2\pi \times ESR \times C_{OUT}}$$

$$f_{LC} \approx \frac{1}{2\pi \times \sqrt{L \times C_{OUT}}}$$

ここで、 C_{OUT} はレギュレータの出力コンデンサで、ESRは C_{OUT} の直列抵抗です。 C_{OUT} とESRの計算の詳細については「出力コンデンサの選択」の項を参照してください。

フィルタの共振ダブルポール周波数またはこれ以下の周波数での補償回路の第1ゼロ f_{Z1} は、次式で設定してください。

$$f_{Z1} \leq f_{LC}$$

スイッチング周波数 f_{SW} の半分またはこれ以下での補償回路の高周波ポール f_{P1} を次式で設定してください。

$$f_{P1} \leq \frac{f_{SW}}{2}$$

補償回路の位相進みを最大にするためには、所要のクロスオーバー周波数 f_{CO} を補償回路の第1ゼロ f_{Z1} および高周波ポール f_{P1} と幾何平均的に等しくなるように次式で設定してください。

$$f_{CO} = \sqrt{f_{Z1} \times f_{P1}}$$

3.3kΩ~30kΩの範囲で、フィードバック抵抗 R_F を選んでください。

次式を用いて、レギュレータのPWM、LCフィルタ、フィードバック分圧器、および関連する回路で構成される所望のクロスオーバー周波数 f_{CO} でのモジュレータのゲイン($Gain_{MOD}$)を計算してください。

$$Gain_{MOD} = 4(V/V) \times \frac{ESR [m\Omega]}{(2\pi \times f_{CO} [kHz]) \times L [\mu H]} \times \frac{V_{FB} [V]}{V_{OUT_} [V]}$$

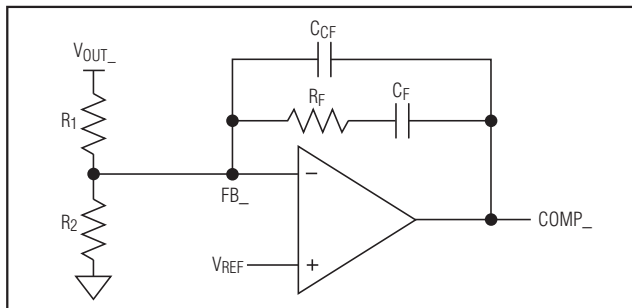


図5a. タイプIIの補償回路

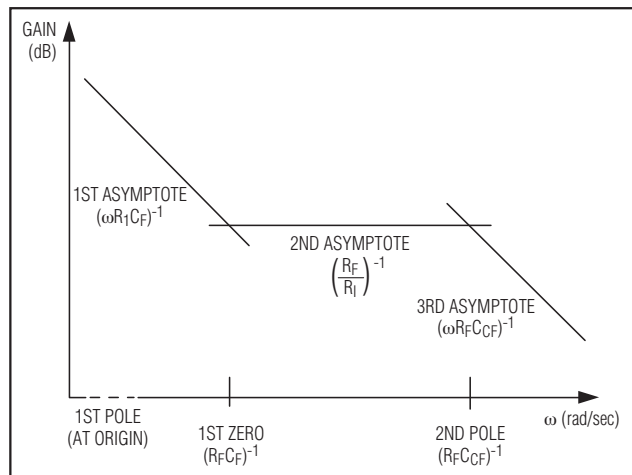


図5b. タイプIIの補償回路の応答

ここで、 V_{FB} は0.6V (typ)の FB_- 入力電圧の設定ポイントで、 L はレギュレータのインダクタ値、 ESR は出力コンデンサの直列抵抗、そして $V_{OUT_}$ は所望の出力電圧です。中間周波帯でのエラーアンプのゲイン($Gain_{E/A}$)は次の通りになります。

$$Gain_{E/A} = \frac{R_F [k\Omega]}{R_1 [k\Omega]}$$

総ループゲインは、 f_{CO} でのモジュレータゲインとエラーアンプゲインの積で、次式のように1に等しくなるように設定する必要があります。

$$Gain_{MOD} \times Gain_{E/A} = 1$$

従って、

$$20 \times \log_{10} \left[\frac{R_F}{R_1} \right] + 20 \times \log_{10} \left[\frac{4 \times ESR \times V_{FB}}{2\pi \times f_{CO} \times L \times V_{OUT_}} \right] = 0 \text{ dB}$$

$$\frac{R_F}{R_1} \times \frac{4 \times ESR \times V_{FB}}{2\pi \times f_{CO} \times L \times V_{OUT_}} = 1$$

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

R₁の計算

$$R_1 [\text{k}\Omega] = \frac{R_F [\text{k}\Omega] \times 4 \times \text{ESR} [\text{m}\Omega] \times V_{\text{FB}} [\text{V}]}{2\pi \times f_{\text{CO}} [\text{kHz}] \times L [\mu\text{H}] \times V_{\text{OUT}_-} [\text{V}]}$$

ここで、V_{FB}は0.6V (typ)のFB_入力電圧の設定ポイント、Lはレギュレータのインダクタ値、ESRは出力コンデンサの直列抵抗、そしてV_{OUT_-}は所望の出力電圧です。

1) C_Fは、次のように補償回路の第1ゼロf_{Z1}とR_Fで決定されます。

$$C_F [\mu\text{F}] = \frac{1}{2\pi \times R_F [\text{k}\Omega] \times f_{Z1} [\text{kHz}]}$$

2) C_{CF}は、次のように補償回路の高周波ポールf_{p1}とR_Fで決定されます。

$$C_{CF} [\mu\text{F}] = \frac{1}{2\pi \times R_F [\text{k}\Omega] \times f_{p1} [\text{kHz}]}$$

3) 次の式を使用してR₂を計算してください。

$$R_2 [\text{k}\Omega] = R_1 [\text{k}\Omega] \times \frac{V_{\text{FB}} [\text{V}]}{V_{\text{OUT}_-} [\text{V}] - V_{\text{FB}} [\text{V}]}$$

ここで、V_{FB} = 0.6V (typ)で、V_{OUT_-}はレギュレータの出力電圧です。

タイプIII : f_{CO} < f_{ESR}の場合の補償

上述の通り、出力コンデンサの固有ESRゼロの位置は、良好な補償回路を設計する上で重要です。低ESRのセラミック出力コンデンサ(MLCC)を使用する場合には、ESRゼロ周波数(f_{ESR})は通常、所望のクロスオーバー周波数(f_{CO})よりも遥かに高くなります。この場合、タイプIIIの補償回路が推奨されます(図6aを参照)。

図6bに示すように、タイプIIIの補償回路は、2つのゼロと3つのポールをコントロールループ内に発生します。このエラーアンプは、本来1つの低周波数ポール、2つのゼロ、および下記の周波数で2つの高周波数ポールを持っています。

$$f_{Z1} = \frac{1}{2\pi \times R_F \times C_F}$$

$$f_{Z2} = \frac{1}{2\pi \times C_1 \times (R_1 + R_i)}$$

2つの中間周波帯ゼロ(f_{Z1}とf_{Z2})は、LCフィルタによって導入される複雑なポールのペアを補償するように設計されています。

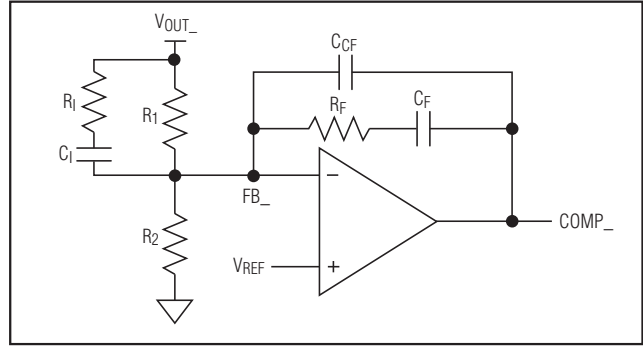


図6a. タイプIIIの補償回路

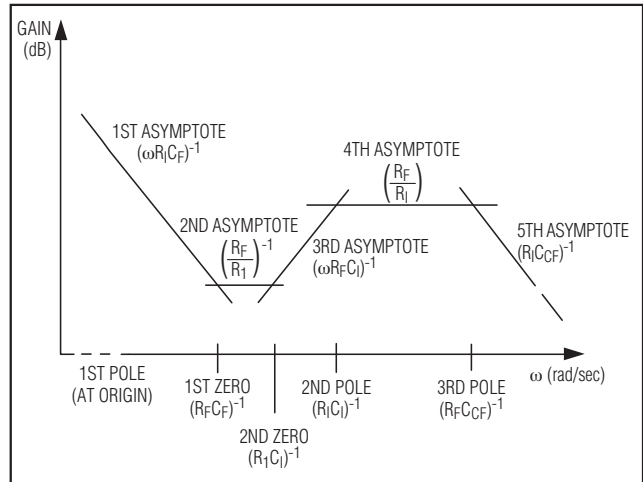


図6b. タイプIIIの補償回路の応答

f_{p1}は、DC出力電圧誤差をゼロにするために、ゼロ周波数(積分器)でポールを生じます。

$$f_{p1} = \text{原点}(0\text{Hz})$$

ESRゼロ(f_{ESR})の位置次第で、f_{p2}はこのポールをキャンセルするために使用することができ、あるいは、高周波の出力リップルを更に減衰させるために使用することができます。

$$f_{p2} = \frac{1}{2\pi \times R_1 \times C_1}$$

f_{p3}は高周波出力リップルを減衰させます。

$$f_{p3} = \frac{1}{2\pi \times R_F \times (C_F \parallel C_{CF})} = \frac{1}{2\pi \times R_F \times \frac{C_F \times C_{CF}}{C_F + C_{CF}}}$$

C_{CF} << C_Fですので、

$$f_{p3} = \frac{1}{2\pi \times R_F \times C_{CF}}$$

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

ゼロとポールの位置は、位相マージンが f_{CO} 周辺でピークに達するようなものである必要があります。

f_{CO} と f_z との比率および f_p と f_{CO} との比率を相互に等しくなるように設定します。例えば、 $\frac{f_{CO}}{f_z} = \frac{f_p}{f_{CO}} = 5$ は、 f_{CO}

でほぼ60°の位相マージン得るのに適した数値です。どちらの技術にしても、条件付きの安定性問題を避けるためには、2つのゼロをダブルポールの周波数またはこれ以下の周波数に配置することが重要です。

以下の手順が推奨されます。

- 1) スイッチング周波数(f_{SW})の10分の1またはこれ以下にクロスオーバー周波数 f_{CO} を選択します。

$$f_{CO}[\text{kHz}] \leq \frac{f_{SW}[\text{kHz}]}{10}$$

- 2) LCのダブルポール周波数 f_{LC} を計算します。

$$f_{LC}[\text{MHz}] \approx \frac{1}{2\pi \times \sqrt{L[\mu\text{H}] \times C_{OUT}[\mu\text{F}]}}$$

ここで、 C_{OUT} はレギュレータの出力コンデンサです。

- 3) 3.3kΩ~30kΩの範囲でフィードバック抵抗 R_F を選びます。

- 4) 以下のように、出力フィルタのダブルポール f_{LC} またはこれより下に、補償回路の第1ゼロ $f_{z1} = \frac{1}{2\pi \times R_F \times C_F}$ を配置します。

$$C_F[\mu\text{F}] = \frac{1}{2\pi \times R_F[\text{k}\Omega] \times 0.5 \times f_{LC}[\text{kHz}]}$$

- 5) レギュレータのPWM、LCフィルタ、フィードバック分圧器、および関連する回路で構成されるクロスオーバー周波数におけるモジュレータのゲイン(Gain_{MOD})は次の通りです。

$$\text{Gain}_{MOD} = 4 \times \frac{1}{(2\pi \times f_{CO}[\text{MHz}])^2 \times L[\mu\text{H}] \times C_{OUT}[\mu\text{F}]}$$

中間周波帯内のエラーアンプのゲイン($\text{Gain}_{E/A}$)は次の通りです。

$$\text{Gain}_{E/A} = 2\pi \times f_{CO}[\text{kHz}] \times C_1[\mu\text{F}] \times R_F[\text{k}\Omega]$$

総ループゲインは、 f_{CO} におけるモジュレータゲインとエラーアンプゲインの積で、次式のように1に等しくなる必要があります。

$$\text{Gain}_{MOD} \times \text{Gain}_{E/A} = 1$$

従って、

$$4 \times \frac{1}{(2\pi \times f_{CO}[\text{kHz}])^2 \times C_{OUT}[\mu\text{F}] \times L[\mu\text{H}]} \times 2\pi \times f_{CO}[\text{kHz}] \times C_1[\mu\text{F}] \times R_F[\text{k}\Omega] = 1$$

C_1 の計算

$$C_1[\text{pF}] = \frac{(2\pi \times f_{CO}[\text{kHz}] \times L[\mu\text{H}] \times C_{OUT}[\mu\text{F}])}{4 \times R_F[\text{k}\Omega]}$$

- 6) 低ESRタンタルコンデンサを使用した場合と様に、 $f_{LC} < f_{CO} < f_{ESR} < f_{SW}/2$ となる状態においては、補償回路の第2ポール(f_{p2})は、 f_{ESR} をキャンセルするために使用する必要があります。これによって追加の位相マージンが得られます。システムのボーデ図では、ループゲインは、0dBのクロスオーバーのすぐ後で平らになっているに対して、スイッチング周波数の半分まで+20 dB/ディケードの傾斜を維持しています。そして次のように設定されます。

$$f_{p2} = f_{ESR}$$

セラミックコンデンサを使用する場合は、このコンデンサのESRゼロ f_{ESR} は、スイッチング周波数の半分以上にもなり、 $f_{LC} < f_{CO} < f_{SW}/2 < f_{ESR}$ になります。この場合、第2ポールの周波数(f_{p2})は、クロスオーバー周波数で位相マージンを大きく減衰させないようにするために、十分に高い位置に置く必要があります。たとえば、 f_{p2} は f_{CO} の5倍に設定することができるため、クロスオーバー周波数 f_{CO} での位相損失に対するその貢献は、次式のように約11°に過ぎません。

$$f_{p2} = 5 \times f_{CO}$$

f_{p2} が分かった後は、 R_1 を計算してください。

$$R_1[\text{k}\Omega] = \frac{1}{2\pi \times f_{p2}[\text{kHz}] \times C_1[\mu\text{F}]}$$

- 7) $0.2 \times f_{CO}$ または f_{LC} の低い方に第2ゼロ(f_{z2})を配置し、次式で R_1 を計算してください。

$$R_1[\text{k}\Omega] = \frac{1}{2\pi \times f_{z2}[\text{kHz}] \times C_1[\mu\text{F}]}$$

- 8) スイッチング周波数の半分のところに第3ポール(f_{p3})を配置して、 C_{CF} を計算してください。

$$C_{CF}[\text{nF}] = \frac{1}{(2\pi \times 0.5 \times f_{SW}[\text{MHz}] \times R_F[\text{k}\Omega])}$$

- 9) R_2 は次のように計算します。

$$R_2[\text{k}\Omega] = R_1[\text{k}\Omega] \times \frac{V_{FB}[\text{V}]}{V_{OUT}[\text{V}] - V_{FB}[\text{V}]}$$

ここで、 $V_{FB} = 0.6\text{V}$ (typ)です。

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

LDOコントローラの設計手順

PNPパストランジスタの選択

パストランジスタは、電流ゲイン(β)、入力静電容量、コレクタ~エミッタ間飽和電圧、および電力損失に対する仕様を満たさなければなりません。トランジスタの電流ゲインは、次式のように保証最大出力電流を制限します。

$$I_{OUT3/4}[A] = \left(I_{B3/4(MIN)}[A] - \frac{V_{BE}[V]}{R_{PULL}[\Omega]} \right) \times \beta$$

ここで、 $I_{B3/4(MIN)}$ は最小ベースドライブ電流で、 R_{PULL} はトランジスタのベース~エミッタ間に接続するプルアップ抵抗です。

さらに、予期しないドロップアウトを避けるために、 V_{CE-SAT} は、 $V_{PVIN(MIN)} - V_{OUT3/4}$ 以下またはこれに等しくする必要があります。そのうえ、トランジスタの電流ゲインはリニアレギュレータのDCループゲインを増やしますので(「安定性要件」の項を参照)、大きすぎるゲインは出力を不安定にします。したがって、ダーリントントランジスタなどのような最大の出力電流での大きな電流ゲインを持ったトランジスタは推奨されません。トランジスタの入力静電容量と入力抵抗も第2ポールを発生し、これは出力が過負荷になった場合にLDOを不安定にするのに十分低い位置になってしまう可能性があります。

最大出力電流でのトランジスタの飽和電圧は、リニアレギュレータが動作する最小の入出力間の電圧差を決定します。あるいは、パッケージの電力損失は、使用できる最大出力の入出力電圧差を制限することがあります。

トランジスタのパッケージと装着方法の最大電力損失性能は、最大ジャンクション温度を上回ることなく、デバイス内で実際の電力損失を維持する必要があります。消費電力は、最大負荷電流に最大入出力電圧差を掛けたものに等しくなります。

出力3と出力4の電圧選択

MAX15022の正リニアレギュレータ出力電圧は、所望の出力($V_{OUT3/4}$)~FB3/4~SGND間の抵抗分圧器で設定されます(図7と8を参照)。まず、 $R_{2FB3/4}$ の抵抗値を選んでください(30k Ω 以下)。そして $R_{1FB3/4}$ を次式から求めます。

$$R_{1FB3/4}[k\Omega] = R_{2FB3/4}[k\Omega] \left(\frac{V_{OUT3/4}[V]}{V_{FB3/4}[V]} - 1 \right)$$

ここで、 $V_{OUT3/4}$ は最低0.6Vまで対応する電圧で、 $V_{FB3/4}$ は0.6V (typ)です。

安定性要件

MAX15022のB3とB4の出力は、バイポーラPNPトランジスタを駆動するように設計されています。これらのPNPトランジスタは、正出力を持ったリニアレギュレータを形成します。内蔵の相互コンダクタンスアンプは、外部のパストランジスタを駆動します。相互コンダクタンスアンプ、パストランジスタの仕様、ベース~エミッタ間抵抗、および出力コンデンサは、ループの安定性を決定します。

総DCループゲイン(A_V)は、内蔵の相互コンダクタンスアンプのゲイン、パストランジスタのベース~コレクタ間ゲイン、およびフィードバック分圧器の減衰の積になります。相互コンダクタンスアンプは、パストランジスタのベース電流を制御することによって出力電圧を安定化します。このDCゲインはほぼ次式のとおりになります。

$$g_{C_} \times \left(\frac{R_{IN} \times R_{P1/2}}{R_{IN} + R_{P1/2}} \right)$$

ここで、 $g_{C_}$ は標準1.2mA/mVの内蔵アンプの相互コンダクタンスで、 $R_{P1/2}$ はk Ω 単位のパストランジスタのベース~エミッタ間抵抗、また R_{IN} はパストランジスタの入力抵抗で、次式で計算します。

$$R_{IN}[k\Omega] = \beta \times \left(\frac{26[mV]}{I_{OUT3/4}[\mu A]} \right)$$

フィードバック分圧器を含むパストランジスタ(A_P)のDCゲインは、ほぼ次のようになります。

$$A_P = g_{m-PNP} \times \left[\frac{R_{OUT3/4} \times (R_{1FB3/4} + R_{2FB3/4})}{R_{OUT3/4} + R_{1FB3/4} + R_{2FB3/4}} \right] \times \frac{R_{2FB3/4}}{R_{1FB3/4} + R_{2FB3/4}}$$

ここで、 $g_{m-PNP} = \frac{I_{OUT3/4}[mA]}{26[mV]}$ です。

出力3と出力4の総合DCループゲインは次式で求めます。

$$A_V = g_{C_} \times \left(\frac{R_{IN} \times R_{P1/2}}{R_{IN} + R_{P1/2}} \right) \times A_P$$

出力静電容量($C_{OUT_}$)と負荷抵抗($R_{OUT_}$)は、次式の周波数でドミナントポール(f_{POLE1})を生成します。

$$f_{POLE1}[kHz] = \frac{1}{2\pi \times C_{OUT3/4}[\mu F] \times R_{OUT3/4}[k\Omega]} = \frac{I_{OUT3/4(MAX)}[mA]}{2\pi \times C_{OUT3/4}[\mu F] \times V_{OUT3/4}[V]}$$

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

パストランジスタ(C_{QIN})のベースの入力静電容量、すべての外部のベース～エミッタ間静電容量(C_{BE} 、「ベースドライブのノイズ削減」の項を参照)、トランジスタの入力抵抗(R_{IN})、およびベース～エミッタ間のプルアップ抵抗($R_{P_}$)は、第2のポールを設定します。

$$f_{POLE2}[\text{kHz}] = \frac{1}{2\pi(C_{BE} + C_{QIN})[\mu\text{F}] \times R_{TOTAL}[\text{k}\Omega]}$$

ここで、 $R_{TOTAL} = R_{IN} \parallel R_{P1/2}$ です。

安定性を維持するためには、最低限、以下の条件を満たす必要があります。

$$A_V \times f_{POLE1} < f_{POLE2}$$

すなわち、第2ポールは、ユニティゲインクロスオーバーより上で発生する必要があります。過大出力負荷では、次のように単純化することができます。

$$\begin{aligned} R_{OUT3/4} &<< R_{1FB3/4} + R_{2FB3/4} \\ C_{BE} &<< C_{QIN} \approx g_{m-PNP} \times \tau_F \\ R_{P1/2} &>> R_{IN} \approx \frac{\beta}{g_{m-PNP}} \end{aligned}$$

このため、出力静電容量($C_{OUT3/4}$)は、下記の式を満たす必要があります。

$$C_{OUT3/4} > \alpha \times g_{C_} \times \tau_F \times \beta^2$$

ここで、

$$\alpha = \frac{R_{2FB3/4}}{R_{1FB3/4} + R_{2FB3/4}}$$

β はPNPトランジスタの電流ゲイン、 $g_{C_}$ は内蔵アンプの相互コンダクタンス(標準値は1.2mA/mV)、そして、 τ_F はPNPトランジスタのフォワードトランジット時間です。たとえば、 β が120のトランジスタを使用し、 τ_F が400ps、 $g_{C_} = 1.2\text{mA/mV}$ 、そして1.2Vの出力電圧で $\alpha = 0.5$ の場合、 C_{OUT} は少なくとも3.9 μF である必要があります。

第2ポールがユニティゲインクロスオーバーの十分後で起こる場合は、リニアレギュレータは安定状態に保たれます。安定でない場合には、出力静電容量 $C_{OUT3/4}$ を次式のように増やします。

$$f_{POLE2} > 2 \times f_{COUT_}$$

出力コンデンサが高ESRコンデンサの場合は、FB3/4にあるポールでESRゼロを打ち消してください。次式のように、これはFB3/4とグランド間にコンデンサ($C_{FB3/4}$)を追加することによって達成されます。

$$C_{FB3/4}[\mu\text{F}] = \frac{1}{2\pi \times (R_{1FB3/4} \parallel R_{2FB3/4})[\text{k}\Omega] \times f_{ESR}[\text{kHz}]}$$

相当低い出力静電容量に対しては、 β が極端に高くはない高速PNPトランジスタを選んでください。極端に低い β のトランジスタを選択することは、逆に負荷レギュレーションに影響を与えることに注意してください。

出力3と出力4のコンデンサ

リニアレギュレータの出力とグランド間で、MAX15022と外部パストランジスタにできるだけ近接して C_{OUT} (前述で決定した)を接続してください。選んだパストランジスタによっては、より大きなコンデンサ値が安定化のために必要な場合があります(「安定性要件」の項を参照)。

安定化のための最小限のコンデンサ値が決定したら、リニアレギュレータの出力に過度のノイズが含まれないことを確認してください。適切に安定性が得られていても、小さなコンデンサ値は帯域幅を広くしてしまい、リニアレギュレータをノイズに敏感にしまいます。大きなコンデンサ値は帯域幅を狭めますので、これによってレギュレータのノイズ感度が低下します。

ベースドライブのノイズ削減

特にリニアレギュレータの負荷が軽いときには、高インピーダンスのベースドライバはシステムノイズに影響されやすくなります。ベースドライバに静電容量的に結合されたスイッチングノイズまたは誘導的に結合されたEMIはベース電流の変動をもたらし、これがリニアレギュレータの出力にノイズとなって現れます。これを避けるために、ベースドライバの配線パターンをステップダウンコンバータから遠ざけ、できるだけノイズの飛び込みを最小にしてください。

バイパスコンデンサ(C_{BE})をベース～エミッタ間の抵抗両端に接続することができます。トランジスタの入力静電容量に追加されるこのバイパスコンデンサは、第2ポールの(f_{POLE2})周波数を低下させ、リニアレギュレータを不安定にする可能性があります。したがって、安定性要件に対して、追加できる最大のベース～エミッタ間の静電容量(C_{BE})を決定します。470pF～2200pFの範囲の静電容量を推奨します。

デュアルLDOコントローラ内蔵、デュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

最小負荷の必要条件(リニアレギュレータ)

無負荷の状況下では、パストラジスタからの漏出電流は、トランジスタがオフのときでも出力コンデンサを充電します。通常、フィードバック抵抗の電流が過剰な電荷を放出させますので、これは問題にはなりません。しかし、電荷が出力コンデンサの温度上昇で蓄積され、出力電圧をその設定電圧よりも上昇させます。全温度範囲においてフィードバック抵抗の電流がパストラジスタの漏出電流を上回ることがないようにする必要があります。

熱対策

パストラジスタで消費される電力は、次式で求められます。

$$P_{P3/4} = (V_{IN} - V_{OUT3/4}) \times I_{OUT3/4}$$

ここで、 V_{IN} はLDOのトランジスタへの入力です。

トランジスタを十分に放熱して熱暴走状態を防ぎます。熱計算については、トランジスタのデータシートを参照してください。

アプリケーション情報

PCBレイアウトのガイドライン

PCBレイアウトを慎重に行うことは、ノイズがなく安定した動作を達成するために重要です。良好なPCBレイアウトをするためには、以下のガイドラインに従ってください。

1) IC端子にできるだけ近接してデカップリングコンデンサを配置します。

2) SGNDとPGNDを分離します。これらを一般的に入力フィルタコンデンサの負端子に近接した一点で接続してください。できるだけ短い配線パターンを使用します。

3) 高速スイッチングノード(LX_)は、ノイズを拾いやすいアナログ領域(FB_、COMP_、B_、およびEN_)から離して配線します。

4) 熱放散を適切にするために、パワー部品をボード上で全面的に均一に分布させます。

5) 全てのフィードバック接続は、必ず短くてまっすぐとなるようにします。ICにできるだけ近接して、フィードバック抵抗を配置します。

6) 負荷の近くに出カコンデンサを配置します。

7) 電力消費能力を最大にするために、MAX15022のエクスポーズドパッドを大きな銅面積領域に接続します。熱抵抗は、JEDEC仕様JESD51-7に記述されている方法を使用して得られます。エクスポーズドパッドをSGND領域に接続します。ICの裏側でエクスポーズドパッドを直接SGND端子に接続しないでください。

8) 配線パターンのインダクタンスと抵抗を最小に保つために、2オンスの銅を使用してください。大電流がアプリケーションで使用されますので、薄い銅のPCBは効率を損なうことがあります。また、分厚い銅はより効果的に熱を伝導し、これによって熱インピーダンスを減らします。

9) MAX15022の評価キットに含まれる参考のPCBレイアウトは、より良いレイアウトに役立ちます。

デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

標準動作回路

MAX15022

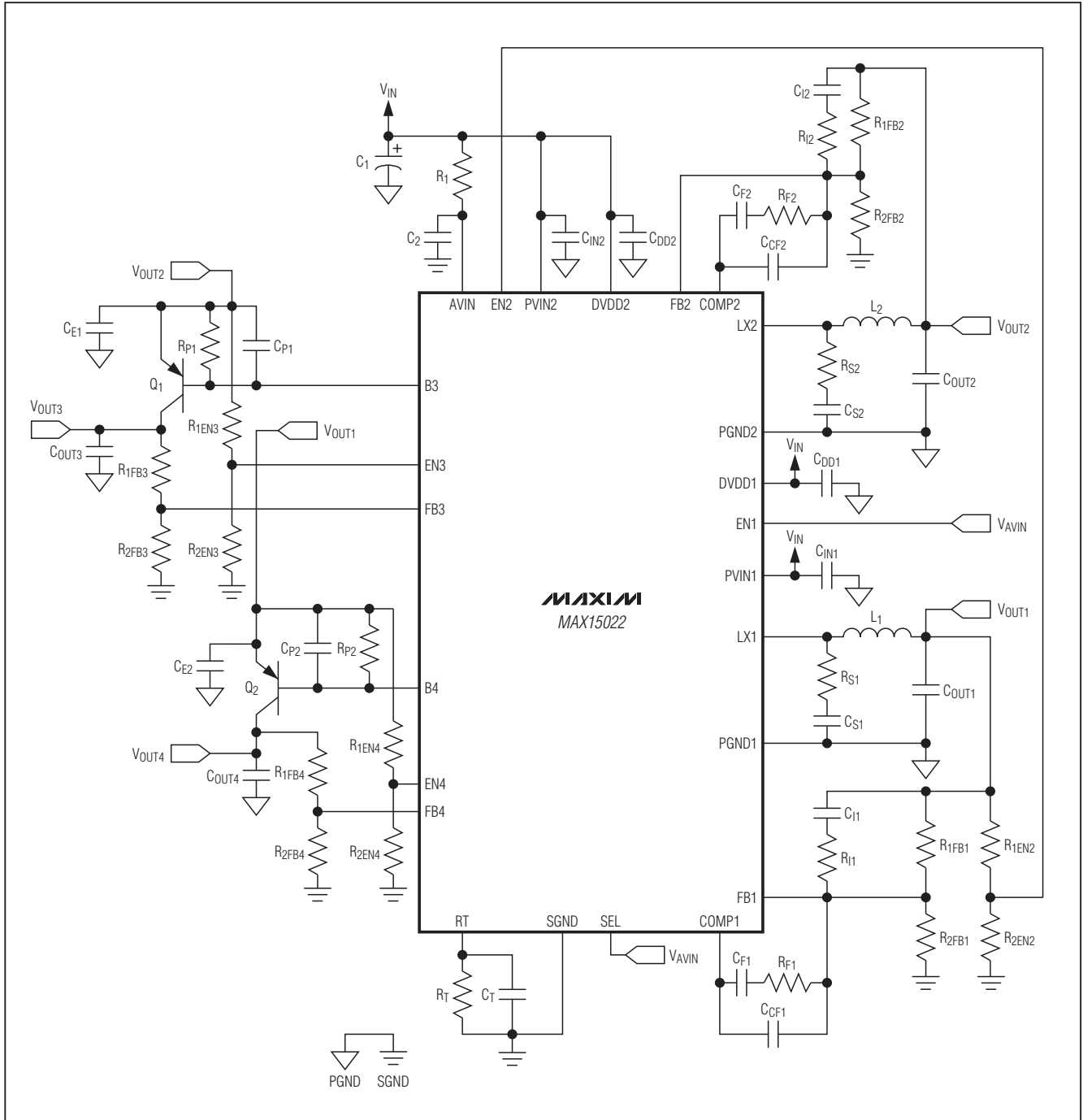


図7. MAX15022のトラッキング付きの2系統の降圧と2つの追加LDO

デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15022

標準動作回路(続き)

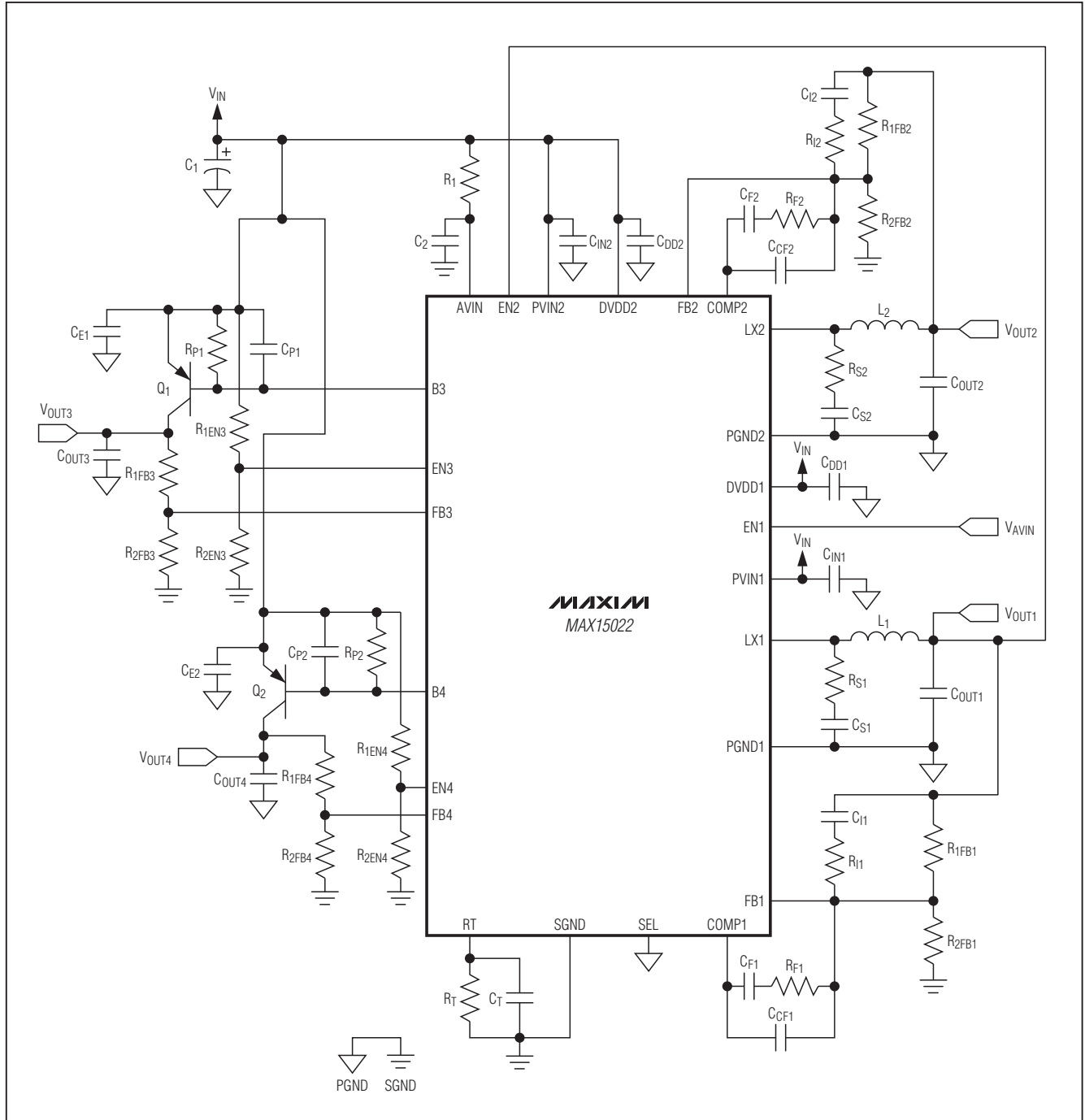


図8. MAX15022のシーケンシング付きの2系統の降圧と2つの追加LDO

デュアルLDOコントローラ内蔵、デュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/packagesを
ご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
28 TQFN	T2855-6	21-0140

MAX15022

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 27