

シリアルLVDS出力、オクタル(8回路)、 12ビット、64MSPS、1.8V ADC

概要

8回路、12ビットアナログ-デジタルコンバータ(ADC)のMAX1438Bは完全な差動信号経路を含めて、完全差動入力、パイプライン構造およびデジタル誤差補正を備えています。このADCは、医療用画像計測機器やデジタル通信アプリケーションにおいて、低電力で高ダイナミック性能となるように最適化されています。MAX1438Bは1.8Vの単一電源で動作し、わずか913mW(チャンネル当り114mW)ながら、5.3MHzの入力周波数で69.9dB (typ)の信号対ノイズ比(SNR)を提供します。低電力動作に加えて、MAX1438Bはアイドル期間の低電力スタンバイモードを備えています。

内部の1.24Vの高精度バンドギャップリファレンスがADCのフルスケールレンジを設定します。柔軟なリファレンス構造により、高い精度または異なった差動入力電圧範囲を必要とするアプリケーション用に外部リファレンスを使用することができます。リファレンス方式は低ノイズ用に最適化されています。

シングルエンドのクロックがデータ変換プロセスを制御します。内部のデューティサイクルイコライザがクロックデューティサイクルの大幅な変動を補償します。内蔵のフェーズロックループ(PLL)が高速のシリアル低電圧差動信号(LVDS)クロックを生成します。

MAX1438Bはデータ、クロックおよびフレーム整列信号に対して自己整列シリアルLVDS出力を提供します。出力データは2の補数形式で表されます。

MAX1438Bの最高サンプル速度は64MSPSです。このデバイスは10mm x 10mm x 0.8mmと小型で、エクスポーズパッド付きの68ピンのTQFNパッケージで提供され、工業用拡張温度範囲(-40°C ~ +85°C)での動作が保証されています。

アプリケーション

- 超音波および医療用画像処理
- 計測器
- マルチチャンネル通信

特長

- ◆ 優れたダイナミック性能
 - SNR : 69.9dB (5.3MHzにおいて)
 - SFDR : 94dBc (5.3MHzにおいて)
- ◆ 超低電力
 - チャンネル当り114mW (通常動作)
- ◆ シリアルLVDS出力
- ◆ 端子選択が可能なLVDS/SLVS (スケーラブル低電圧信号)モード
- ◆ LVDS出力は最長30インチのFR4バックプレーン接続をサポート
- ◆ デジタル信号の完全性のためのテストモード
- ◆ 完全差動アナログ入力
- ◆ 広い差動入力電圧範囲 : 1.4V_{p-p}
- ◆ 1.24Vの高精度バンドギャップリファレンスを内蔵
- ◆ クロックデューティサイクルイコライザ
- ◆ エクスポーズパッド付きの小型、68ピンのTQFNパッケージ
- ◆ 評価キットを提供(MAX1437BEVKITを注文してください)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1438BETK+	-40°C to +85°C	68 Thin QFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズパッド

ピン配置はデータシートの最後に記載されています。

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Msps、1.8V ADC

MAX1438B

ABSOLUTE MAXIMUM RATINGS

AVDD to GND	-0.3V to +2.0V
CVDD to GND	-0.3V to +3.6V
OVDD to GND	-0.3V to +2.0V
IN_P, IN_N to GND	-0.3V to (VAVDD + 0.3V)
CLK to GND	-0.3V to (VCVDD + 0.3V)
OUT_P, OUT_N, FRAME_, CLKOUT_ to GND	-0.3V to (VOVDD + 0.3V)
DT, SLVS/LVDS, LVDSTEST, PLL_, STBY REFIO, REFADJ, CMOUT to GND	-0.3V to (VAVDD + 0.3V)

Continuous Power Dissipation (TA = +70°C) 68-Pin Thin QFN, 10mm x 10mm x 0.8mm (derate 70mW/°C above +70°C)	4000mW
Operating Temperature Range	-40°C to +85°C
Maximum Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(VAVDD = 1.8V, VOVDD = 1.8V, VCVDD = 1.8V, VGND = 0V, external VREFIO = 1.24V, CREFFIO to GND = 0.1μF || 1.0μF, CREFFP to GND = 10μF, CREFFN to GND = 10μF, fCLK = 64MHz (50% duty cycle), DT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 2)						
Resolution	N		12			Bits
Integral Nonlinearity	INL			±0.4	±2.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature		±0.25	±1	LSB
Offset Error					±0.5	%FS
Gain Error			-3	±0.5	+2	%FS
ANALOG INPUTS (IN_P, IN_N)						
Input Differential Range	VID	Differential input		1.4		VP-P
Common-Mode Voltage Range	VCMO			0.76		V
Common-Mode Voltage Range Tolerance		(Note 3)		±50		mV
Differential Input Impedance	RIN	Switched capacitor load		2		kΩ
Differential Input Capacitance	CIN			12.5		pF
CONVERSION RATE						
Maximum Conversion Rate	fSMAX		64			MHz
Minimum Conversion Rate	fSMIN			4.0		MHz
Data Latency				6.5		Cycles
DYNAMIC CHARACTERISTICS (Differential Inputs, 4096-Point FFT) (Note 2)						
Signal-to-Noise Ratio	SNR	fIN = 5.3MHz at -0.5dBFS		69.9		dB
		fIN = 20MHz at -0.5dBFS	67	69.6		
Signal-to-Noise and Distortion	SINAD	fIN = 5.3MHz at -0.5dBFS		69.8		dB
		fIN = 20MHz at -0.5dBFS	67	69.6		
Effective Number of Bits	ENOB	fIN = 5.3MHz at -0.5dBFS		11.4		Bits
		fIN = 20MHz at -0.5dBFS	10.8	11.4		
Spurious-Free Dynamic Range	SFDR	fIN = 5.3MHz at -0.5dBFS		94		dBc
		fIN = 20MHz at -0.5dBFS	79	93		

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mps、1.8V ADC

MAX1438B

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, external $V_{REFIO} = 1.24V$, C_{REFIO} to GND = $0.1\mu F$ || $1.0\mu F$, C_{REFP} to GND = $10\mu F$, C_{REFN} to GND = $10\mu F$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Total Harmonic Distortion	THD	$f_{IN} = 5.3MHz$ at $-0.5dBFS$		-95		dBc
		$f_{IN} = 20MHz$ at $-0.5dBFS$		-92	-79	
Intermodulation Distortion	IMD	$f_1 = 5.3MHz$ at $-6.5dBFS$ $f_2 = 6.3MHz$ at $-6.5dBFS$		89.3		dBc
Third-Order Intermodulation	IM3	$f_1 = 5.3MHz$ at $-6.5dBFS$ $f_2 = 6.3MHz$ at $-6.5dBFS$		97.5		dBc
Aperture Jitter	t_{AJ}	Figure 10		< 0.4		psRMS
Aperture Delay	t_{AD}	Figure 10		1		ns
Small-Signal Bandwidth	SSBW	Input at $-20dBFS$		100		MHz
Full-Power Bandwidth	LSBW	Input at $-0.5dBFS$		100		MHz
Output Noise		$IN_P = IN_N$		0.44		LSBRMS
Overrange Recovery Time	t_{OR}	$R_S = 25\Omega$, $C_S = 50pF$		1		Clock cycle
INTERNAL REFERENCE						
REFADJ Internal Reference-Mode Enable Voltage		(Note 4)			0.1	V
REFADJ Low-Leakage Current				1.5		mA
REFIO Output Voltage	V_{REFIO}		1.18	1.24	1.30	V
Reference Temperature Coefficient	TC_{REFIO}			120		ppm/ $^\circ C$
EXTERNAL REFERENCE						
REFADJ External Reference-Mode Enable Voltage		(Note 4)		$V_{AVDD} - 0.1V$		V
REFADJ High-Leakage Current				200		μA
REFIO Input Voltage				1.24		V
REFIO Input Voltage Tolerance				± 5		%
REFIO Input Current	I_{REFIO}			< 1		μA
COMMON-MODE OUTPUT (CMOUT)						
CMOUT Output Voltage	V_{CMOUT}			0.76		V
CLOCK INPUT (CLK)						
Input High Voltage	V_{CLKH}			$0.8 \times V_{AVDD}$		V
Input Low Voltage	V_{CLKL}				$0.2 \times V_{AVDD}$	V
Clock Duty Cycle				50		%
Clock Duty-Cycle Tolerance				± 30		%
Input Leakage	DI_{IN}	Input at GND		5		μA
		Input at V_{AVDD}		80		
Input Capacitance	DC_{IN}			5		pF

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

MAX1438B

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, external $V_{REFIO} = 1.24V$, C_{REFIO} to GND = $0.1\mu F \parallel 1.0\mu F$, C_{REFP} to GND = $10\mu F$, C_{REFN} to GND = $10\mu F$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS (PLL_, LVDSTEST, DT, SLVS, STBY)						
Input High Threshold	V_{IH}		0.8 x V_{AVDD}			V
Input Low Threshold	V_{IL}			0.2 x V_{AVDD}		V
Input Leakage	D_{IIN}	Input at GND		5		μA
		Input at V_{AVDD}		80		
Input Capacitance	DC_{IN}		5			pF
LVDS OUTPUTS (OUT_P, OUT_N), SLVS/LVDS = 0						
Differential Output Voltage	VO_{HDIFF}	$R_{TERM} = 100\Omega$	250		450	mV
Output Common-Mode Voltage	VO_{CM}	$R_{TERM} = 100\Omega$	1.125		1.375	V
Rise Time (20% to 80%)	t_{RL}	$R_{TERM} = 100\Omega$, $C_{LOAD} = 5pF$		350		ps
Fall Time (80% to 20%)	t_{FL}	$R_{TERM} = 100\Omega$, $C_{LOAD} = 5pF$		350		ps
SLVS OUTPUTS (OUT_P, OUT_N, CLKOUTP, CLKOUTN, FRAMEP, FRAMEN), SLVS/LVDS = 1, DT = 1						
Differential Output Voltage	VO_{HDIFF}	$R_{TERM} = 100\Omega$		205		mV
Output Common-Mode Voltage	VO_{CM}	$R_{TERM} = 100\Omega$		220		mV
Rise Time (20% to 80%)	t_{RS}	$R_{TERM} = 100\Omega$, $C_{LOAD} = 5pF$		320		ps
Fall Time (80% to 20%)	t_{FS}	$R_{TERM} = 100\Omega$, $C_{LOAD} = 5pF$		320		ps
STANDBY MODE (STBY)						
STBY Fall to Output Enable	t_{ENABLE}			200		μs
STBY Rise to Output Disable	$t_{DISABLE}$			60		ns
POWER REQUIREMENTS						
AVDD Supply Voltage Range	V_{AVDD}		1.7	1.8	1.9	V
OVDD Supply Voltage Range	V_{OVDD}		1.7	1.8	1.9	V
CVDD Supply Voltage Range	V_{CVDD}		1.7	1.8	3.5	V
AVDD Supply Current	I_{AVDD}	$f_{IN} = 20MHz$ at -0.5dBFS	STBY = 0, DT = 0	422 465		mA
			STBY = 0, DT = 1	422		
			STBY = 1, no clock input	37		
OVDD Supply Current	I_{OVDD}	$f_{IN} = 20MHz$ at -0.5dBFS	STBY = 0	85 110		mA
			STBY = 0, DT = 1	85		
			STBY = 1, no clock input	16		μA
CVDD Supply Current	I_{CVDD}	CVDD is used only to bias ESD-protection diodes on CLK input, Figure 2	0			mA
Power Dissipation	P_{DISS}	$f_{IN} = 20MHz$ at -0.5dBFS		913	1035	mW

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mps、1.8V ADC

MAX1438B

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, external $V_{REFIO} = 1.24V$, C_{REFIO} to GND = $0.1\mu F$ || $1.0\mu F$, C_{REFP} to GND = $10\mu F$, C_{REFN} to GND = $10\mu F$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Note 5)						
Data Valid to CLKOUT Rise/Fall	t_{OD}	Figure 5 (Note 6)	$(t_{SAMPLE}/24) - 0.15$	$(t_{SAMPLE}/24) + 0.15$		ns
CLKOUT Output-Width High	t_{CH}	Figure 5		$t_{SAMPLE}/12$		ns
CLKOUT Output-Width Low	t_{CL}	Figure 5		$t_{SAMPLE}/12$		ns
FRAME Rise to CLKOUT Rise	t_{CF}	Figure 4 (Note 6)	$(t_{SAMPLE}/24) - 0.15$	$(t_{SAMPLE}/24) + 0.15$		ns
Sample CLK Rise to FRAME Rise	t_{SF}	Figure 4 (Note 6)	$(t_{SAMPLE}/2) + 1.1$	$(t_{SAMPLE}/2) + 2.6$		ns
Crosstalk		(Note 2)		-73		dB
Gain Matching	CGM	$f_{IN} = 5.3MHz$ (Note 2)		± 0.1		dB
Phase Matching	CPM	$f_{IN} = 5.3MHz$ (Note 2)		± 0.25		Degrees

Note 1: Specifications at $T_A \geq +25^\circ C$ are guaranteed by production testing. Specifications at $T_A < +25^\circ C$ are guaranteed by design and characterization and not subject to production testing.

Note 2: See definition in the *Parameter Definitions* section at the end of this data sheet.

Note 3: See the *Common-Mode Output (CMOUT)* section.

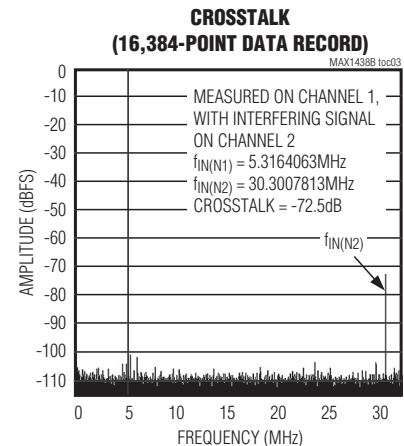
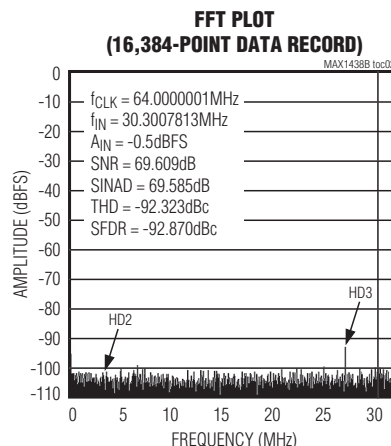
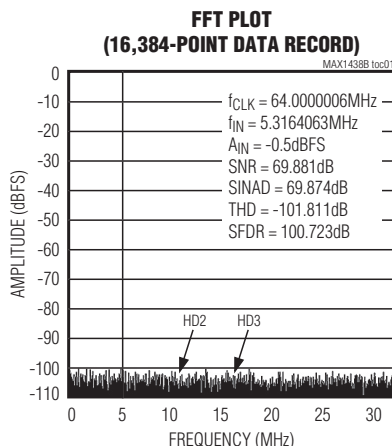
Note 4: Connect REFADJ to GND directly to enable internal reference mode. Connect REFADJ to AVDD directly to disable the internal bandgap reference and enable external reference mode.

Note 5: Data valid to CLKOUT rise/fall timing is measured from 50% of data output level to 50% of clock output level.

Note 6: Guaranteed by design and characterization. Not subject to production testing.

標準動作特性

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

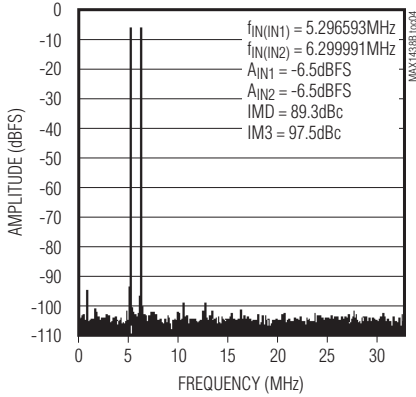


シリアルLVDS出力、オクタル(8回路)、 12ビット、64MSPS、1.8V ADC

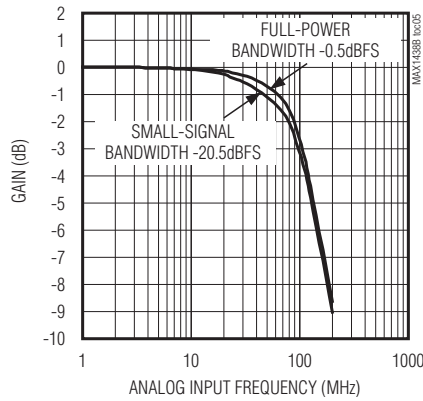
標準動作特性(続き)

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

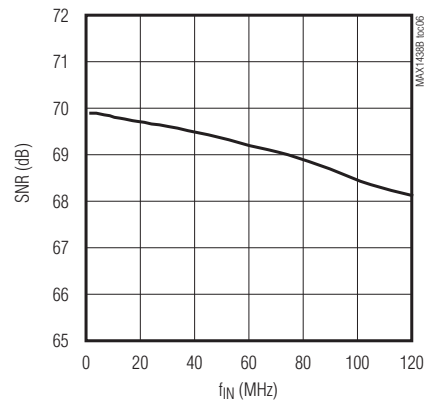
**TWO-TONE INTERMODULATION DISTORTION
(16,384-POINT DATA RECORD)**



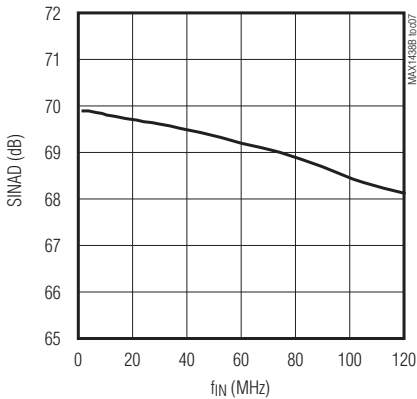
**BANDWIDTH
vs. ANALOG INPUT FREQUENCY**



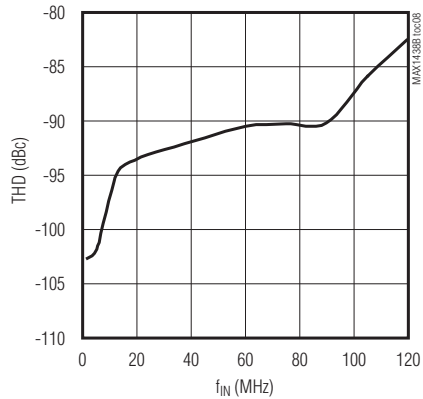
**SIGNAL-TO-NOISE RATIO
vs. ANALOG INPUT FREQUENCY**



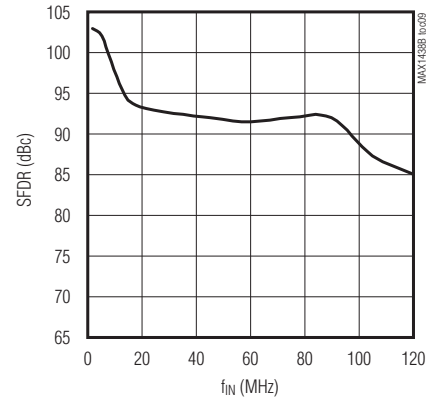
**SIGNAL-TO-NOISE PLUS DISTORTION
vs. ANALOG INPUT FREQUENCY**



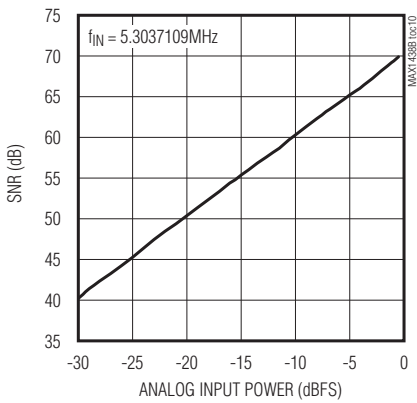
**TOTAL HARMONIC DISTORTION
vs. ANALOG INPUT FREQUENCY**



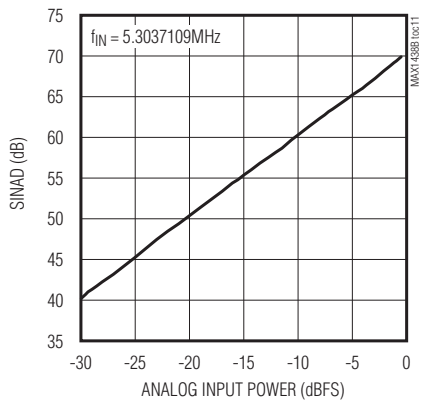
**SPURIOUS-FREE DYNAMIC RANGE
vs. ANALOG INPUT FREQUENCY**



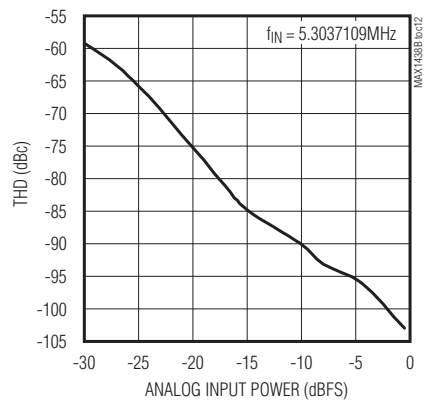
**SIGNAL-TO-NOISE RATIO
vs. ANALOG INPUT POWER**



**SIGNAL-TO-NOISE PLUS DISTORTION
vs. ANALOG INPUT POWER**



**TOTAL HARMONIC DISTORTION
vs. ANALOG INPUT POWER**



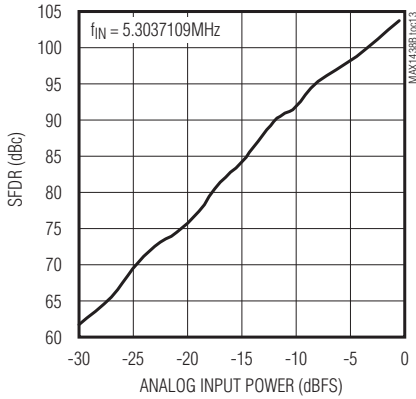
シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mps、1.8V ADC

MAX1438B

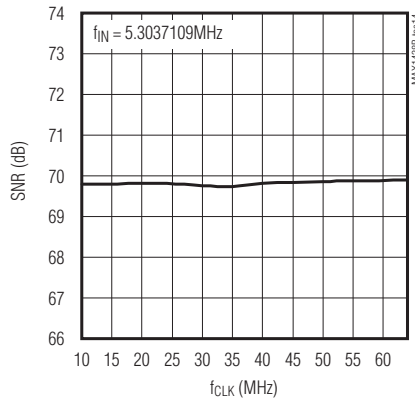
標準動作特性(続き)

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

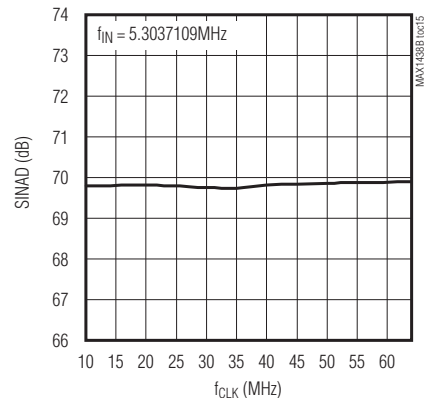
SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT POWER



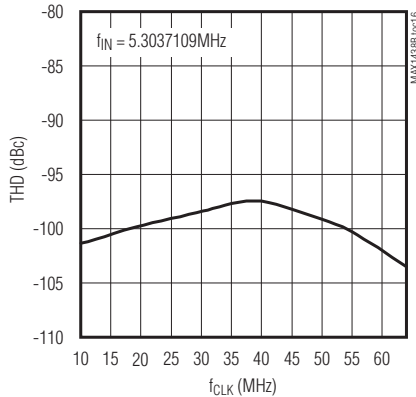
SIGNAL-TO-NOISE RATIO vs. SAMPLING RATE



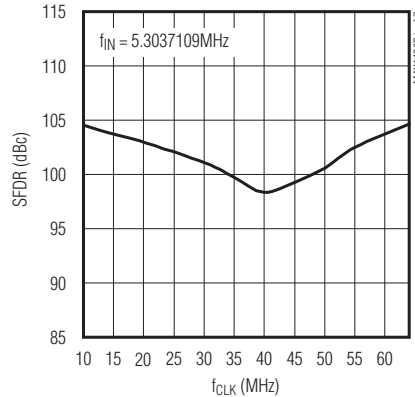
SIGNAL-TO-NOISE PLUS DISTORTION vs. SAMPLING RATE



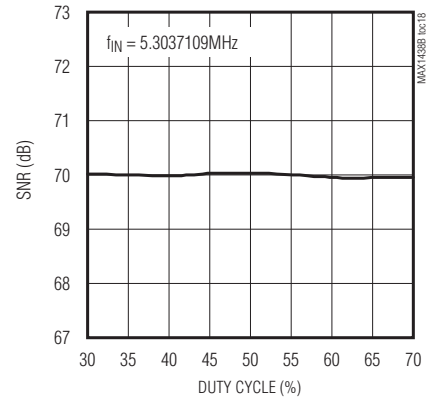
TOTAL HARMONIC DISTORTION vs. SAMPLING RATE



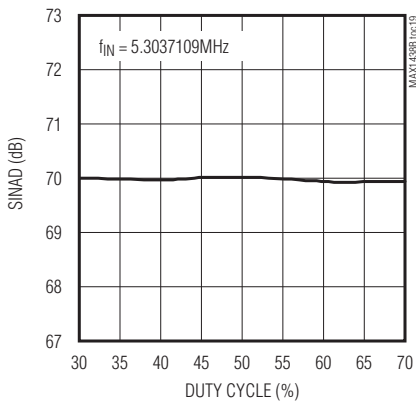
SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



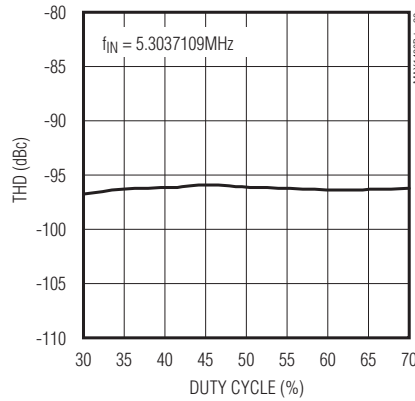
SIGNAL-TO-NOISE RATIO vs. DUTY CYCLE



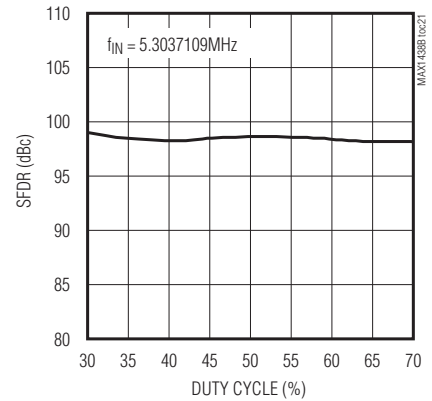
SIGNAL-TO-NOISE PLUS DISTORTION vs. DUTY CYCLE



TOTAL HARMONIC DISTORTION vs. DUTY CYCLE



SPURIOUS-FREE DYNAMIC RANGE vs. DUTY CYCLE

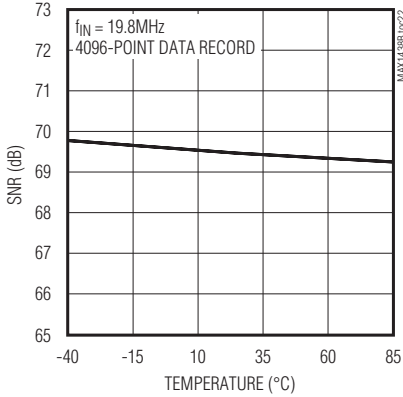


シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

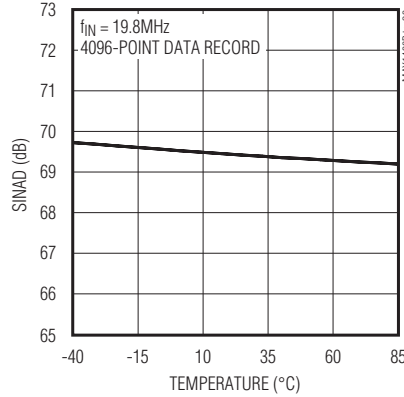
標準動作特性(続き)

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

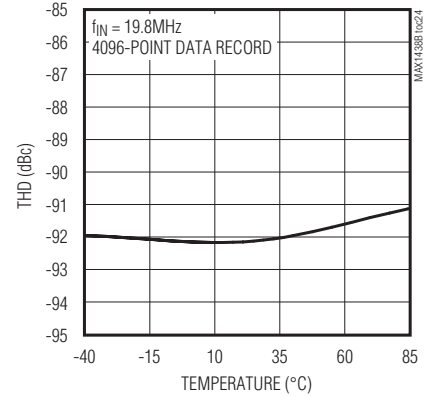
**SIGNAL-TO-NOISE RATIO
vs. TEMPERATURE**



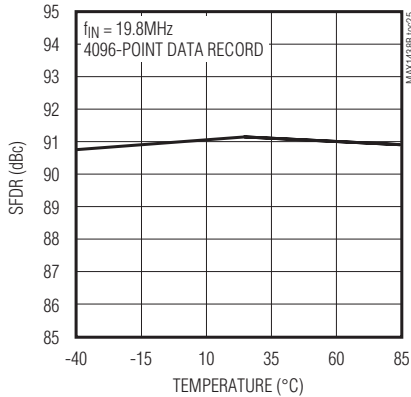
**SIGNAL-TO-NOISE PLUS DISTORTION
vs. TEMPERATURE**



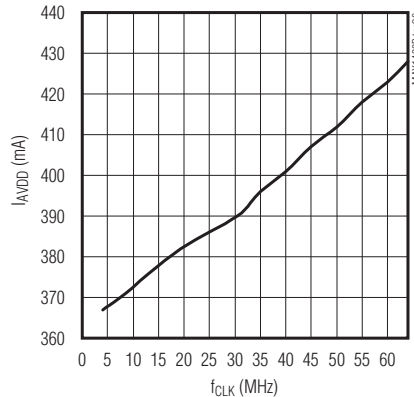
**TOTAL HARMONIC DISTORTION
vs. TEMPERATURE**



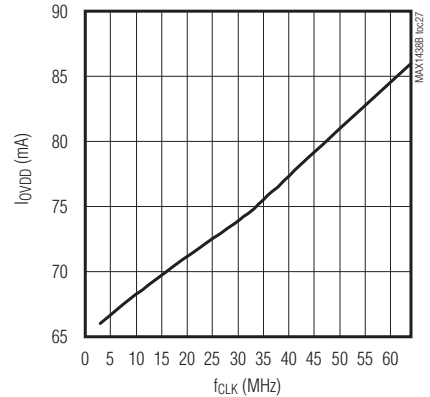
**SPURIOUS-FREE DYNAMIC RANGE
vs. TEMPERATURE**



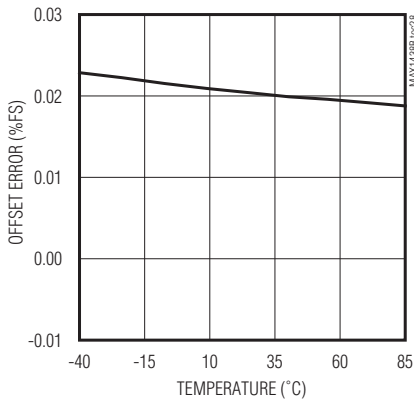
**SUPPLY CURRENT
vs. SAMPLING RATE (AVDD)**



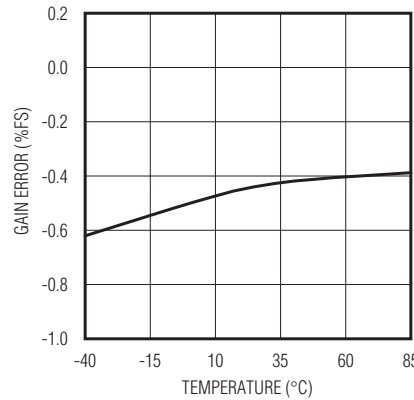
**SUPPLY CURRENT
vs. SAMPLING RATE (OVDD)**



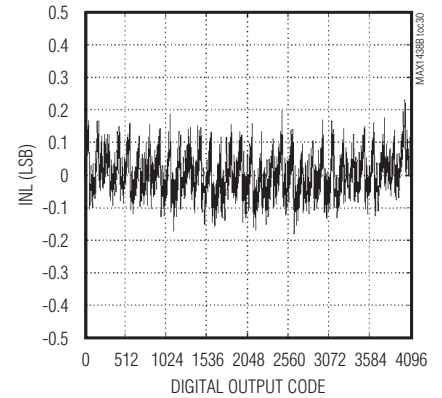
**OFFSET ERROR
vs. TEMPERATURE**



**GAIN ERROR
vs. TEMPERATURE**



**INTEGRAL NONLINEARITY
vs. DIGITAL OUTPUT CODE**

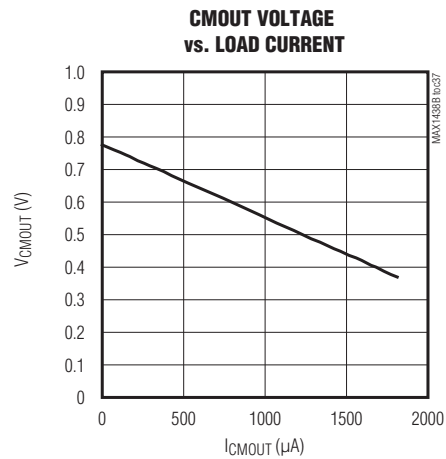
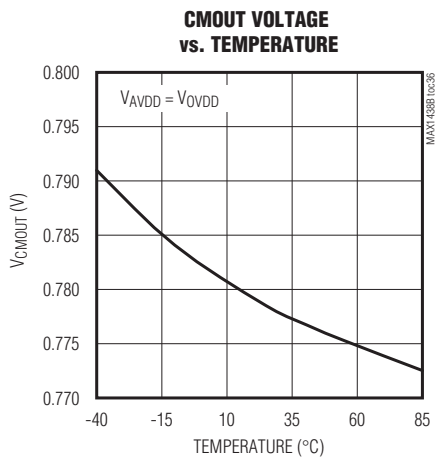
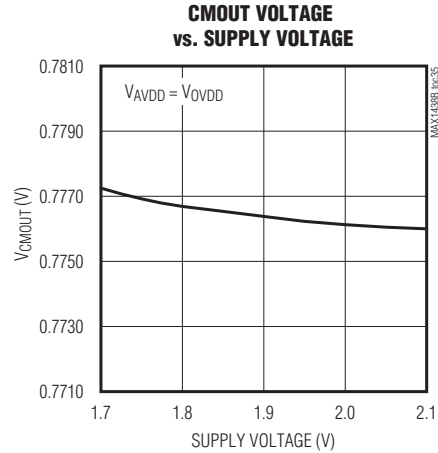
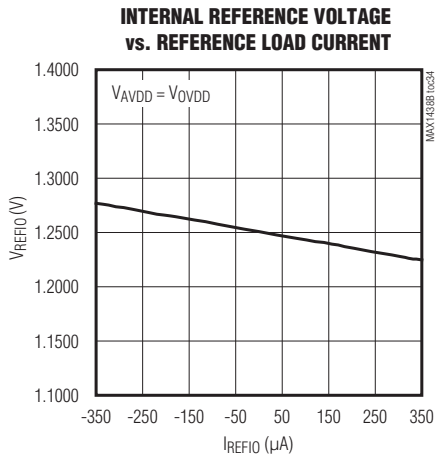
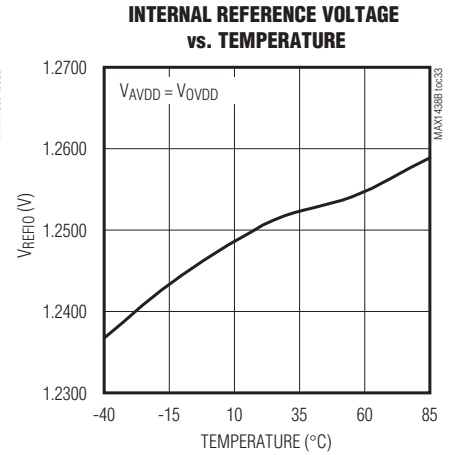
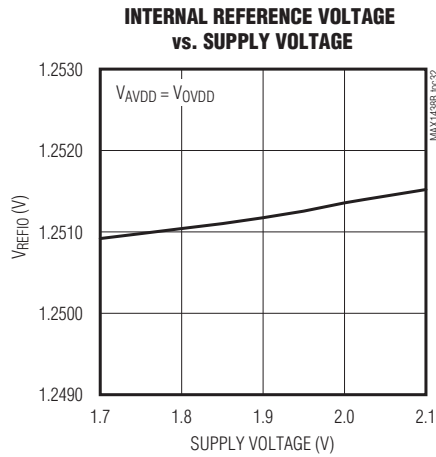
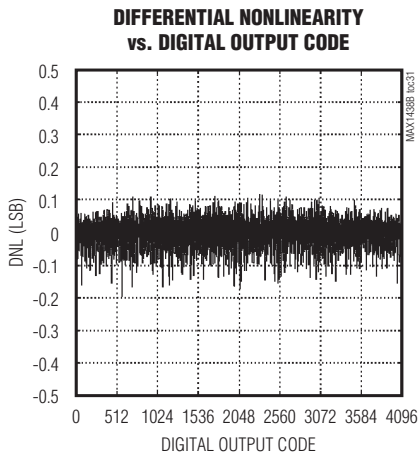


シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mps、1.8V ADC

MAX1438B

標準動作特性(続き)

($V_{AVDD} = 1.8V$, $V_{OVDD} = 1.8V$, $V_{CVDD} = 1.8V$, $V_{GND} = 0V$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 64MHz$ (50% duty cycle), $DT = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)



シリアルLVDS出力、オクタル(8回路)、 12ビット、64MSPS、1.8V ADC

MAX1438B

端子説明

端子	名称	機能
1	IN1P	チャンネル1の正入力
2	IN1N	チャンネル1の負入力
3	IN2P	チャンネル2の正入力
4	IN2N	チャンネル2の負入力
5	IN3P	チャンネル3の正入力
6	IN3N	チャンネル3の負入力
7, 8, 10, 11, 25, 26, 27, 60	AVDD	アナログ電源入力。AVDDを1.7V~1.9Vの電源に接続します。デバイスに可能な限り近接して0.1μFのコンデンサでAVDDをGNDにバイパスしてください。最低2.2μFの大型コンデンサでAVDDの電源平面をGND平面にバイパスしてください。すべてのAVDD端子を同じ電位に接続してください。
9, 18, 68	GND	グラウンド。すべてのGND端子を同じ電位に接続してください。
12	IN4P	チャンネル4の正入力
13	IN4N	チャンネル4の負入力
14	IN5P	チャンネル5の正入力
15	IN5N	チャンネル5の負入力
16	IN6P	チャンネル6の正入力
17	IN6N	チャンネル6の負入力
19	IN7P	チャンネル7の正入力
20	IN7N	チャンネル7の負入力
21	DT	2重終端選択。DTをハイに強制すると、各差動出力ペア間の内部の100Ω終端が選択されます。DTをローに強制すると内部の出力終端は選択されません。
22	SLVS/LVDS	差動出力信号のフォーマット選択入力。SLVS/LVDSをハイに強制すると、SLVS出力が選択されます。SLVS/LVDSをローに強制すると、LVDS出力が選択されます。
23	CVDD	クロック電源入力。CVDDを1.7V~3.5Vの電源に接続します。最低2.2μFのコンデンサと並列に0.1μFのコンデンサでCVDDをGNDにバイパスします。バイパスコンデンサは、可能な限りデバイスの近くに取り付けてください。CVDDは、CLKのESD保護ダイオードをバイアスするために使用されます(図2を参照)。
24	CLK	シングルエンドのCMOSクロック入力
28, 31, 34, 39, 44, 49, 52	OVDD	出力ドライバ用電源入力。OVDDを1.7V~1.9Vの電源に接続します。デバイスに可能な限り近接して0.1μFのコンデンサでOVDDをGNDにバイパスしてください。最低2.2μFの大型コンデンサでOVDDのパワープレーンをGNDプレーンにバイパスしてください。すべてのOVDD端子を同じ電位に接続してください。
29	OUT7N	チャンネル7の負LVDS/SLVS出力
30	OUT7P	チャンネル7の正LVDS/SLVS出力
32	OUT6N	チャンネル6の負LVDS/SLVS出力
33	OUT6P	チャンネル6の正LVDS/SLVS出力
35	OUT5N	チャンネル5の負LVDS/SLVS出力
36	OUT5P	チャンネル5の正LVDS/SLVS出力
37	OUT4N	チャンネル4の負LVDS/SLVS出力
38	OUT4P	チャンネル4の正LVDS/SLVS出力
40	FRAMEN	負のフレーム整列LVDS/SLVS出力。差動FRAME出力の立上りエッジは出力データストリームの有効なD0に整列します。
41	FRAMEP	正のフレーム整列LVDS/SLVS出力。差動FRAME出力の立上りエッジは出力データストリームの有効なD0に整列します。
42	CLKOUTN	負のLVDS/SLVSシリアルクロック出力

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mps、1.8V ADC

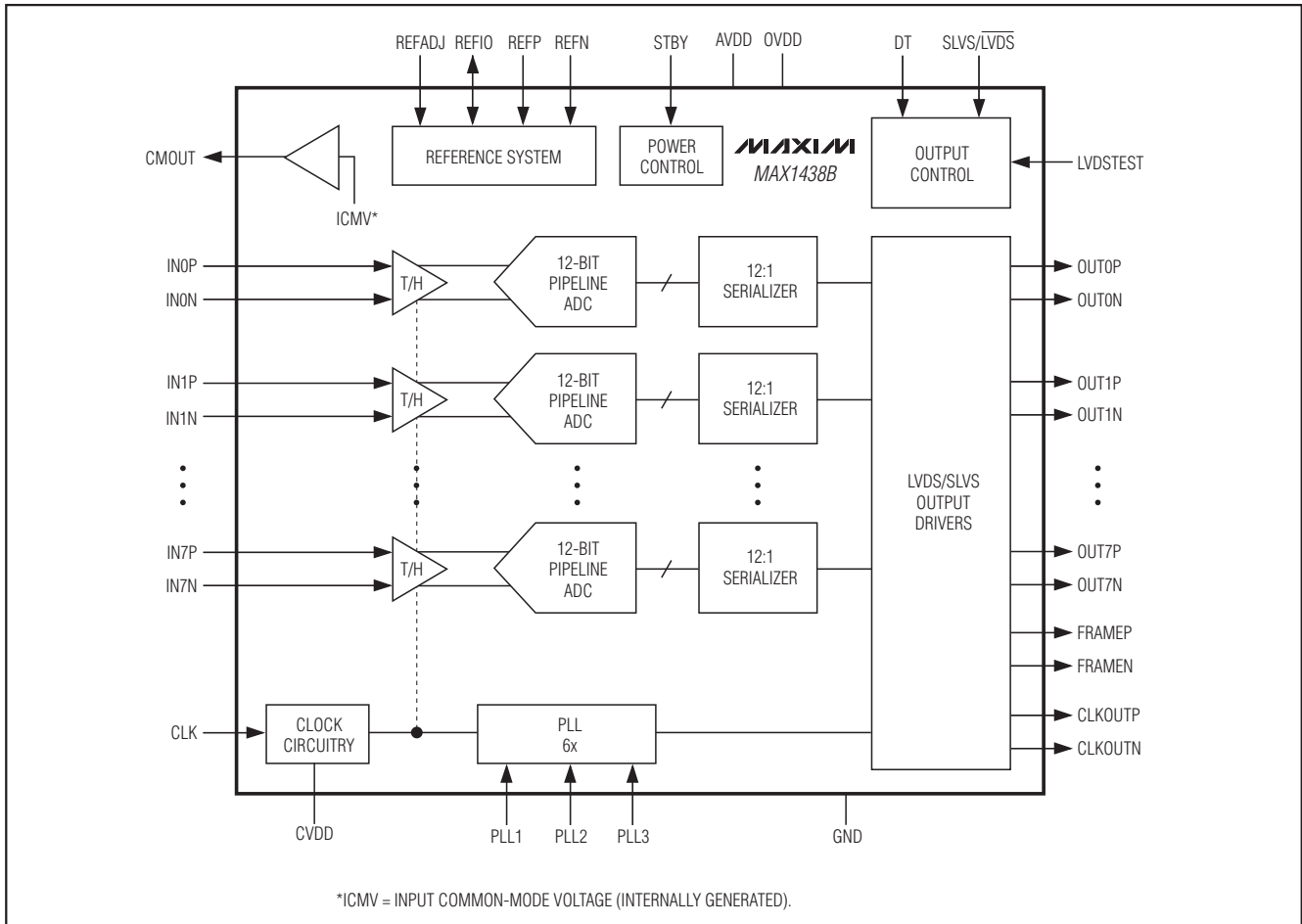
MAX1438B

端子説明(続き)

端子	名称	機能
43	CLKOUTP	正のLVDS/SLVSシリアルクロック出力
45	OUT3N	チャンネル3の負LVDS/SLVS出力
46	OUT3P	チャンネル3の正LVDS/SLVS出力
47	OUT2N	チャンネル2の負LVDS/SLVS出力
48	OUT2P	チャンネル2の正LVDS/SLVS出力
50	OUT1N	チャンネル1の負LVDS/SLVS出力
51	OUT1P	チャンネル1の正LVDS/SLVS出力
53	OUT0N	チャンネル0の負LVDS/SLVS出力
54	OUT0P	チャンネル0の正LVDS/SLVS出力
55	LVDSTEST	LVDSテストパターンイネーブル。LVDSTESTをハイに強制すると、出力パターン0000 1011 1101がイネーブルになります。アナログ変換結果と同じように、テストパターンデータはLSBを先頭に出力されます。LVDSTESTをローに強制すると通常動作になります。
56	STBY	スタンバイ入力。STBYをハイに強制するとMAX1438Bはスタンバイモードに入ります。スタンバイではリファレンス回路はアクティブのままです。STBYをローに強制すると通常動作になります。
57	PLL3	PLL制御入力3。詳細は表1を参照してください。
58	PLL2	PLL制御入力2。詳細は表1を参照してください。
59	PLL1	PLL制御入力1。詳細は表1を参照してください。
61	REFN	負のリファレンスバイパス出力。REFPとREFNの間に最低1 μ F (10 μ F, typ)のコンデンサを接続し、REFNとGND間に最低1 μ F (10 μ F, typ)を接続してください。各コンデンサはMAX1438Bと同じPCB面でデバイスに可能な限り近くに配置してください。
62	REFP	正のリファレンスバイパス出力。REFPとREFNの間に最低1 μ F (10 μ F, typ)のコンデンサを接続し、REFNとGND間に最低1 μ F (10 μ F, typ)を接続してください。各コンデンサはMAX1438Bと同じPCB面でデバイスに可能な限り近くに配置してください。
63	REFIO	リファレンス入力/出力。内部のリファレンス動作(REFADJ = GND)の場合、リファレンス出力電圧は1.24Vです。外部のリファレンス動作(REFADJ = AVDD)の場合は、REFIOに安定なリファレンス電圧を印加してください。最低0.1 μ FのコンデンサでGNDにバイパスしてください。
64	REFADJ	内部/外部リファレンスモード選択およびリファレンス調整入力。内部リファレンスの場合は、REFADJをGNDに接続してください。外部リファレンスの場合は、REFADJをAVDDに接続してください。リファレンスの調整は、「内部リファレンスを使用するフルスケール範囲の調整」の項を参照してください。
65	CMOUT	コモンモードのリファレンス電圧出力。CMOUTはDC結合アプリケーション用に入力コモンモード電圧を出力します。CMOUTは最低0.1 μ FのコンデンサでGNDにバイパスしてください。
66	IN0P	チャンネル0の正入力
67	IN0N	チャンネル0の負入力
—	EP	エクスポーズパッド。内部でGNDに接続されています。最高の熱性能を得るためにはEPを大きいグラウンド平面に接続してください。GNDに接続する必要があります。

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

ファンクションダイアグラム



詳細

MAX1438BのADCは、完全な差動入力、パイプライン構造および高速信号変換用のデジタル誤差補正を備えています。ADCのパイプライン構造は、入力で捕捉したサンプルをクロックの半サイクルごとに各パイプライン段を通じて移動させます。変換されたデジタル結果はシリアル化されて、LVDS/SLVS出力ドライバを通じて送出されます。入力から出力までの総クロックサイクルの待ち時間は6.5クロックサイクルです。

MAX1438Bは、入力と出力が同期した8個の独立した完全差動チャネルを提供します。全体のスタンバイによって電力消費が最小になります。

入力回路

図1は入力T/H回路の簡略図を示しています。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5aおよびS5bは閉じられています。完全差動回路は、入力信号をスイッチS4aとS4bを通じて2つのコンデンサ(C2aとC2b)にサンプリングします。S2aとS2bは、トランスコンダクタンスオペアンプ(OTA)のコモンモードを設定し、S1と同時に開かれて入力波形をサンプリングします。つぎに、スイッチS3aとS3bがコンデンサC1aとC1bをアンプの出力に接続してスイッチS4cが閉じられる前に、スイッチS4a、S4b、S5aおよびS5bが開かれます。生じた差動電圧はコンデンサC2aとC2bに保持されます。アンプは、コンデンサC1aとC1bを

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

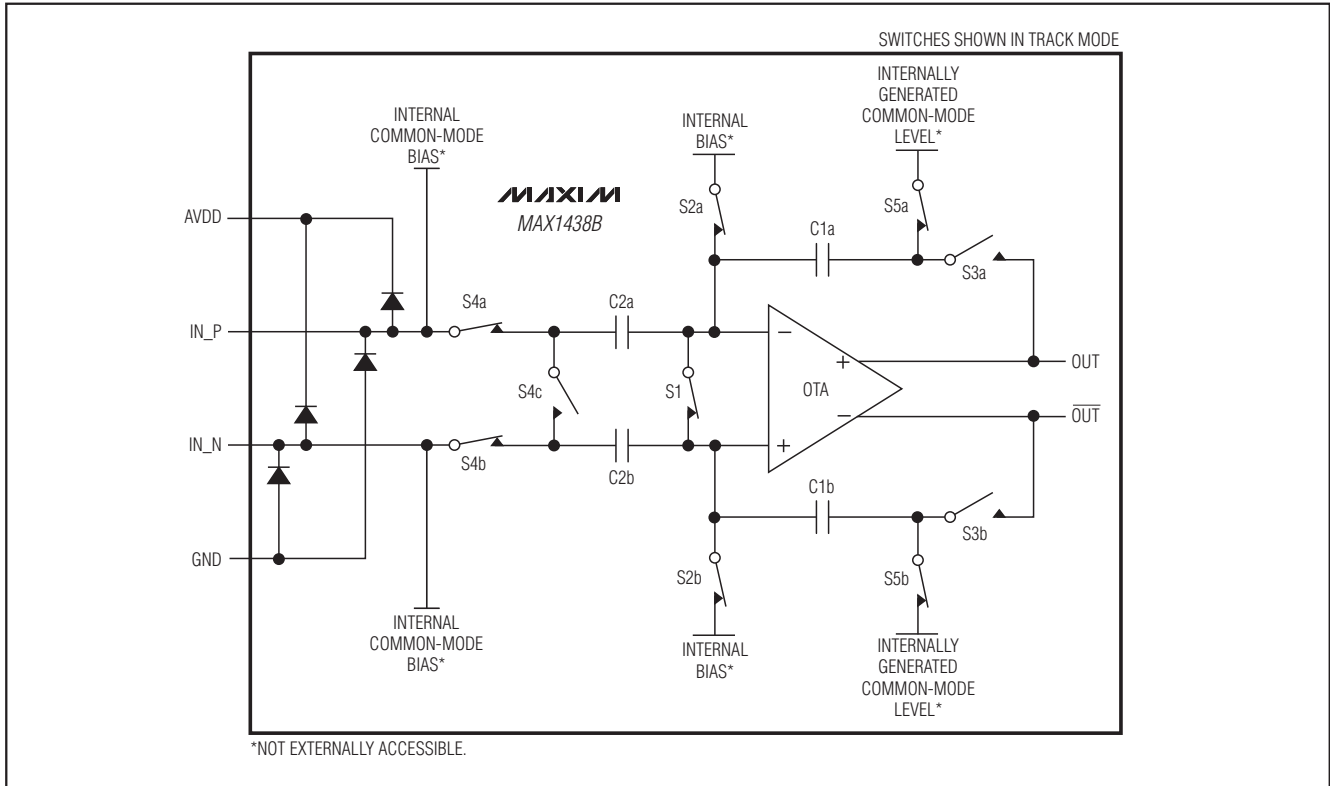


図1. 内部入力回路

最初にC2aとC2bに保持されていた同じ電圧に充電します。その後、これらの値は最初の量子化器に入力され、高速変化している入力からパイプラインを切り離します。アナログ入力のIN_P~IN_Nは差動駆動されます。差動入力に対してIN_PとIN_Nの入カインピーダンスを最適性能になるように整合させてください。

リファレンス構成(REFIO、REFADJ、REFPおよびREFN)

MAX1438Bは、内部の1.24Vのバンドギャップリファレンスを提供するか、または外部のリファレンス電圧で駆動することができます。フルスケールのアナログ差動入力範囲は±FSRです。FSR (フルスケール範囲)は次の式によって与えられます。

$$FSR = \frac{(0.700 \times V_{REFIO})}{1.24V}$$

ここで、 V_{REFIO} はREFIOにおける電圧で、内部または外部で生成されます。 $V_{REFIO} = 1.24V$ に対して、フルスケール入力範囲は±700mV (1.4V_{p-p})です。

内部リファレンスモード

内部のバンドギャップリファレンスを直接使用するには、REFADJをGNDに接続します。内部リファレンスモードでは、内部のバンドギャップリファレンスは、120ppm/°Cの温度係数を持った1.24Vの V_{REFIO} を生成します。安定性のためにREFIOとGND間に0.1μF以上のバイパスコンデンサを外付けしてください。REFIOは外部回路に対して最大200μAのソースとシンクを行い、REFIOは75mV/mAの負荷レギュレーションを備えています。MAX1438Bをスタンバイモードにすると、リファレンス回路を除いてすべての回路がオフになり、STBYのハイからローへの遷移信号でADCがスタンバイから抜け出す時に、コンバータの電源を早くオンにすることができます。MAX1438Bの内部回路は、コンバータがスタンバイモードから抜け出す時に、電源がオンになって安定するまでに200μsを要します。

利得誤差を補償するか、ADCのFSRを縮小または拡大させるためには、REFADJとGND間またはREFADJとREFIO間に外部抵抗を追加します。これにより、MAX1438Bの内部リファレンスはその公称値の最大±5%まで調整されます。「内部リファレンスを使用するフルスケール範囲の調整」の項を参照してください。

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

1 μ F以上(10 μ F、typ)のコンデンサをREFPおよびREFNとGNDの間に、1 μ F以上(10 μ F、typ)のコンデンサをREFPとREFNの間に、デバイスと同じPCB面で可能な限りデバイスに近づけて接続してください。

外部リファレンスモード

外部リファレンスモードによってMAX1438Bのリファレンス電圧に優る制御が可能になり、複数のコンバータが共通のリファレンスを使用することができます。内部リファレンスをディセーブルするには、REFADJをAVDDに接続します。安定な1.18V~1.30Vの電源をREFIOに印加してください。REFIOをGNDに0.1 μ F以上のコンデンサでバイパスしてください。REFIOの入カインピーダンスは1M Ω 以上です。

クロック入力(CLK)

MAX1438Bは、20%~80%という広い入力クロックデューティサイクルのCMOS対応クロック信号を受け付けます。CLKは、外部のシングルエンドクロック信号で駆動してください。図2は簡略化したクロック入力図を示しています。

MAX1438Bの指定されたSNR性能を得るためには、低ジッタのクロックが必要になります。アナログ入力のサンプリングはCLKの立上りエッジで起こるため、このエッジは可能な限り低ジッタにする必要があります。次の関係式に従って、ジッタはADCの最大SNR性能を制限します。

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ここで、 f_{IN} はアナログ入力周波数を表し、 t_J はシステムの総クロックジッタです。

PLL入力(PLL1、PLL2、PLL3)

MAX1438Bは、入力クロックの6倍の周波数の出力クロック信号を生成するPLLを備えています。出力クロック信号は、MAX1438Bからデータをクロック

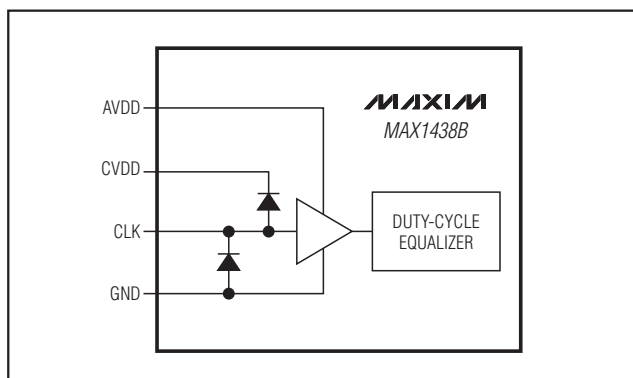


図2. クロック入力回路

表1. PLL1、PLL2、およびPLL3の設定表

PLL1	PLL2	PLL3	INPUT CLOCK RANGE (MHz)	
			MIN	MAX
0	0	0	45.0	64.0
0	0	1	32.5	45.0
0	1	0	22.5	32.5
0	1	1	16.3	22.5
1	0	0	11.3	16.3
1	0	1	8.1	11.3
1	1	0	5.6	8.1
1	1	1	4.0	5.6

同期出力するために使用されます(「システムタイミング要件」の項を参照)。PLL1、PLL2およびPLL3の各端子の設定は、表1に示されている入力クロック範囲に設定してください。

システムタイミング要件

図3は、アナログ入力、入力クロック、フレーム整列出力、シリアルクロック出力、およびシリアルデータ出力の関係を示しています。差動アナログ入力(IN_PおよびIN_N)はCLK信号の立上りエッジでサンプリングされ、その結果のデータはデジタル出力に6.5クロックサイクル後に現れます。図4は、入力と出力間の関係の詳細な2変換タイミング図を示しています。

クロック出力(CLKOUTP、CLKOUTN)

MAX1438Bは、CLKOUTPとCLKOUTNからなる差動クロック出力を提供します。図4に示すように、シリアル出力データは、クロック出力の両方のエッジでMAX1438Bからクロック同期出力されます。出力クロックの周波数はCLKの周波数の6倍です。

フレーム整列出力(FRAMEP、FRAMEN)

MAX1438Bは、FRAMEPとFRAMENからなる差動フレーム整列信号を提供します。図4に示すように、フレーム整列信号の立上りエッジは、12ビットのシリアルデータストリームの先頭ビット(D0)に対応します。フレーム整列信号の周波数は入力クロックの周波数と同じです。

シリアル出力データ(OUT_P、OUT_N)

MAX1438Bは、その変換結果をOUT_PとOUT_Nからなる個別の差動出力経路で提供します。変換結果は、サンプルが取り込まれてから6.5入力クロックサイクル後に有効です。図3に示すように、出力データは、出力クロックの両方のエッジでLSB (D0)を先頭にクロック同期出力されます。図5に詳細なシリアル出力タイミング図を示します。

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mps、1.8V ADC

MAX1438B

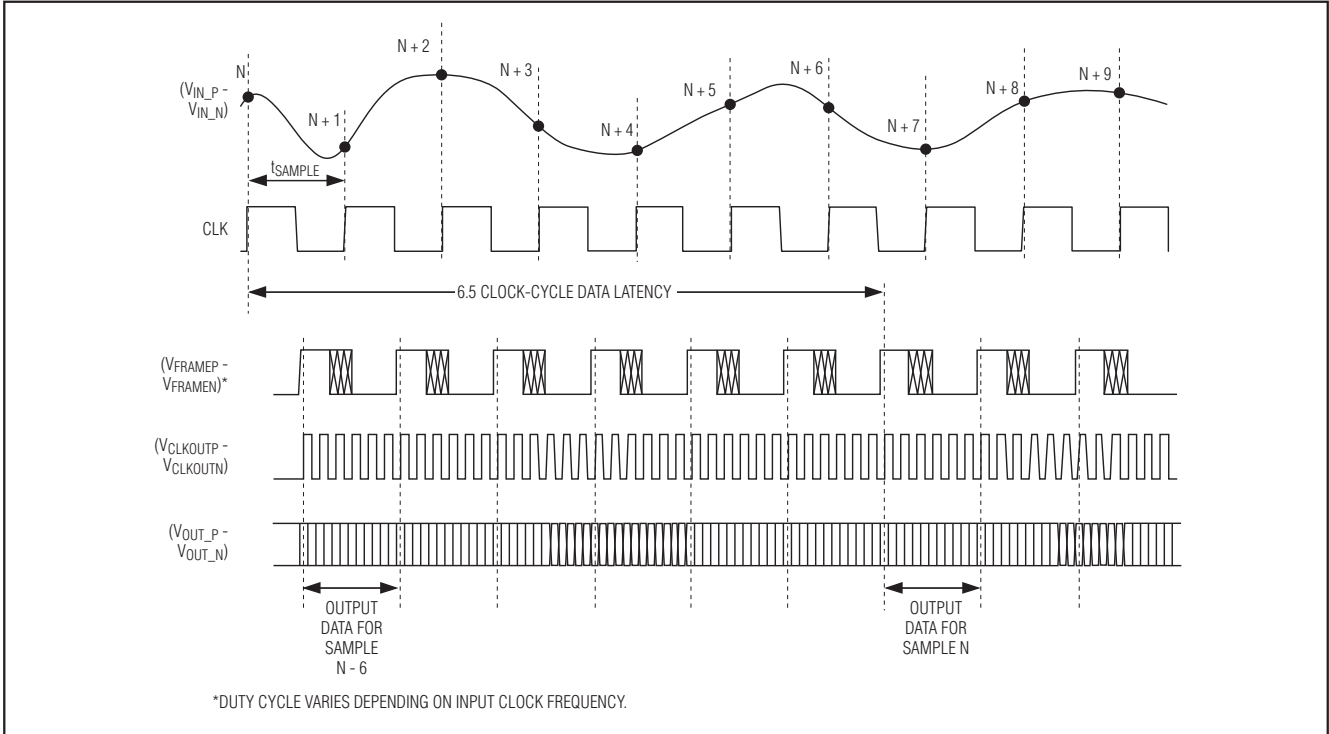


図3. 全体のタイミング図

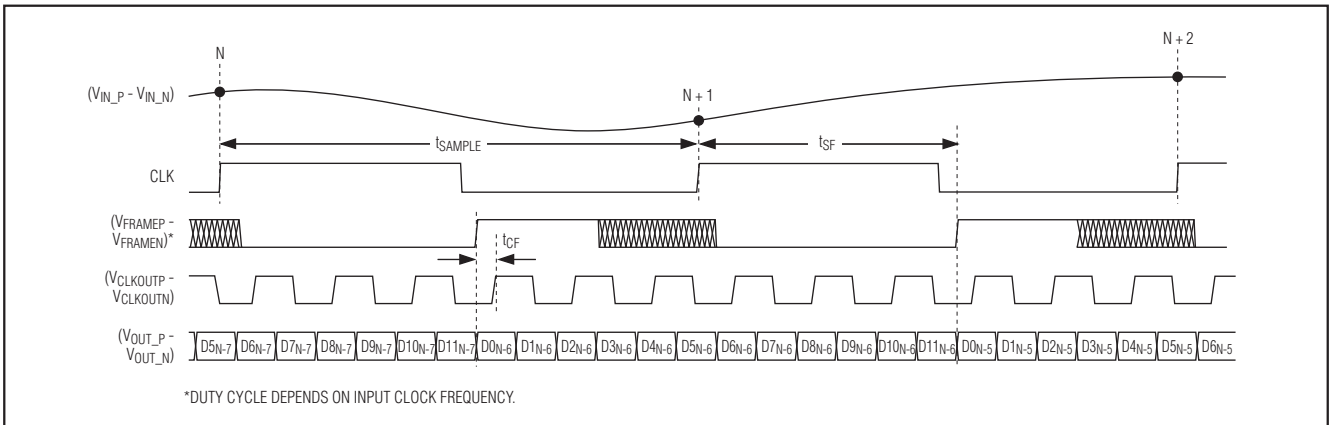


図4. 詳細な2変換タイミング図

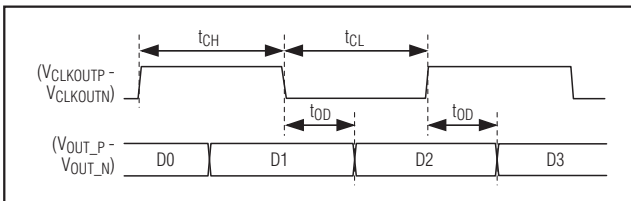


図5. シリアル化された出力の詳細タイミング図

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

表2. 出力コード表($V_{REFIO} = 1.24V$)

TWO'S-COMPLEMENT DIGITAL OUTPUT CODE			$V_{IN_P} - V_{IN_N}$ (mV) ($V_{REFIO} = 1.24V$)
BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	
0111 1111 1111	0x7FF	+2047	+699.66
0111 1111 1110	0x7FE	+2046	+699.32
0000 0000 0001	0x001	+1	+0.34
0000 0000 0000	0x000	0	0
1111 1111 1111	0xFFF	-1	-0.34
1000 0000 0001	0x801	-2047	-699.66
1000 0000 0000	0x800	-2048	-700.00

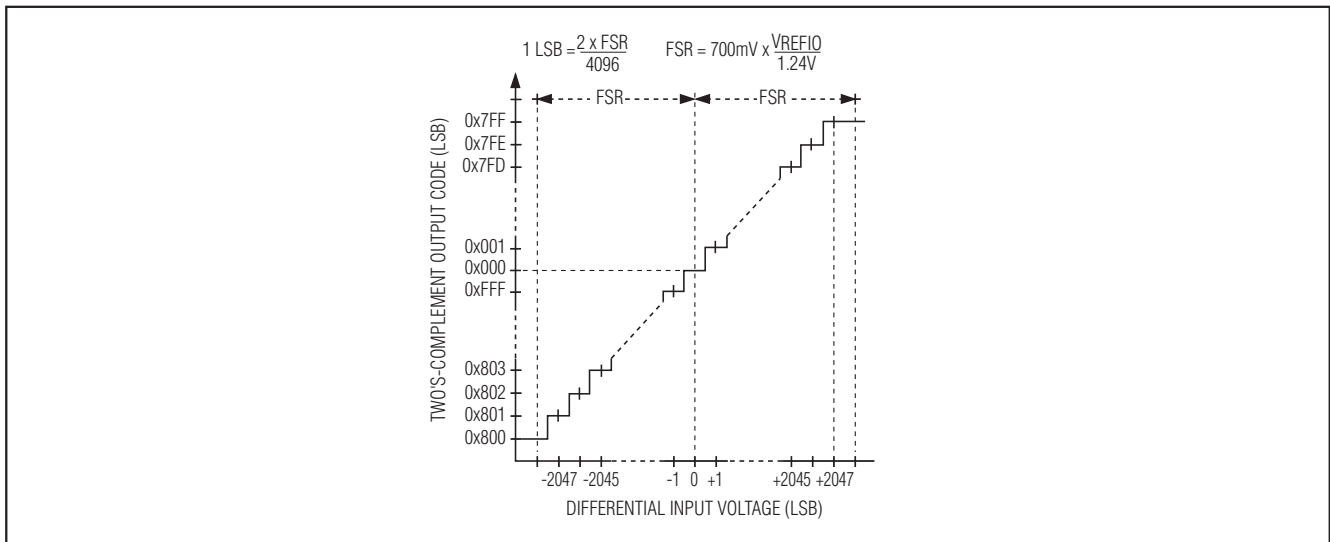


図6. 2の補数形式の伝達関数

出力データの伝達関数

MAX1438Bの出力データは2の補数形式です。次の式、表2および図6によって、デジタル出力とアナログ入力との関係が定義されます。

$$V_{IN_P} - V_{IN_N} = FSR \times 2 \times \frac{CODE_{10}}{4096}$$

ここで、 $CODE_{10}$ は、表2に示すようにデジタル出力コードと等価な10進数です。

MAX1438Bのデジタル出力の容量性負荷は、可能な限り小さくしてください。

LVDSおよびSLVSの選択(SLVS/LVDS)

MAX1438Bの出力(OUT_P 、 OUT_N 、 $CLKOUTP$ 、 $CLKOUTN$ 、 $FRAMEP$ および $FRAMEN$)をLVDSにするためにはSLVS/LVDSをローに駆動し、SLVSレベルにするためにはSLVS/LVDSをハイに駆動します。SLVSレベルにするには、DTをハイに駆動して2重終端をイネーブルします。LVDSおよびSLVSの出力電圧レベルについては「Electrical Characteristics (電気的特性)」の表を参照してください。

シリアルLVDS出力、オクタル(8回路)、12ビット、64Mps、1.8V ADC

LVDSのテストパターン(LVDSTEST)

すべてのLVDSまたはSLVSの出力チャネルのテストパターンをイネーブルにするには、LVDSTESTをハイに駆動します。出力テストパターンは0000 1011 1101です。LVDSTESTをローに駆動すると通常の動作(テストパターンがディセーブル)になります。

コモンモード出力(CMOUT)

CMOUTは、DC結合のアナログ入力用のコモンモードリファレンスを提供します。入力がDC結合される場合、MAX1438Bを駆動する回路出力のコモンモード電圧を V_{CMOUT} の出力電圧の $\pm 50\text{mV}$ 以内に合わせてください。駆動回路の出力コモンモード電圧はCMOUTから駆動することを推奨します。

2重終端(DT)

MAX1438Bは、各差動出力ペア(OUT_PとOUT_N、CLKOUTPとCLKOUTN、FRAMEPとFRAMEN)間にオプションで内蔵の 100Ω の終端を提供します。ラインの末端の終端に加えて、出力に直接配置される2番目の終端は、ラインを逆行する望ましくない反射の排除に役立ちます。この機能は、長い配線パターン長(5インチ以上)またはインピーダンスが不整合の場合のアプリケーションに有用です。DTをハイに駆動すると2重終端が選択され、DTをローに駆動すると内部の終端抵抗が切り離されます(単一終端)。2重終端を選択すると、OVDDの電源電流が増加します(図7を参照)。

スタンバイモード

MAX1438Bは、変換が必要でないときにローパワー状態に遷移して、電力を効率的に使用するためにスタンバイモードを提供します。STBYは、すべてのチャネルおよび内部リファレンス回路のスタンバイモードを制御します。リファレンスはスタンバイモードで電源切断されません。STBYをハイに駆動するとスタンバイがイネーブルになります。スタンバイモードでは、LVDS/SLVSの全出力の出力インピーダンスは、DTがローの場合にはおよそ 342Ω になります。差動LVDS/SLVSの各出力の出力インピーダンスは、DTがハイの場合は 100Ω です。スタンバイ中の標準的な電源電流は「Electrical Characteristics」の表を参照してください。以下のリストは、スタンバイモードでのアナログ入力とデジタル出力の状態を示しています。

- IN_PとIN_Nの各アナログ入力は内部の入力アンプから切り離されます。
- リファレンス回路はアクティブのままです。
- OUT_P、OUT_N、CLKOUTP、CLKOUTN、FRAMEPおよびFRAMENは、DTがローの場合には各出力ペア間でおおよそ 342Ω です。DTがハイの場合は各差動出力ペアのペア間で 100Ω です。

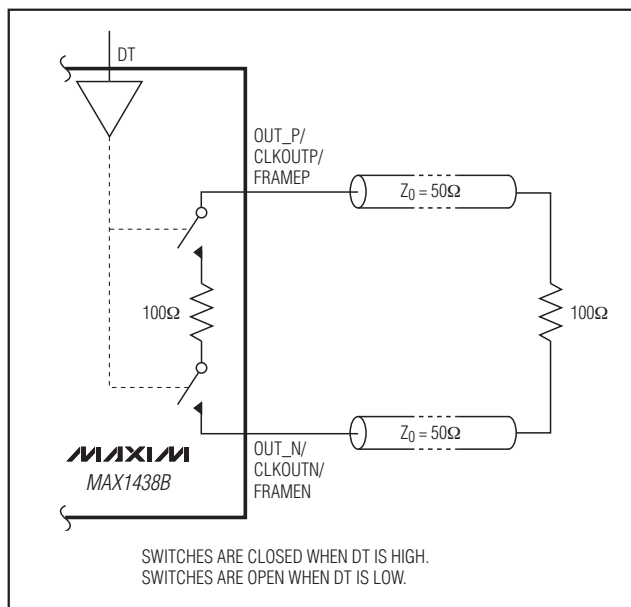


図7. 2重終端

内部リファレンスモードで動作している場合、MAX1438Bは、コンバータがスタンバイモードから抜け出すときに電源オンおよび安定化に $200\mu\text{s}$ を要します。スタンバイモードから抜け出すには、STBYに印加される制御信号はハイからローに遷移しなければなりません。外部リファレンスを使用する場合、ウェイクアップ時間は外部のリファレンスドライバに依存します。

アプリケーション情報

内部リファレンスを使用するフルスケール範囲の調整

MAX1438Bのフルスケール調整範囲は 10% ($\pm 5\%$)です。フルスケールの範囲を縮小するには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の外付け抵抗またはポテンショメータ(R_{ADJ})をREFADJとGND間に追加してください。フルスケールの範囲を拡大するには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の抵抗をREFADJとREFIO間に追加してください。図8は2つの可能な構成を示しています。

次式は R_{ADJ} とアナログフルスケール範囲の変化との関係を示しています。

$$\text{FSR} = 0.7V \left(1 + \frac{1.25\text{k}\Omega}{R_{ADJ}} \right)$$

REFADJとREFIOの間に接続された R_{ADJ} の場合

$$\text{FSR} = 0.7V \left(1 - \frac{1.25\text{k}\Omega}{R_{ADJ}} \right)$$

REFADJとGND間に接続された R_{ADJ} の場合

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

MAX1438B

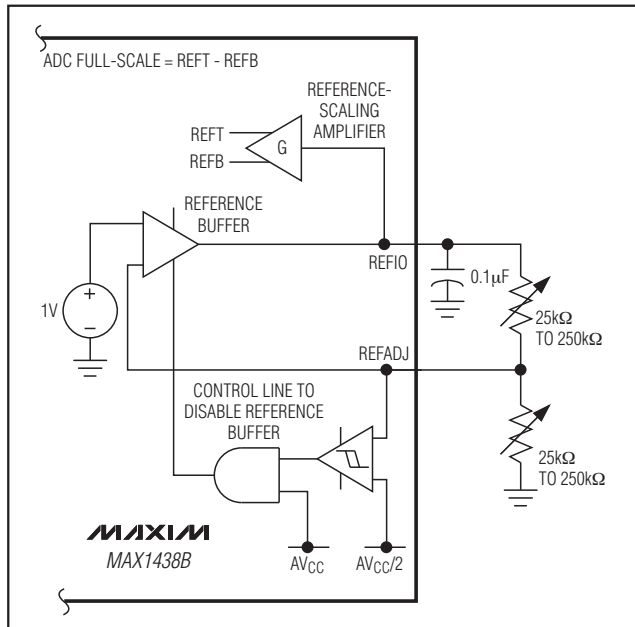


図8. ADCのフルスケール範囲の調整法を示す回路

トランス結合の使用

RFトランス(図9)は、シングルエンド入力信号源を完全な差動信号に変換する優れたソリューションを提供します。MAX1438Bの入力コモンモード電圧は、 $f_{CLK} = 64\text{MHz}$ では内部で 0.76V (typ)にバイアスされています。1:1のトランスが示されていますが、駆動要件を緩和するためにステップアップトランスを選択することができます。オペアンプなどの入力ドライバからの信号振幅を小さくすると、全体的なひずみを改善することもできます。

グラウンド、バイパス、および基板レイアウト

MAX1438Bには高周波基板のレイアウト設計技術が必要です。基板レイアウトの参考用にMAX1438BのEVキットのデータシートを参照してください。すべてのバイパスコンデンサは、可能な限りADCと同じ面でデバイスの近くに配置し、最小のインダクタンスとするために表面実装型のデバイスを使用してください。0.1 μF のセラミックコンデンサと並列にした0.1 μF のセラミックコンデンサで、AVDDをGNDにバイパスしてください。2.2 μF 以上のセラミックコンデンサと並列にした0.1 μF のセラミックコンデンサで、OVDDをGNDにバイパスしてください。2.2 μF 以上のセラミックコンデンサと並列にした0.1 μF のセラミックコンデンサで、CVDDをGNDにバイパスしてください。

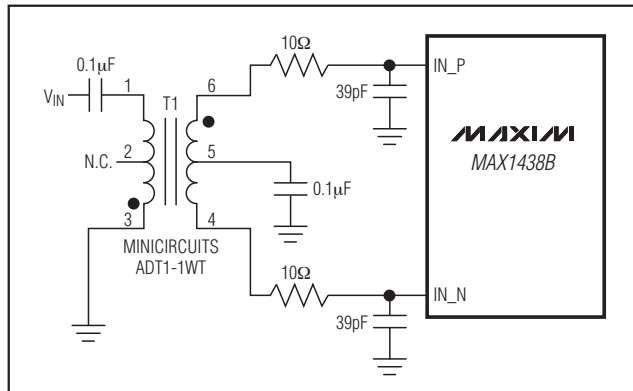


図9. トランス結合の入力駆動

十分に広い面積のグラウンドおよび電源平面の多層基板は、最高レベルの信号の整合性を実現します。MAX1438Bのグラウンド端子と裏面のエクスポーズドパッドは、同じグラウンド平面に接続してください。MAX1438Bは、低インダクタンスのグラウンド接続とするために裏面エクスポーズドパッドの接続が重要になります。このグラウンド平面はノイズの大きいデジタルシステムのグラウンド平面とは分離してください。

高速のデジタル信号の配線パターンは、敏感なアナログ配線パターンから遠ざけて配線してください。すべての信号ラインは短くして直角に曲げないでください。

差動アナログ入力回路のレイアウトは対称にして、すべての寄生要素が等しくバランスするようにしてください。対称な入力のレイアウトの例については、MAX1438BのEVキットのデータシートを参照してください。

パラメータの定義

積分非直線性(INL)

INLは実際の伝達関数上の値の直線からの偏差です。MAX1438Bの場合、この直線は、オフセットおよび利得誤差をゼロにした後の伝達関数の両端点を結んだ直線です。INL偏差はすべてのステップで測定され、ワーストケースの偏差は「Electrical Characteristics」の表に記載されています。

微分非直線性(DNL)

DNLは、1 LSBの実際のステップ幅と理想値との間の差です。1 LSB以下のDNL誤差仕様は、コード落ちがなくモノトニックな伝達関数を保証します。MAX1438Bの場合、DNL偏差はすべてのステップで測定され、ワーストケースの偏差は「Electrical Characteristics」の表に記載されています。

シリアルLVDS出力、オクタル(8回路)、12ビット、64Mps、1.8V ADC

オフセット誤差

オフセット誤差は、実際の伝達関数が理想的な伝達関数と1点において、一致している程度を示す性能指数です。MAX1438Bの場合、理想的な中間スケールのデジタル出力の遷移は、アナログ入力間に-1/2 LSBが存在するときに起こります(図6)。バイポーラのオフセット誤差は、測定された中間スケール遷移点と理想的な中間スケール遷移点の間の偏差の大きさです。

利得誤差

利得誤差は、実際の伝達関数の傾斜が理想的な伝達関数の傾斜と一致している程度を示す性能指数です。MAX1438Bの場合、利得誤差は、測定されたフルスケールとゼロスケール点の両遷移点の差から、理想的なフルスケールとゼロスケールの両遷移点の差を差し引いた値です。

バイポーラデバイス(MAX1438B)の場合、フルスケール遷移点は0x7FEから0x7FFで、ゼロスケール遷移点は0x800から0x801です。

クロストーク

クロストークは、各アナログ入力が他の入力から絶縁されている程度を示します。MAX1438Bの場合、5.3MHzで-0.5dBFSのアナログ信号が1つのチャンネルに印加され、別のチャンネルには30.3MHzで-0.5dBFSのアナログ信号が印加されます。5.3MHzのアナログ信号のチャンネルでFFTが実行されます。このFFTから、クロストークは5.3MHzと30.3MHzの振幅の差として測定されます。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと実際のサンプルが取得される時点との間と定義される時間です。図10を参照してください。

アパーチャジッタ

アパーチャジッタ(t_{AJ})はアパーチャ遅延のサンプル間の変動です。図10を参照してください。

信号対ノイズ比(SNR)

デジタルサンプルから完全に再生された波形に対して、理論的な最大SNRは、フルスケールアナログ入力(RMS値)のRMS量子化誤差(残留誤差)に対する比です。理想的で理論的な最小アナログ-デジタル変換ノイズは量子化誤差のみに起因し、直接的にADCの分解能(Nビット)によってのみ生じます。

$$\text{SNR}_{\text{dB}[\text{max}]} = 6.02\text{dB} \times N + 1.76\text{dB}$$

実際には、量子化ノイズ以外に、サーマルノイズ、リファレンスノイズ、クロックジッタなどのその他のノイズ源があります。

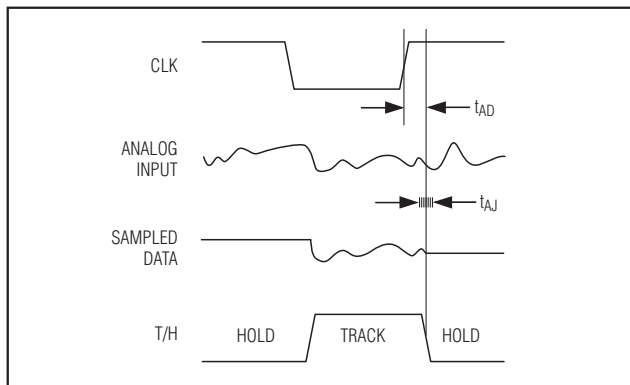


図10. アパーチャジッタ/遅延仕様

MAX1438Bの場合、SNRはRMS信号のRMSノイズに対する比を取ることで計算されます。RMSノイズには、基本波、最初の6つの高調波(HD2~HD7)およびDCオフセットを除いて、ナイキスト周波数までのすべてのスペクトル成分が含まれます。

信号対ノイズ+歪(SINAD)

SINADは、RMS信号のRMSノイズ+歪に対する比を取ることで計算されます。RMSノイズ+歪には、基本波とDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分が含まれます。

有効ビット数(ENOB)

ENOBは、特定の入力周波数およびサンプリング速度でのADCのダイナミック性能を規定します。理想的なADCの誤差は量子化ノイズのみです。フルスケールの正弦波入力波形に対するENOBは次式で計算されます。

$$\text{ENOB} = \left(\frac{\text{SINAD} - 1.76}{6.02} \right)$$

全高調波歪み(THD)

THDは、入力信号の最初の6個の高調波のRMS和の基本波自身に対する比です。これは次のように表されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅のDCオフセットを除いた2番目に大きいスプリアス成分のRMS値に対する比をデシベルで表したものです。SFDRはキャリアアを基準にしたデシベル(dBc)で表されます。

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Msps、1.8V ADC

相互変調歪み(IMD)

IMDは、2つの入力トーン f_1 と f_2 の総合入力パワーを基準とする、ナイキスト周波数までのIM2~IM5の相互変調積の総合パワーです。各入力トーンのレベルは-6.5dBFSです。相互変調積は次の通りです。

- 2次相互変調積(IM2) : $f_1 + f_2$ 、 $f_2 - f_1$
- 3次相互変調積(IM3) : $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$
- 4次相互変調積(IM4) : $3 \times f_1 - f_2$ 、 $3 \times f_2 - f_1$ 、 $3 \times f_1 + f_2$ 、 $3 \times f_2 + f_1$
- 5次相互変調積(IM5) : $3 \times f_1 - 2 \times f_2$ 、 $3 \times f_2 - 2 \times f_1$ 、 $3 \times f_1 + 2 \times f_2$ 、 $3 \times f_2 + 2 \times f_1$

3次相互変調(IM3)

IM3は、2つの入力トーン f_1 と f_2 の総合入力パワーを基準とする、ナイキスト周波数までの3次相互変調積の総合パワーです。各入力トーンのレベルは-6.5dBFSです。3次相互変調積は、 $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$ です。

小信号帯域幅

信号のスルーレートがADC性能を制限しないように、-20.5dBFSの小さいアナログ入力信号がADCに印加されます。次に、デジタル化した変換結果の大きさが-3dBだけ減衰するポイントまで入力周波数を変化させます。

フルパワー帯域幅

大きい-0.5dBFSのアナログ入力信号をADCに印加し、次に、デジタル化した変換結果の大きさが-3dBだけ減衰するポイントまで入力周波数を変化させます。このポイントがフルパワーの入力帯域幅周波数として定義されます。

利得マッチング

利得マッチングは、8個のすべてのADCチャンネルの利得が相互に一致する程度を示す性能指数です。MAX1438Bの場合、利得マッチングは、すべてのアナログ入力チャンネルに同じ5.3MHzで-0.5dBFSのアナログ信号を印加して測定されます。これらのアナログ入力は64Mspsでサンプルされ、振幅の最大偏差は利得マッチングとしてdBで「Electrical Characteristics」の表に示されています。

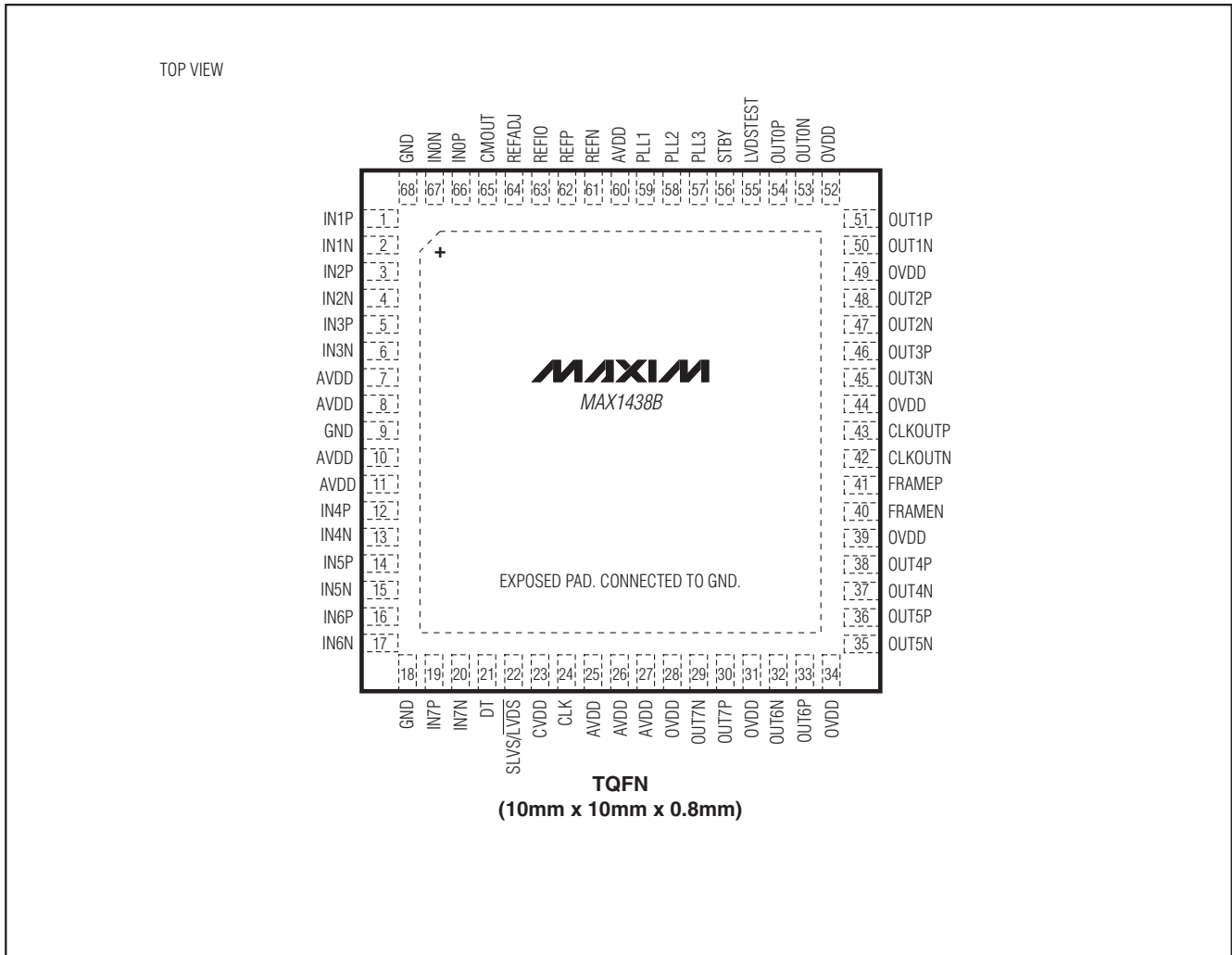
位相マッチング

位相マッチングは、8個のすべてのADCチャンネルの位相が相互に良く一致する程度を示す性能指数です。MAX1438Bの場合、位相マッチングは、同じ5.3MHzで-0.5dBFSのアナログ信号をすべてのアナログ入力チャンネルに印加して測定されます。これらのアナログ入力は64Mspsでサンプルされ、位相の最大偏差は度で位相マッチングとして「Electrical Characteristics」の表に示されています。

シリアルLVDS出力、オクタル(8回路)、 12ビット、64Mpsps、1.8V ADC

MAX1438B

ピン配置



パッケージ

最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
68 TQFN-EP	T6800-4	21-0142

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ **21**