

シリアルLVDS出力付き、オクタル、 10ビット、50Msps、1.8V ADC

概要

MAX1434はオクタル、10ビット、アナログ-ディジタルコンバータ(ADC)で、完全差動入力、パイプラインアーキテクチャ、およびディジタルエラー補正を備え、完全差動信号経路を採用しています。このADCは、医療用画像処理装置およびディジタル通信アプリケーションにおいて低電力、高ダイナミック性能に最適化されています。MAX1434は1.8Vの単一電源で動作し、消費電力はわずか767mW(1チャンネル当たり96mW)ながら、5.3MHzの入力周波数で61dB(typ)の信号対ノイズ比(SNR)を実現しています。MAX1434は低動作電力に加えて、アイドル時のパワーダウンモードを備えています。

1.24Vの高精度内蔵バンドギャップリファレンスによって、ADCのフルスケール範囲を設定します。リファレンス構造がフレキシブルであるため、高い精度または別の入力電圧範囲が必要なアプリケーション用に外部リファレンスを使用することができます。リファレンスアーキテクチャは低ノイズに最適化されています。

シングルエンドクロックがデータ変換プロセスを制御します。内蔵デューティサイクルイコライザによって、クロックデューティサイクルの幅広い変動が補償されます。内蔵PLL(位相ロックループ)は、高速シリアル低電圧差動信号(LVDS)クロックを生成します。

MAX1434は、データ、クロック、およびフレーム整列信号に対して自動整列されるシリアルLVDS出力を備えています。出力データは、2の補数またはバイナリ形式で提供されます。

MAX1434は50Mspsの最高サンプルレートを備えています。12ビットバージョンについては、「ピンコンパチブルバージョン」表を参照してください。このデバイスは14mm x 14mm x 1mmのエクスポーズドパッド付き小型100ピンTQFPパッケージで提供され、工業用拡張温度範囲(-40°C ~ +85°C)での動作が保証されています。

アプリケーション

超音波および医療用画像処理
計測
マルチチャンネル通信

機能

- ◆ 優れたダイナミック性能
 - SNR : 61dB(5.3MHzにおいて)
 - SFDR : 84dBc(5.3MHzにおいて)
 - チャンネルアイソレーション : 94dB
- ◆ 超低電力
 - 1チャンネル当たり96mW(通常動作時)
- ◆ シリアルLVDS出力
- ◆ 端子選択可能なLVDS/SLVS(スケーラブル低電圧信号)モード
- ◆ LVDS出力は最長30インチのFR-4バックプレーン接続をサポート
- ◆ デジタル信号の完全性のためのテストモード
- ◆ 完全差動アナログ入力
- ◆ 広差動入力電圧範囲 : 1.4V_{p-p}
- ◆ 1.24Vの高精度バンドギャップリファレンス内蔵
- ◆ クロックデューティサイクルイコライザ
- ◆ エクスポーズドパッド付き小型100ピンTQFPパッケージ
- ◆ 評価キット入手可能(MAX1434のEVキットを注文してください)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1434ECQ	-40°C to +85°C	100 TQFP-EP* (14mm x 14mm x 1mm)

*EP = エクスポーズドパッド。

ピンコンパチブルバージョン

PART	SAMPLING RATE (Msps)	RESOLUTION (BITS)
MAX1436	40	12
MAX1437	50	12
MAX1438**	65	12

**開発中の製品—入手性についてはお問い合わせください。

ピン配置はデータシートの最後に記載されています。

シリアルLVDS出力付き、オクタル、 10ビット、50Msps、1.8V ADC

MAX1434

ABSOLUTE MAXIMUM RATINGS

AVDD to GND.....	-0.3V to +2.0V	Continuous Power Dissipation (TA = +70°C) 100-Pin TQFP 14mm x 14mm x 1mm (derated 47.6mW/°C above +70°C).....3809.5mW Operating Temperature Range-40°C to +85°C Maximum Junction Temperature+150°C Storage Temperature Range-65°C to +150°C Lead Temperature (soldering, 10s)+300°C
CVDD to GND.....	-0.3V to +3.6V	
OVDD to GND.....	-0.3V to +2.0V	
IN_P, IN_N to GND.....	-0.3V to (AVDD + 0.3V)	
CLK to GND.....	-0.3V to (CVDD + 0.3V)	
OUT_P, OUT_N, FRAME_, CLKOUT_ to GND.....	-0.3V to (OVDD + 0.3V)	
DT, SLVS/LVDS, LVDSTEST, PLL_, T/B, REFIO, REFADJ, CMOUT to GND.....	-0.3V to (AVDD + 0.3V)	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1μF, CREFP to GND = 10μF, CREFN to GND = 10μF, fCLK = 50MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 2)						
Resolution	N		10			Bits
Integral Nonlinearity	INL			±0.1	±1	LSB
Differential Nonlinearity	DNL	No missing codes over temperature		±0.1	±0.5	LSB
Offset Error					±0.7	%FS
Gain Error			-3		+2	%FS
ANALOG INPUTS (IN_P, IN_N)						
Input Differential Range	V _{ID}	Differential input		1.4		V _{P-P}
Common-Mode Voltage Range	V _{CMO}			0.76		V
Common-Mode Voltage Range Tolerance		(Note 3)		±50		mV
Differential Input Impedance	R _{IN}	Switched capacitor load		2		kΩ
Differential Input Capacitance	C _{IN}			12.5		pF
CONVERSION RATE						
Maximum Conversion Rate	f _S MAX		50			MHz
Minimum Conversion Rate	f _S MIN			4.8		MHz
Data Latency				6.5		Cycles
DYNAMIC CHARACTERISTICS (differential inputs, 4096-point FFT) (Note 2)						
Signal-to-Noise Ratio	SNR	f _{IN} = 5.3MHz at -0.5dBFS		61.1		dB
		f _{IN} = 19.3MHz at -0.5dBFS	60	61.1		
Signal-to-Noise and Distortion (First 4 Harmonics)	SINAD	f _{IN} = 5.3MHz at -0.5dBFS		61.1		dB
		f _{IN} = 19.3MHz at -0.5dBFS	60	61.1		
Effective Number of Bits	ENOB	f _{IN} = 5.3MHz at -0.5dBFS		9.9		dB
		f _{IN} = 19.3MHz at -0.5dBFS		9.9		
Spurious-Free Dynamic Range	SFDR	f _{IN} = 5.3MHz at -0.5dBFS		84		dBc
		f _{IN} = 19.3MHz at -0.5dBFS	77	85		

シリアルLVDS出力付き、オクタル、 10ビット、50MSPs、1.8V ADC

MAX1434

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1μF, CREFP to GND = 10μF, CREFN to GND = 10μF, fCLK = 50MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Total Harmonic Distortion	THD	f _{IN} = 5.3MHz at -0.5dBFS		-89		dBc
		f _{IN} = 19.3MHz at -0.5dBFS		-91	-77	
Intermodulation Distortion	IMD	f ₁ = 5.3MHz at -6.5dBFS f ₂ = 6.3MHz at -6.5dBFS		86.0		dBc
Third-Order Intermodulation	IM3	f ₁ = 5.3MHz at -6.5dBFS f ₂ = 6.3MHz at -6.5dBFS		92.9		dBc
Aperture Jitter	t _{AJ}	Figure 11		<0.4		psRMS
Aperture Delay	t _{AD}	Figure 11		1		ns
Small-Signal Bandwidth	SSBW	Input at -20dBFS		100		MHz
Full-Power Bandwidth	LSBW	Input at -0.5dBFS		100		MHz
Output Noise		IN_P = IN_N		0.058		LSBRMS
Over-Range Recovery Time	t _{OR}	R _S = 25Ω, C _S = 50pF		1		Clock cycle
INTERNAL REFERENCE						
REFADJ Internal Reference-Mode Enable Voltage		(Note 4)			0.1	V
REFADJ Low-Leakage Current				1.5		mA
REFIO Output Voltage	VREFIO		1.18	1.24	1.30	V
Reference Temperature Coefficient	T _{CREFIO}			120		ppm/°C
EXTERNAL REFERENCE						
REFADJ External Reference-Mode Enable Voltage		(Note 4)		AVDD - 0.1V		V
REFADJ High-Leakage Current				200		μA
REFIO Input Voltage				1.24		V
REFIO Input Voltage Tolerance				±5		%
REFIO Input Current	I _{REFIO}			<1		μA
COMMON-MODE OUTPUT (CMOUT)						
CMOUT Output Voltage	V _{CMOUT}			0.76		V
CLOCK INPUT (CLK)						
Input High Voltage	V _{CLKH}			0.8 × CVDD		V
Input Low Voltage	V _{CLKL}				0.2 × CVDD	V
Clock Duty Cycle				50		%
Clock Duty-Cycle Tolerance				±30		%
Input Leakage	DI _{IN}	Input at GND			5	μA
		Input at AVDD			80	
Input Capacitance	DC _{IN}			5		pF

シリアルLVDS出力付き、オクタル、 10ビット、50Msps、1.8V ADC

MAX1434

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFFIO to GND = 0.1μF, CREFF to GND = 10μF, CREFN to GND = 10μF, fCLK = 50MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DIGITAL INPUTS (PLL_, LVDSTEST, DT, SLVS, PD, \bar{T}/B)							
Input High Threshold	V _{IH}		0.8 x AVDD			V	
Input Low Threshold	V _{IL}			0.2 x AVDD		V	
Input Leakage	D _{IIN}	Input at GND		5		μA	
		Input at AVDD		80			
Input Capacitance	DC _{IN}		5			pF	
LVDS OUTPUTS (OUT_P, OUT_N), SLVS/LVDS = 0							
Differential Output Voltage	VOHDIFF	R _{TERM} = 100Ω	250		450	mV	
Output Common-Mode Voltage	V _{OCM}	R _{TERM} = 100Ω	1.125		1.375	V	
Rise Time (20% to 80%)	t _{RL}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		350		ps	
Fall Time (80% to 20%)	t _{FL}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		350		ps	
SLVS OUTPUTS (OUT_P, OUT_N, CLKOUTP, CLKOUTN, FRAMEP, FRAMEN), SLVS/LVDS = 1, DT = 1							
Differential Output Voltage	VOHDIFF	R _{TERM} = 100Ω		205		mV	
Output Common-Mode Voltage	V _{OCM}	R _{TERM} = 100Ω		220		V	
Rise Time (20% to 80%)	t _{RS}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		320		ps	
Fall Time (80% to 20%)	t _{FS}	R _{TERM} = 100Ω, C _{LOAD} = 5pF		320		ps	
POWER-DOWN							
PD Fall to Output Enable	t _{ENABLE}	(Note 5)		100		ms	
PD Rise to Output Disable	t _{DISABLE}			20		ns	
POWER REQUIREMENTS							
AVDD Supply Voltage Range	AVDD		1.7	1.8	1.9	V	
OVDD Supply Voltage Range	OVDD		1.7	1.8	1.9	V	
CVDD Supply Voltage Range	CVDD		1.7	1.8	3.6	V	
AVDD Supply Current	I _{AVDD}	f _{IN} = 19.3MHz at -0.5dBFS	PD = 0		348	390	mA
			PD = 0, DT = 1		348		
			PD = 1, power-down, no clock input		1.54		mA
OVDD Supply Current	I _{OVDD}	f _{IN} = 19.3MHz at -0.5dBFS	PD = 0		78	100	mA
			PD = 0, DT = 1		100		
			PD = 1, power-down, no clock input		566		μA
CVDD Supply Current	I _{CVDD}	CVDD is used only to bias ESD-protection diodes on CLK input, Figure 2		0		mA	
Power Dissipation	P _{DISS}	f _{IN} = 19.3MHz at -0.5dBFS		767	882	mW	

シリアルLVDS出力付き、オクタル、 10ビット、50MSPs、1.8V ADC

MAX1434

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, external $V_{REFIO} = 1.24V$, C_{REFIO} to $GND = 0.1\mu F$, C_{REFP} to $GND = 10\mu F$, C_{REFN} to $GND = 10\mu F$, $f_{CLK} = 50MHz$ (50% duty cycle), $V_{DT} = 0$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Note 6)						
Data Valid to CLKOUT Rise/Fall	t_{OD}	Figure 5 (Note 7)	$(t_{SAMPLE}/20) - 0.15$	$(t_{SAMPLE}/20)$	$(t_{SAMPLE}/20) + 0.15$	ns
CLKOUT Output-Width High	t_{CH}	Figure 5		$t_{SAMPLE}/10$		ns
CLKOUT Output-Width Low	t_{CL}	Figure 5		$t_{SAMPLE}/10$		ns
FRAME Rise to CLKOUT Rise	t_{CF}	Figure 4 (Note 7)	$(t_{SAMPLE}/20) - 0.15$	$(t_{SAMPLE}/20)$	$(t_{SAMPLE}/20) + 0.15$	ns
Sample CLK Rise to FRAME Rise	t_{SF}	Figure 4 (Note 7)	$(3t_{SAMPLE}/5) + 1.1$	$(3t_{SAMPLE}/5)$	$(3t_{SAMPLE}/5) + 2.6$	ns
Crosstalk		(Note 2)		-94		dB
Gain Matching	C_{GM}	$f_{IN} = 5.3MHz$ (Note 2)		± 0.1		dB
Phase Matching	C_{PM}	$f_{IN} = 5.3MHz$ (Note 2)		± 0.25		Degrees

Note 1: Specifications at $T_A \geq +25^\circ C$ are guaranteed by production testing. Specifications at $T_A < +25^\circ C$ are guaranteed by design and characterization and not subject to production testing.

Note 2: See definition in the *Parameter Definition* section at the end of this data sheet.

Note 3: See the *Common-Mode Output (CMOUT)* section.

Note 4: Connect REFADJ to GND directly to enable internal reference mode. Connect REFADJ to AV_{DD} directly to disable the internal bandgap reference and enable external reference mode.

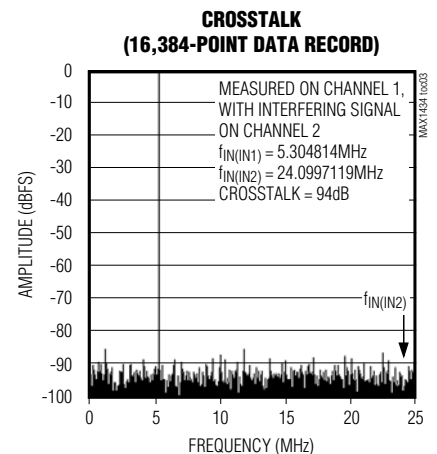
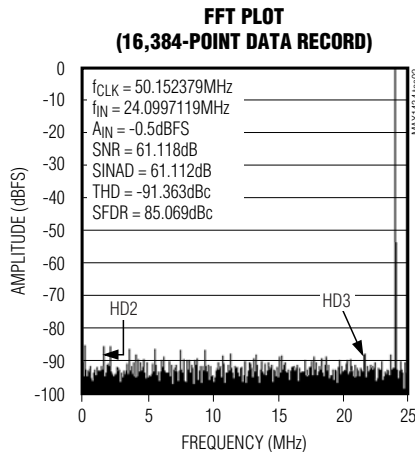
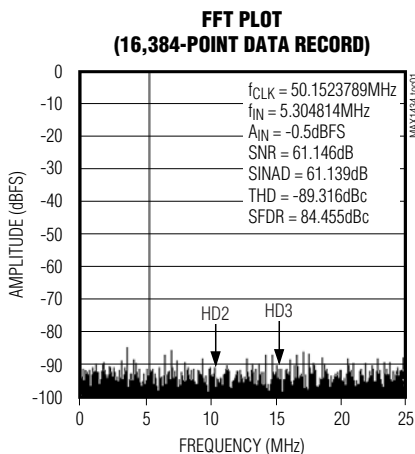
Note 5: Measured using C_{REFP} to $GND = 1\mu F$ and C_{REFN} to $GND = 1\mu F$. t_{ENABLE} time may be lowered by using smaller capacitor values.

Note 6: Data valid to CLKOUT rise/fall timing is measured from 50% of data output level to 50% of clock output level.

Note 7: Guaranteed by design and characterization. Not subject to production testing.

標準動作特性

($AV_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at -0.5dBFS, $f_{IN} = 5.3MHz$, $f_{CLK} = 50MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)



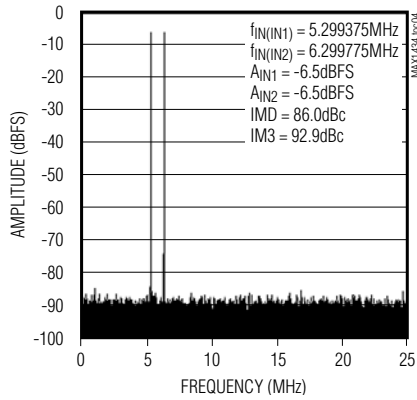
シリアルLVDS出力付き、オクタル、10ビット、50Mps、1.8V ADC

MAX1434

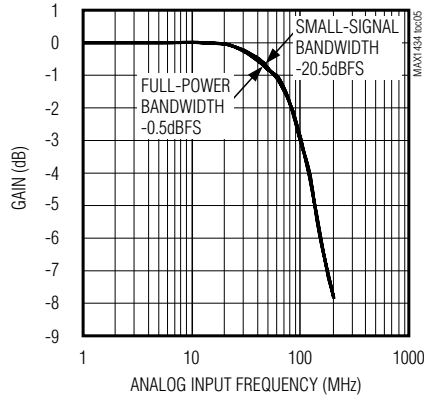
標準動作特性(続き)

($V_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 50MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

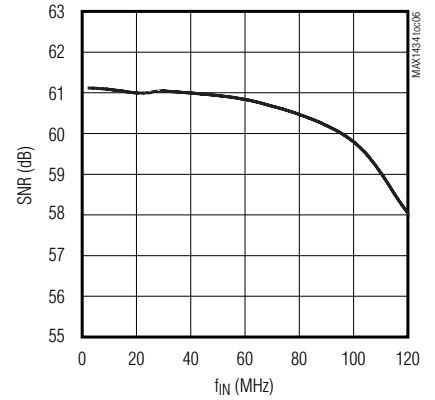
TWO-TONE INTERMODULATION DISTORTION (16,384-POINT DATA RECORD)



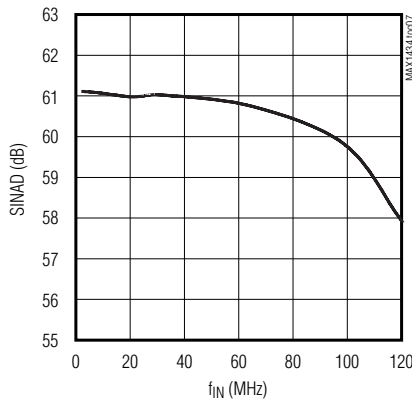
BANDWIDTH vs. ANALOG INPUT FREQUENCY



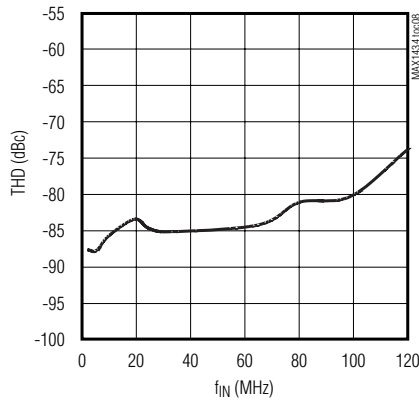
SIGNAL-TO-NOISE RATIO vs. ANALOG INPUT FREQUENCY



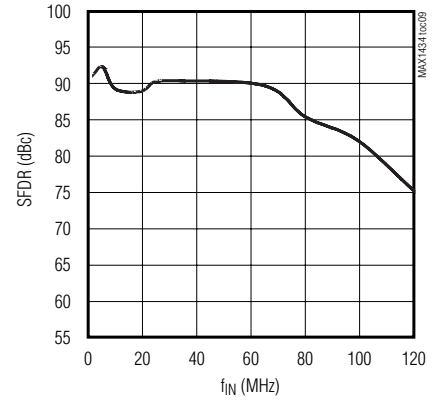
SIGNAL-TO-NOISE PLUS DISTORTION vs. ANALOG INPUT FREQUENCY



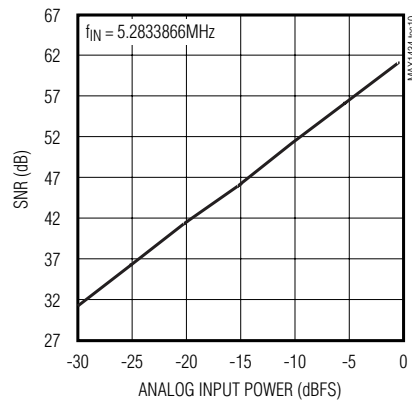
TOTAL HARMONIC DISTORTION vs. ANALOG INPUT FREQUENCY



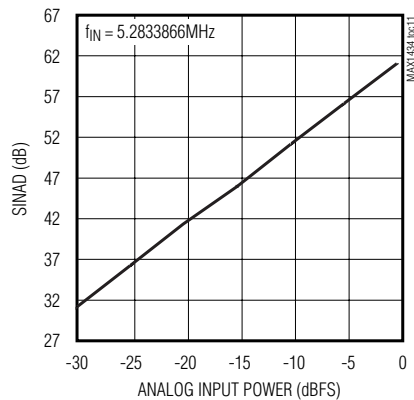
SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT FREQUENCY



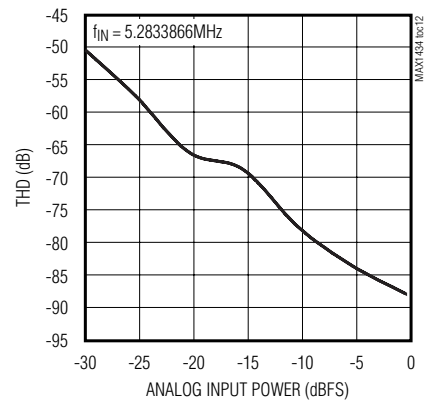
SIGNAL-TO-NOISE RATIO vs. ANALOG INPUT POWER



SIGNAL-TO-NOISE PLUS DISTORTION vs. ANALOG INPUT POWER



TOTAL HARMONIC DISTORTION vs. ANALOG INPUT POWER

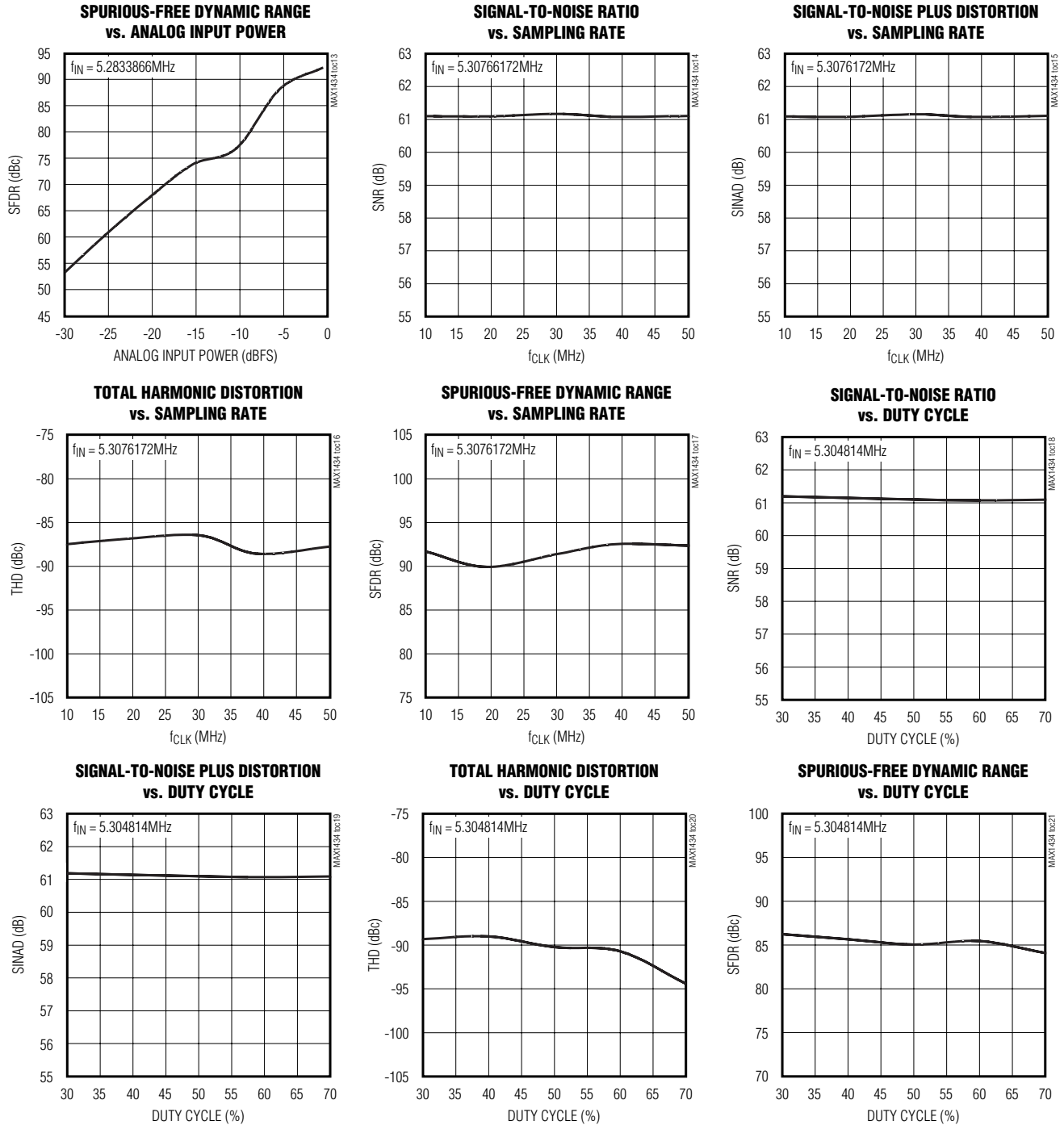


シリアルLVDS出力付き、オクタル、 10ビット、50MSPs、1.8V ADC

MAX1434

標準動作特性(続き)

($V_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 50MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

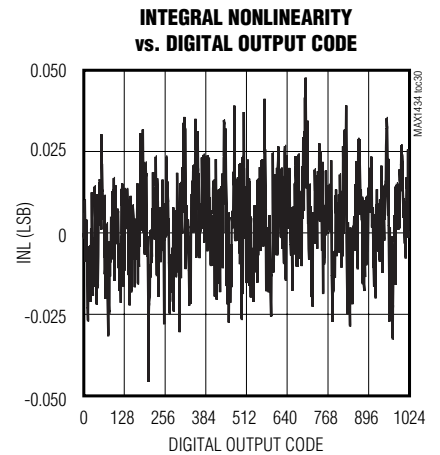
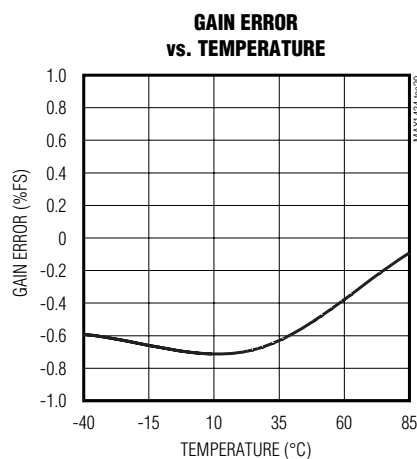
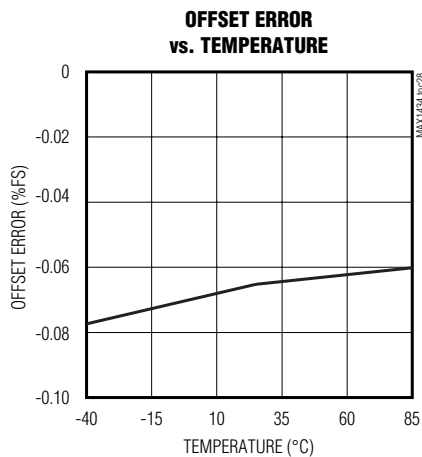
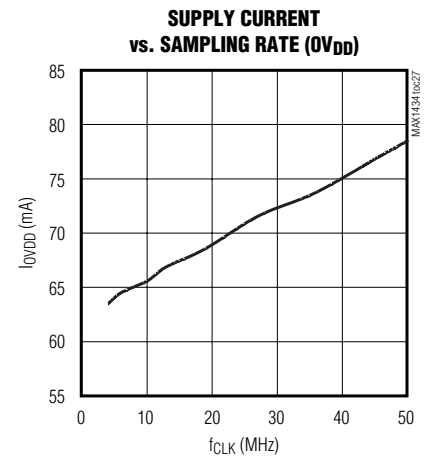
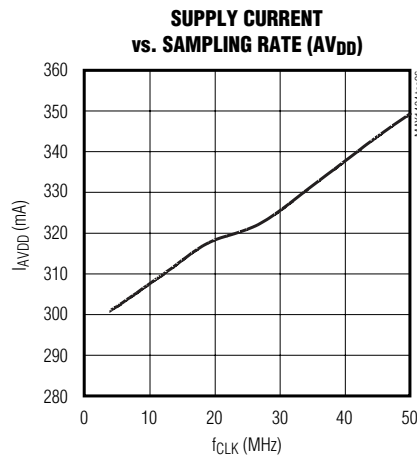
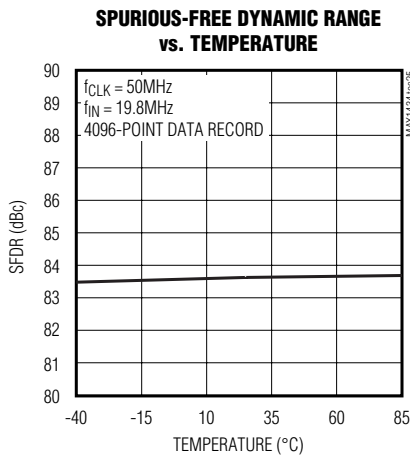
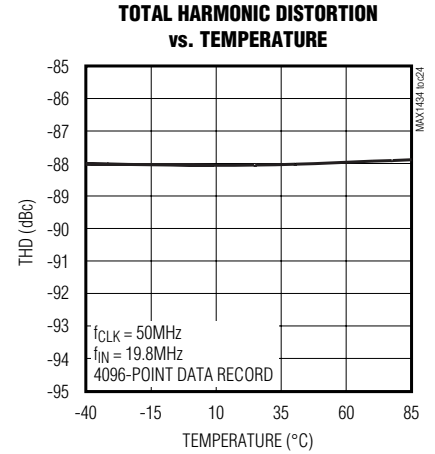
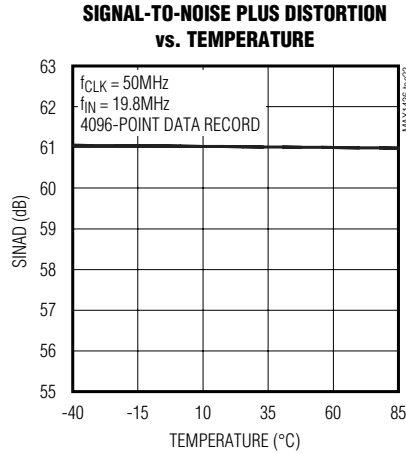
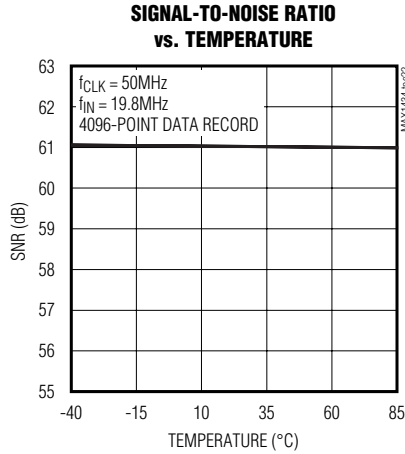


シリアルLVDS出力付き、オクタル、 10ビット、50Mps、1.8V ADC

MAX1434

標準動作特性(続き)

($V_{DD} = 1.8V$, $OV_{DD} = 1.8V$, $CV_{DD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 50MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

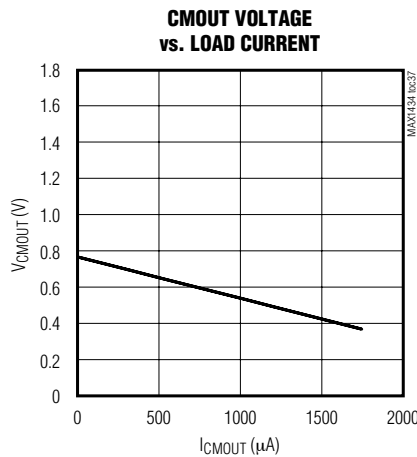
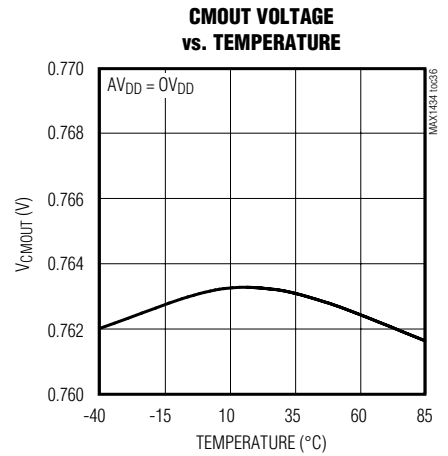
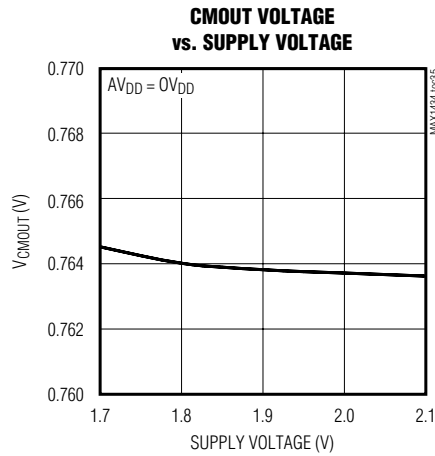
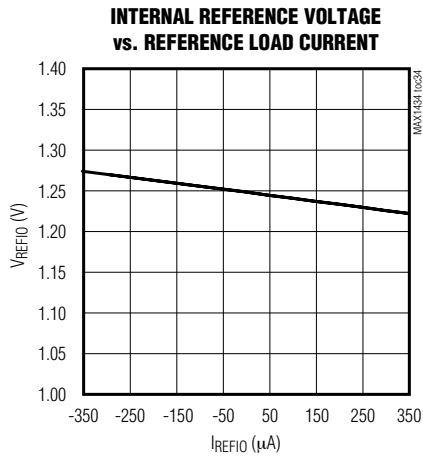
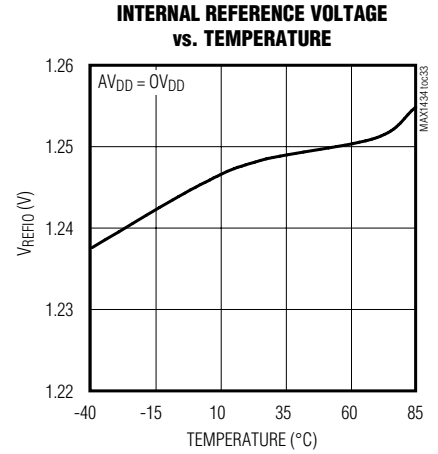
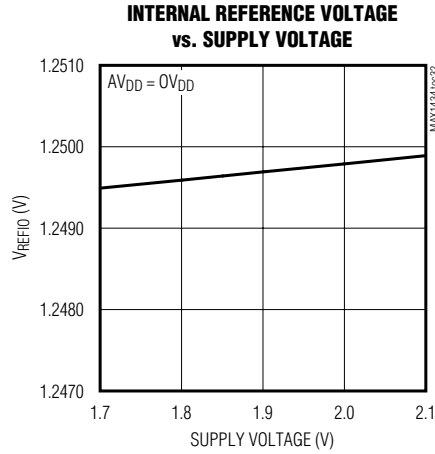
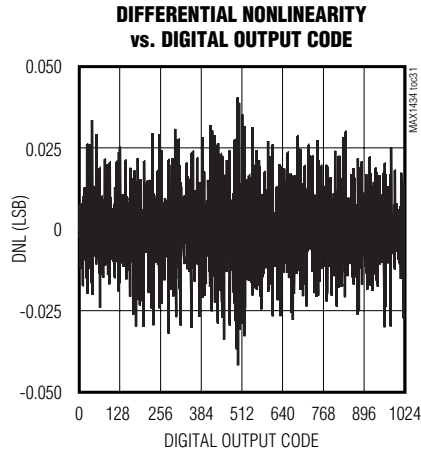


シリアルLVDS出力付き、オクタル、 10ビット、50MSPs、1.8V ADC

MAX1434

標準動作特性(続き)

($A_{VDD} = 1.8V$, $O_{VDD} = 1.8V$, $C_{VDD} = 3.3V$, $GND = 0$, internal reference, differential input at $-0.5dBFS$, $f_{IN} = 5.3MHz$, $f_{CLK} = 50MHz$ (50% duty cycle), $V_{DT} = 0$, $C_{LOAD} = 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)



シリアルLVDS出力付き、オクタル、 10ビット、50MSPS、1.8V ADC

MAX1434

端子説明

端子	名称	機能
1, 4, 7, 10, 16, 19, 22, 25, 26, 27, 30, 36, 89, 92, 96, 99, 100	GND	グラウンド。すべてのGND端子を同じ電位に接続してください。
2	IN1P	チャンネル1の正アナログ入力
3	IN1N	チャンネル1の負アナログ入力
5	IN2P	チャンネル2の正アナログ入力
6	IN2N	チャンネル2の負アナログ入力
8	IN3P	チャンネル3の正アナログ入力
9	IN3N	チャンネル3の負アナログ入力
11, 12, 13, 15, 37-42, 86, 87, 88	AVDD	アナログ電源入力。AVDDを+1.7V~+1.9Vの電源に接続してください。デバイスに可能な限り近接した0.1μFコンデンサでAVDDをGNDにバイパスしてください。2.2μF以上の大容量コンデンサでAVDD電源プレーンをGNDプレーンにバイパスしてください。すべてのAVDD端子を同じ電位に接続してください。
14, 31, 50, 51, 70, 75, 76	N.C.	接続なし。内部接続なし。
17	IN4P	チャンネル4の正アナログ入力
18	IN4N	チャンネル4の負アナログ入力
20	IN5P	チャンネル5の正アナログ入力
21	IN5N	チャンネル5の負アナログ入力
23	IN6P	チャンネル6の正アナログ入力
24	IN6N	チャンネル6の負アナログ入力
28	IN7P	チャンネル7の正アナログ入力
29	IN7N	チャンネル7の負アナログ入力
32	DT	2重終端の選択。差動出力ペア間の100Ωの内部終端を選択するには、DTをハイにしてください。出力終端を選択しない場合は、DTをローにしてください。
33	SLVS/LVDS	差動出力信号形式の選択入力。SLVS出力を選択するには、SLVS/LVDSをハイにしてください。LVDS出力を選択するには、SLVS/LVDSをローにしてください。
34	CVDD	クロック電源入力。CVDDを+1.7V~+3.6Vの電源に接続してください。2.2μF以上のコンデンサと並列に0.1μFのコンデンサでCVDDをGNDにバイパスしてください。デバイスにできるだけ近接してバイパスコンデンサを実装してください。
35	CLK	シングルエンドCMOSクロック入力
43, 46, 49, 54, 57, 60, 63, 64, 67, 71, 74, 77	OVDD	出力ドライバ電源入力。OVDDを+1.7V~+1.9Vの電源に接続してください。デバイスにできる限り近接した0.1μFコンデンサでOVDDをGNDにバイパスしてください。2.2μF以上の大容量コンデンサでOVDD電源プレーンをGNDプレーンにバイパスしてください。すべてのOVDD端子を同じ電位に接続してください。
44	OUT7N	チャンネル7の負LVDS/SLVS出力
45	OUT7P	チャンネル7の正LVDS/SLVS出力
47	OUT6N	チャンネル6の負LVDS/SLVS出力
48	OUT6P	チャンネル6の正LVDS/SLVS出力
52	OUT5N	チャンネル5の負LVDS/SLVS出力
53	OUT5P	チャンネル5の正LVDS/SLVS出力
55	OUT4N	チャンネル4の負LVDS/SLVS出力
56	OUT4P	チャンネル4の正LVDS/SLVS出力

シリアルLVDS出力付き、オクタル、 10ビット、50MSPs、1.8V ADC

MAX1434

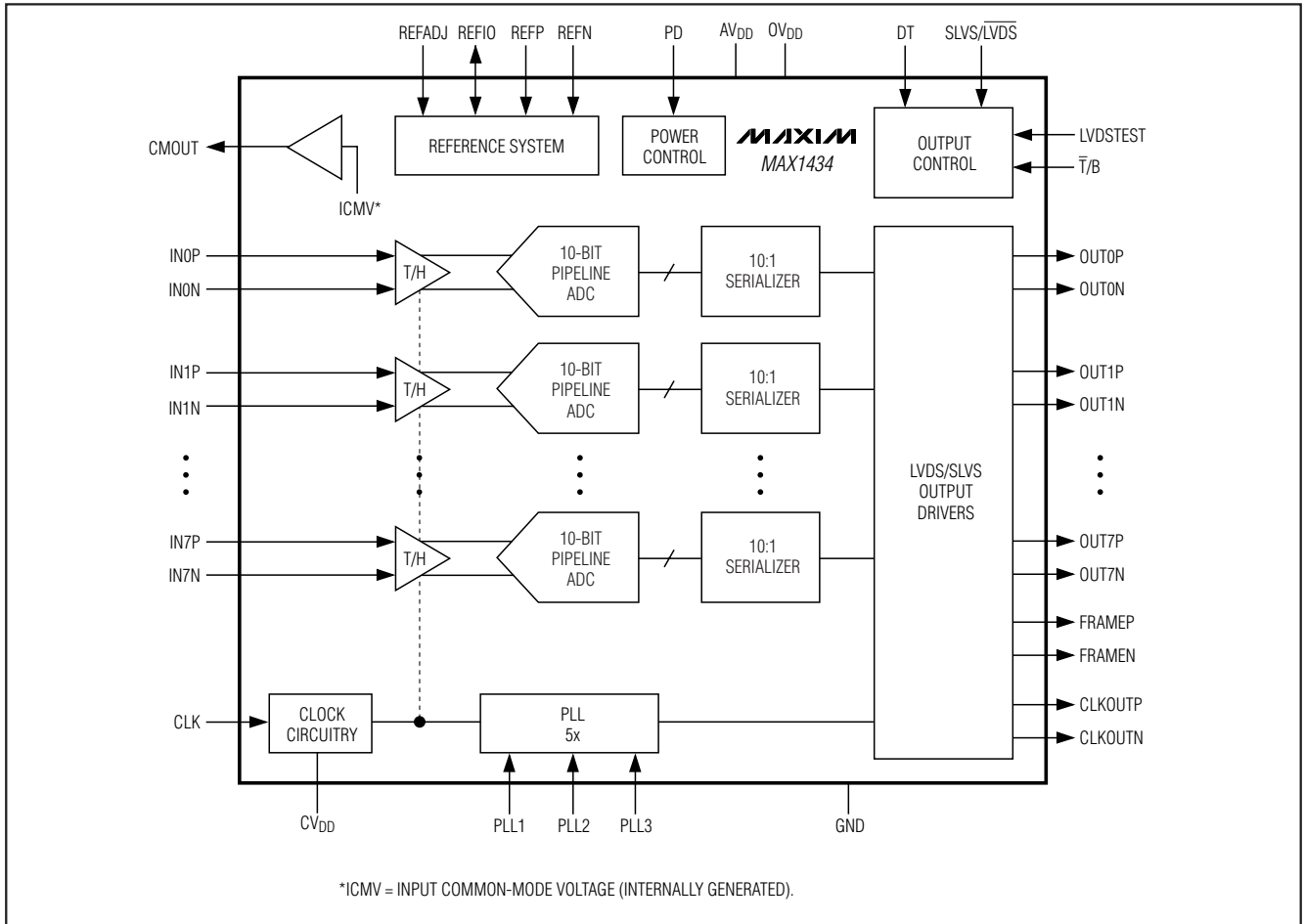
端子説明(続き)

端子	名称	機能
58	FRAMEN	負フレーム整列LVDS/SLVS出力。差分フレーム出力の立上りエッジが出力データストリームの正しいD0位置に整列します。
59	FRAMEP	正フレーム整列LVDS/SLVS出力。差分フレーム出力の立上りエッジが出力データストリームの正しいD0位置に整列します。
61	CLKOUTN	負のLVDS/SLVSシリアルクロック出力
62	CLKOUTP	正のLVDS/SLVSシリアルクロック出力
65	OUT3N	チャンネル3の負LVDS/SLVS出力
66	OUT3P	チャンネル3の正LVDS/SLVS出力
68	OUT2N	チャンネル2の負LVDS/SLVS出力
69	OUT2P	チャンネル2の正LVDS/SLVS出力
72	OUT1N	チャンネル1の負LVDS/SLVS出力
73	OUT1P	チャンネル1の正LVDS/SLVS出力
78	OUT0N	チャンネル0の負LVDS/SLVS出力
79	OUT0P	チャンネル0の正LVDS/SLVS出力
80	LVDSTEST	LVDSテストパターンのイネーブル。出力テストパターンをイネーブルするには、LVDSTESTをハイにしてください(0001011101 MSB→LSB)。アナログ変換結果と同様に、テストパターンデータはLSBを先頭とした出力です。通常動作にするには、LVDSTESTをローにしてください。
81	PD	パワーダウンの入力。すべてのチャンネルとリファレンスをパワーダウンするには、PDをハイにしてください。通常動作にするには、PDをローにしてください。
82	PLL3	PLL制御入力3。詳細については、表1を参照してください。
83	PLL2	PLL制御入力2。詳細については、表1を参照してください。
84	PLL1	PLL制御入力1。詳細については、表1を参照してください。
85	T/B	出力形式の選択入力。バイナリ出力形式を選択するには、T/Bをハイにしてください。2の補数出力形式を選択するには、T/Bをローにしてください。
90	REFN	負リファレンスバイパス出力。1μF以上のコンデンサ(10μF, typ)をREFPとREFNの間に接続し、1μF以上のコンデンサ(10μF, typ)をREFNとGNDの間に接続してください。これらのコンデンサはプリント(PC)基板の同じ面にデバイスにできる限り近接して配置してください。
91	REFP	正リファレンスバイパス出力。1μF以上のコンデンサ(10μF, typ)をREFPとREFNの間に接続し、1μF以上のコンデンサ(10μF, typ)をREFPとGNDの間に接続してください。これらのコンデンサはプリント(PC)基板の同じ面にデバイスにできる限り近接して配置してください。
93	REFIO	リファレンス入力/出力。内部リファレンス動作(REFADJ = GND)の場合は、リファレンス出力電圧は1.24Vです。外部リファレンス動作(REFADJ = AV _{DD})の場合は、REFIOに安定したリファレンス電圧を印加してください。0.1μF以上でGNDにバイパスしてください。
94	REFADJ	内部または外部リファレンスモードの選択およびリファレンス調整の入力。内部リファレンスモードの場合は、REFADJをGNDに直接接続してください。外部リファレンスモードの場合は、REFADJをAV _{DD} に直接接続してください。リファレンス調整モードの場合は、「内部リファレンスによるフルスケール範囲の調整」の項を参照してください。
95	CMOUT	コモンモードリファレンス電圧出力。CMOUTは、DC結合アプリケーション用に入力コモンモード電圧を出力します。0.1μF以上のコンデンサでCMOUTをGNDにバイパスしてください。
97	IN0P	チャンネル0の正アナログ入力
98	IN0N	チャンネル0の負アナログ入力
—	EP	エクスポーズドパッド。EPはGNDに内部で接続されています。EPをGNDに接続します。

シリアルLVDS出力付き、オクタル、 10ビット、50Mps、1.8V ADC

MAX1434

ファンクションダイアグラム



詳細

ADCのMAX1434は、高速度信号変換のために完全差動入力、パイプラインアーキテクチャ、およびデジタルエラー補正を備えています。ADCパイプラインアーキテクチャによって、入力に取り込まれたサンプルは半クロックサイクルごとに各パイプライン段を進行します。変換されたデジタル結果はシリアル化され、LVDS/SLVS出力ドライバを通じて送られます。入力から出力までの総クロックサイクル遅延は、6.5クロックサイクルです。

MAX1434は、入力と出力が同期した8つの個別の完全差動チャネルを備えています。T/Bデジタル入力によって、出力をバイナリまたは2の補数に設定してください。グローバルパワーダウンによって、電力消費が最小限に抑制されます。

入力回路

図1は、入力T/H回路の簡略図を示しています。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、およびS5bは閉じています。完全差動回路は、スイッチS4aおよびS4bを通じて2個のコンデンサ(C2aおよびC2b)に入力信号をサンプルします。S2aとS2bはトランスコンダクタンスオペアンプ(OTA)の共通モードを設定し、S1と同時に開かれて入力波形をサンプリングします。次に、スイッチS4a、S4b、S5a、およびS5bが開かれた後に、スイッチS3aとS3bはコンデンサC1aおよびC1bをアンプの出力と接続し、スイッチS4cが閉じられます。得られた差動電圧は、コンデンサC2aとC2bに保持されます。アンプは、コンデンサC2aとC2bに当初保持されていた値まで、コンデンサC1aとC1bを充電します。次に、これらの値は第1段

シリアルLVDS出力付き、オクタル、 10ビット、50MSPs、1.8V ADC

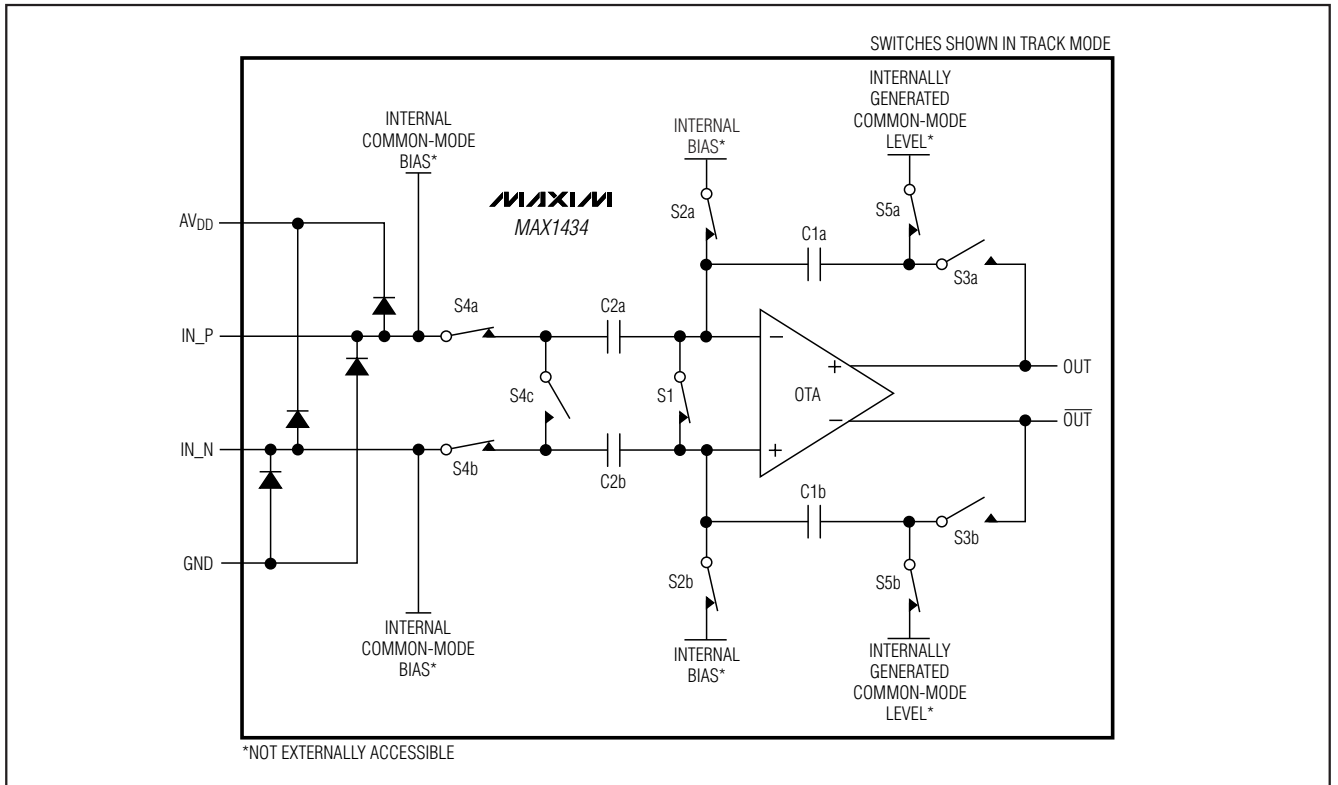


図1. 内部入力回路

の量子化器に送られ、高速変動する入力からパイプラインが分離されます。IN_P~IN_N間のアナログ入力は、差動駆動されます。差動入力の場合は、性能を最適化するために、IN_PおよびIN_Nの入カインピーダンスをバランスさせてください。

リファレンス構成(REFIO、REFADJ、REFP、およびREFN)

MAX1434は1.24Vの内部バンドギャップリファレンスを備えています。外部リファレンス電圧で駆動することもできます。フルスケールアナログ差動入力範囲は±FSRです。FSR(フルスケール範囲)は、次式から求められます。

$$FSR = \frac{(0.700 \times V_{REFIO})}{1.24V}$$

ここで、 V_{REFIO} は、内部または外部で生成されるREFIOの電圧です。 $V_{REFIO} = 1.24V$ の場合は、フルスケール入力範囲は±700mV(1.4V_{p-p})です。

内部リファレンスモード

内部バンドギャップリファレンスを直接使用するには、REFADJをGNDに接続してください。内部バンドギャップリファレンスは、内部リファレンスモードの場合、温度係数が120ppm/°Cの1.24Vの V_{REFIO} を生成します。安定化させるには、0.1μF以上の外付けバイパスコンデンサをREFIOとGNDの間に接続してください。REFIOは外部回路に対して最大200μAまでソースし、シンクします。REFIOの負荷レギュレーションは75mV/mAです。MAX1434がパワーダウンモードのときは、REFIOはGNDに対して1MΩを超える抵抗を備えています。電源がMAX1434に印加された場合またはPDがハイからローに遷移する場合、内部リファレンス回路は起動とセトリングに100ms ($C_{REFP} \sim GND = C_{REFN} \sim GND = 1\mu F$ の場合)が必要です。

利得誤差を補償するか、またはADCのFSRの拡大や縮小を行うには、REFADJとGNDの間またはREFADJとREFIOの間に外付け抵抗器を追加してください。この抵抗器によって、MAX1434の内部リファレンス値をその公称値の最大±5%まで調整します。「内部リファレンスによるフルスケール範囲の調整」の項を参照してください。

シリアルLVDS出力付き、オクタル、 10ビット、50Mps、1.8V ADC

MAX1434

GNDへの1μF以上のコンデンサ(10μF、typ)をREFPおよびREFNとの間に接続し、1μF以上のコンデンサ(10μF、typ)をREFPとREFNの間にプリント基板と同じ面でデバイスにできる限り近接して接続してください。

外部リファレンスモード

外部リファレンスモードでは、MAX1434のリファレンス電圧に優る制御を可能とし、複数のコンバータが共通リファレンスを使用することができます。内部リファレンスをディセーブルするには、REFADJをAV_{DD}に接続してください。REFIOに安定した1.18V~1.30Vの電源を印加してください。0.1μF以上のコンデンサでREFIOをGNDにバイパスしてください。REFIOの入カインピーダンスは1MΩを超えます。

クロック入力(CLK)

MAX1434は、入力クロックデューティサイクルが20%~80%と広範囲のCMOSコンパチブルクロック信号を受け付けます。外付けシングルエンドクロック信号でCLKを駆動してください。図2は、簡略化されたクロック入力図を示しています。

MAX1434の規定のSNR性能を得るには、低クロックジッタが必要です。アナログ入力サンプリングはCLKの立上りエッジで行われるため、このエッジのジッタは可能な限り小さくする必要があります。ジッタはADCの最大SNR性能に限界を与え、それは次の式によります：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ここで、 f_{IN} はアナログ入力周波数を表し、 t_J は総システムクロックジッタです。

PLL入力(PLL1、PLL2、PLL3)

MAX1434は、入力クロックの5倍の周波数の出力クロック信号を生成するPLLを備えています。出力クロック信号は、MAX1434からデータをクロックアウトするために使われます(「システムタイミング要件」の項を参照)。表1に記載の入力クロック範囲に従って、PLL1、PLL2、およびPLL3ビットを設定してください。

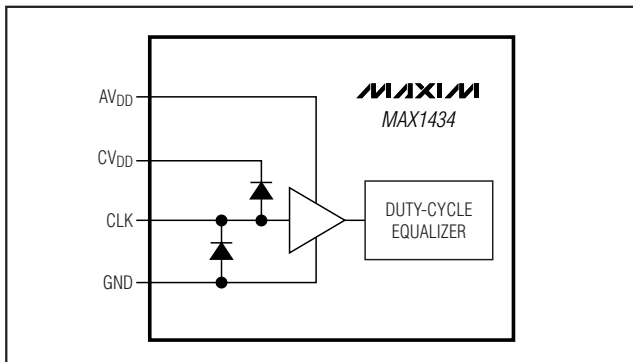


図2. クロック入力回路

表1. PLL1、PLL2、
およびPLL3の構成表

PLL1	PLL2	PLL3	INPUT CLOCK RANGE (MHz)	
			MIN	MAX
0	0	0	Unused	
0	0	1	39.0	50.0
0	1	0	27.0	39.0
0	1	1	19.5	27.0
1	0	0	13.5	19.5
1	0	1	9.8	13.5
1	1	0	6.8	9.8
1	1	1	4.8	6.8

システムタイミング要件

図3は、アナログ入力、入力クロック、フレーム整列出力、シリアルクロック出力、およびシリアルデータ出力間の関係を示しています。差動アナログ入力(IN_PおよびIN_N)はCLK信号の立上りエッジでサンプリングされ、得られたデータは6.5クロックサイクル後にデジタル出力に現れます。図4は、入力と出力間に関する詳細な2変換のタイミング図を示しています。

クロック出力(CLKOUTP、CLKOUTN)

MAX1434は、CLKOUTPとCLKOUTNから構成される差動クロック出力を備えています。図4に示すように、シリアル出力データはクロック出力の両エッジでMAX1434からクロックアウトされます。出力クロックの周波数は、CLKの周波数の5倍です。

フレーム整列出力(FRAMEP、FRAMEN)

MAX1434は、FRAMEPとFRAMENから構成される差動フレーム整列信号を備えています。図4に示すように、フレーム整列信号の立上りエッジは、10ビットシリアルデータストリームの先頭ビット(D0)に対応しています。フレームアライメント信号の周波数は、入力クロックの周波数と同じです。

シリアル出力データ(OUT_P、OUT_N)

MAX1434は、OUT_PとOUT_Nから構成される各差動出力を通じて変換結果を提供します。変換結果は、サンプルが取得されてから6.5入力クロックサイクル後に得られます。図3に示すように、出力データは、出力クロックの両エッジでLSB(D0)を先頭にクロックアウトされます。図5は、詳細なシリアル出力タイミング図を示しています。

シリアルLVDS出力付き、オクタル、 10ビット、50MSPS、1.8V ADC

MAX1434

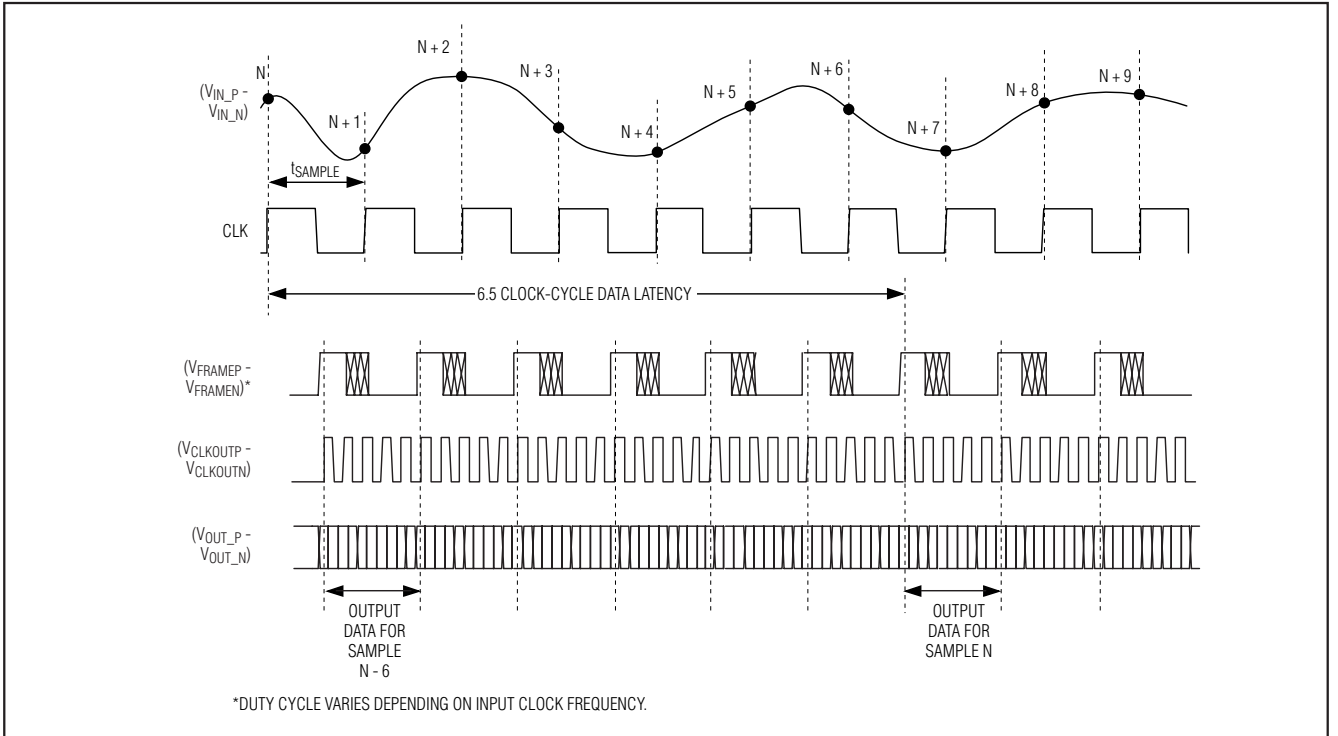


図3. グローバルタイミング図

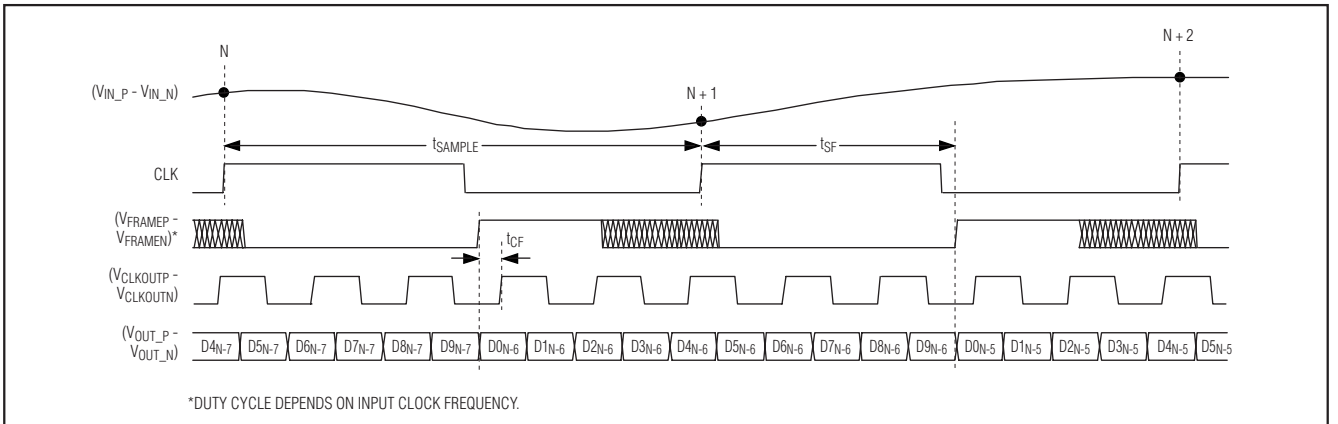


図4. 2変換タイミング詳細図

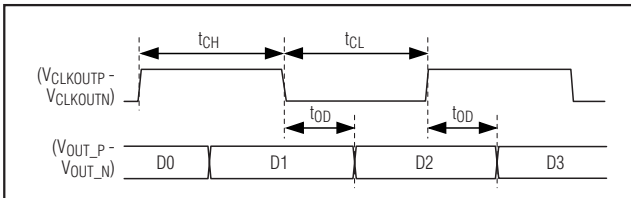


図5. シリアル化出力タイミング詳細図

シリアルLVDS出力付き、オクタル、 10ビット、50Mps、1.8V ADC

MAX1434

表2. 出力コード表(V_{REFIO} = 1.24V)

TWO'S-COMPLEMENT DIGITAL OUTPUT CODE ($\bar{T}/B = 0$)			OFFSET BINARY DIGITAL OUTPUT CODE ($\bar{T}/B = 1$)			V _{IN_P} - V _{IN_N} (mV) (V _{REFIO} = 1.24V)
BINARY D9 → D0	HEXADECIMAL EQUIVALENT OF D9 → D0	DECIMAL EQUIVALENT OF D9 → D0	BINARY D9 → D0	HEXADECIMAL EQUIVALENT OF D9 → D0	DECIMAL EQUIVALENT OF D9 → D0	
0111111111	0x1FF	+511	1111111111	0x3FF	+1023	+698.63
0111111110	0x1FE	+510	1111111110	0x3FE	+1022	+697.27
0000000001	0x001	+1	1000000001	0x201	+513	+1.37
0000000000	0x000	0	1000000000	0x200	+512	0
1111111111	0x3FF	-1	0111111111	0x1FF	+511	-1.37
1000000001	0x201	-511	0000000001	0x001	+1	-698.63
1000000000	0x200	-512	0000000000	0x000	0	-700.00

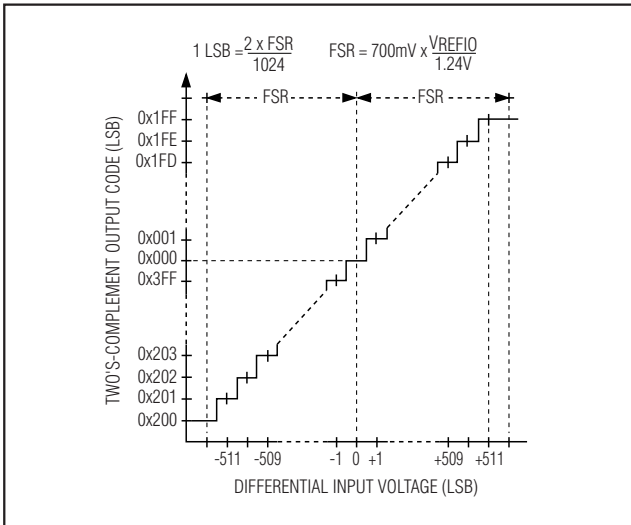


図6. 2の補数の伝達関数($\bar{T}/B = 0$)

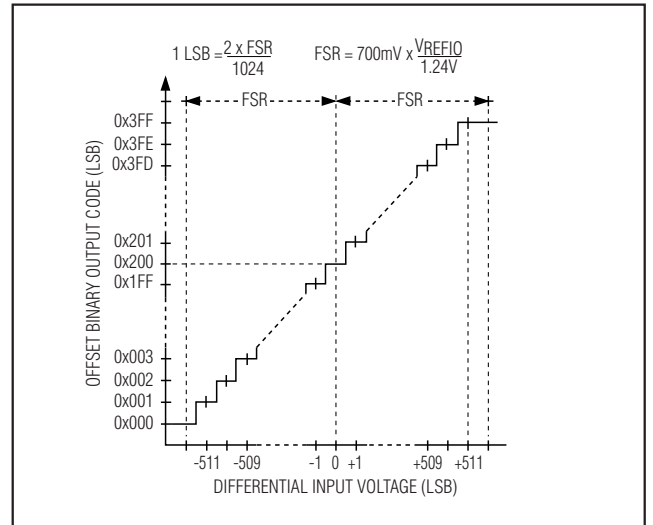


図7. バイナリの伝達関数($\bar{T}/B = 1$)

出力データ形式(\bar{T}/B)、伝達関数

MAX1434の出力データ形式は、ロジック入力 \bar{T}/B に応じて、オフセットバイナリか、または2の補数のいずれかの形式になります。 \bar{T}/B がローの場合は、出力データ形式は2の補数です。 \bar{T}/B が高い場合は、出力データ形式はオフセットバイナリです。次式、表2、図6および図7によって、デジタル出力とアナログ入力との関係が定義されます。2の補数($\bar{T}/B = 0$)の場合は：

$$V_{IN_P} - V_{IN_N} = FSR \times 2 \times \frac{CODE_{10}}{1024}$$

オフセットバイナリ($\bar{T}/B = 1$)の場合は、

$$V_{IN_P} - V_{IN_N} = FSR \times 2 \times \frac{CODE_{10} - 512}{1024}$$

ここで、CODE₁₀は、表2に示すようにデジタル出力コードの10進数に相当します。

MAX1434のデジタル出力の容量性負荷は、可能な限り小さくしてください。

シリアルLVDS出力付き、オクタル、10ビット、50MSPs、1.8V ADC

LVDSおよびSLVS信号(SLVS/LVDS)

MAX1434の出力(OUT_P、OUT_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMEN)をLVDSレベルとする場合はSLVS/LVDSをローにして、SLVSレベルの場合はSLVS/LVDSをハイにしてください。SLVSレベルの場合は、DTをハイに駆動して、2重終端をイネーブとしてください。LVDSおよびSLVSの出力電圧レベルについては、「電気的特性(Electrical Characteristics)」の表を参照してください。

LVDSテストパターン(LVDSTEST)

LVDSTESTをハイに駆動すると、すべてのLVDSまたはSLVS出力チャンネルにテストパターン出力をイネーブします。出力テストパターンは、0001011101です。通常動作にするには、LVDSTESTをローに駆動してください(テストパターンをディセーブルとする)。

コモンモード出力(CMOUT)

CMOUTは、DC結合アナログ入力用のコモンモードリファレンスを備えています。入力がDC結合される場合は、MAX1434を駆動する回路の出力コモンモード電圧と V_{CMOUT} の出力電圧を $\pm 50\text{mV}$ 以内に一致させてください。駆動回路の出力コモンモード電圧はCMOUTから作り出すことを推奨します。

2重終端(DT)

MAX1434は、差動出力ペア(OUT_PとOUT_N、CLKOUTPとCLKOUTN、FRAMEPとFRAMEN)の間にオプションの 100Ω 終端を内蔵しています。ラインの遠端部の終端のほか出力部に直接配置される終端も、ライン上の望ましくない反射を排除するのに役立ちます。トレース長が長く(5インチ以上)、またはインピーダンスが不整合のアプリケーションでは、この機能は有効です。2重終端を選択するにはDTをハイにし、また内蔵終端抵抗(単一終端)を分離するにはDTをローにしてください。2重終端を選択すると、 OV_{DD} の消費電流が増大します(図8を参照)。

パワーダウンモード(PD)

MAX1434は、変換が要求されないときに低電力状態に遷移して、電力を効率的に使用するパワーダウンモードを備えています。

PDはすべてのチャンネルと内部リファレンス回路のパワーダウンモードを制御します。パワーダウンをイネーブするには、PDをハイにしてください。パワーダウンモードでは、DTがローの場合は、LVDS/SLVSのすべての出力の出力インピーダンスは約 342Ω です。差動LVDS/SLVS出力の出力インピーダンスは、DTがハイの場合は、 100Ω です。パワーダウン時の標準的な消費電流については、「電気的特性(Electrical Characteristics)」の表を参照してください。以下は、パワーダウンモードにおけるアナログ入力とデジタル出力の状態を示しています。

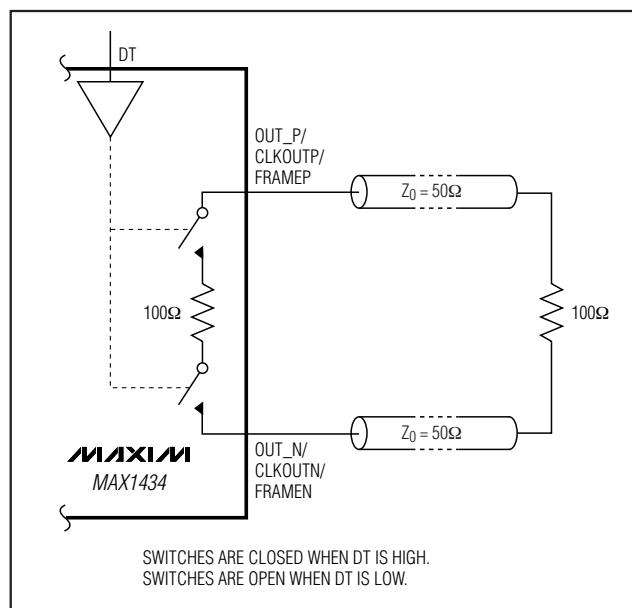


図8. 2重終端

- IN_P、IN_Nのアナログ入力は内部入力アンプから切断。
- REFIOは、GNDに対して $1\text{M}\Omega$ を超える抵抗を保持。
- OUT_P、OUT_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMENは、DTがローの場合は出力ペア間に約 342Ω を保持。DTがハイの場合は、差動出力ペアは各ペア間に 100Ω を保持。

内部リファレンスで動作している場合は、パワーダウンからのウェイクアップ時間は 100ms (typ)です(C_{REFP} とGND間、 C_{REFN} とGND間に $1\mu\text{F}$ を接続)。外部リファレンスを使用している場合は、ウェイクアップ時間は外部リファレンスドライバに依存します。

アプリケーション情報

内部リファレンスによるフルスケール範囲の調整

MAX1434は、 10% ($\pm 5\%$)のフルスケール調整範囲をサポートしています。フルスケール範囲を縮小するには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の外付け抵抗器またはポテンショメータ(R_{ADJ})をREFADJとGNDの間に接続してください。フルスケール範囲を拡大するには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の抵抗器をREFADJとREFIOの間に接続してください。図9は、2つの可能な構成を示しています。

次式は、 R_{ADJ} とアナログフルスケール範囲の変更との関係を示しています：

$$\text{FSR} = 0.7V \left(1 + \frac{1.25\text{k}\Omega}{R_{ADJ}} \right)$$

REFADJとREFIOの間に接続された R_{ADJ} の場合は：

シリアルLVDS出力付き、オクタル、 10ビット、50Mps、1.8V ADC

MAX1434

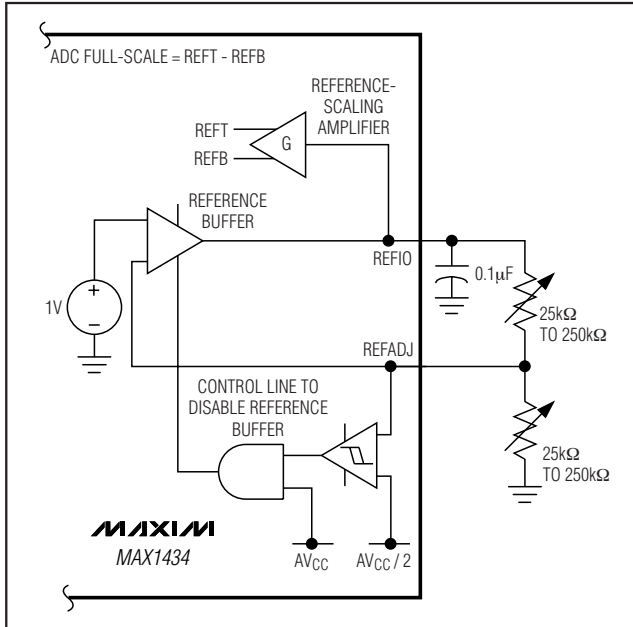


図9. ADCのフルスケール範囲を調整する回路案

$$FSR = 0.7V \left(1 - \frac{1.25k\Omega}{R_{ADJ}} \right)$$

REFADJとGNDの間に接続された R_{ADJ} の場合

トランス結合の使用

RFトランス(図10)は、シングルエンド入力源信号を完全差動信号に変換する卓越したソリューションを提供します。MAX1434の入力コモンモード電圧は、 $f_{CLK} = 50\text{MHz}$ の場合、 $0.76\text{V}(\text{typ})$ に内部でバイアスされます。ここでは1:1のトランスが示されていますが、ステップアップトランスを選択すると、駆動要件を緩和することができます。また、オペアンプなどの入力ドライバからの信号振幅が低減すると、全体的な歪みを改善することもできます。

グランド、バイパス、および基板レイアウト

MAX1434には、高速基板レイアウトの設計方法が必要です。基板レイアウトのリファレンスについては、MAX1434/MAX1436/MAX1437/MAX1438のEVキットのデータシートを参照してください。インダクタンスを最小限に抑えるために、表面実装デバイスを使って、全バイパスコンデンサをデバイスにできるだけ近接して、できればADCと同じ面に配置してください。0.1μFのセラミックコンデンサと並列に、0.1μFのセラミックコンデンサで AV_{DD} をGNDにバイパスしてください。2.2μF以上のセラミックコンデンサと並列に0.1μFのコンデンサで OV_{DD} をGNDにバイパスしてください。2.2μF以上のセラミックコンデンサと並列に

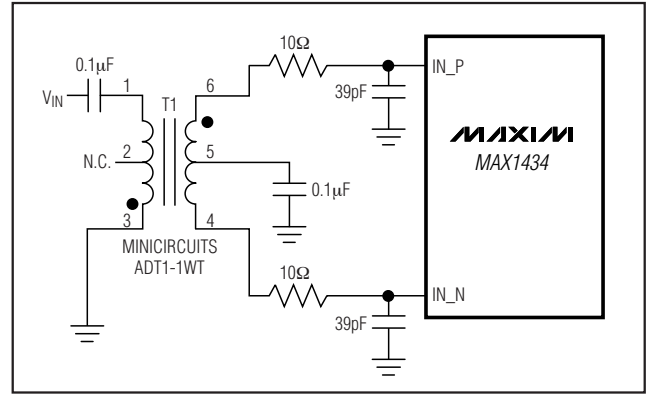


図10. トランス結合クロック入力駆動

0.1μFのセラミックコンデンサで CV_{DD} をGNDにバイパスしてください。

広いグランドプレーンと電源プレーンの多層基板は、最高レベルの信号完全性を実現します。MAX1434のグランドピンと裏面エクスポートパッドを同じグランドプレーンに接続してください。MAX1434は、低インダクタンスのグランド接続については裏面エクスポートパッドの接続に依存しています。グランドプレーンは、ノイズの多いデジタルシステムのグランドプレーンから隔離してください。

高速デジタル信号トレースは、敏感なアナログトレースから遠ざけて配線してください。すべての信号ラインは短くして、直角に曲げないでください。

差動アナログ入力回路のレイアウトを対称にして、すべての寄生要素を均等に平衡させてください。対称的な入力レイアウト例については、MAX1434/MAX1436/MAX1437/MAX1438のEVキットのデータシートを参照してください。

パラメータ定義

積分非直線性(INL)

積分非直線性は、実際の伝達関数の値の、直線からの偏差です。MAX1434の場合、この直線は、オフセット誤差および利得誤差がヌルにされた後の伝達関数の端点間に引かれます。INLの偏差は全ステップで測定され、ワーストケースの偏差は「電気的特性(Electrical Characteristics)」の表に示されています。

微分非直線性(DNL)

微分非直線性は、1 LSBの実際のステップの幅と理想値との差です。1 LSB以下のDNL誤差規格は、ミッシングコードのない単調伝達関数を保証しています。MAX1434の場合、DNLの偏差は全ステップで測定され、ワーストケースの偏差は「電気的特性(Electrical Characteristics)」の表に示されています。

シリアルLVDS出力付き、オクタル、10ビット、50MSPs、1.8V ADC

オフセット誤差

オフセット誤差は、実際の伝達関数がシングルポイントで理想的な伝達関数と一致している程度を示す性能指数です。MAX1434の場合は、アナログ入力全体にわたって-1/2のLSBがあると、理想的なミッドスケールデジタル出力遷移が行われます(図6および図7)。バイポーラオフセット誤差は、測定したミッドスケール遷移点と理想的なミッドスケール遷移点との偏差の大きさです。

利得誤差

利得誤差は、実際の伝達関数の傾きが理想的な伝達関数の傾きと一致している程度を示す性能指数です。MAX1434の場合は、測定されたフルスケール遷移点とゼロスケール遷移点との差から、理想的なフルスケール遷移点とゼロスケール遷移点との差を引いたものが利得誤差です。

バイポーラデバイス(MAX1434)の場合は、フルスケール遷移点は2の補数出力形式では0x1FE~0x1FFで(オフセットバイナリでは0x3FE~0x3FF)、ゼロスケール遷移点は2の補数で0x200~0x201です(オフセットバイナリでは0x000~0x001)。

クロストーク

クロストークは、各アナログ入力がある他のアナログ入力から分離されている程度を示します。MAX1434の場合は、あるチャンネルに5.3MHz、-0.5dBFSのアナログ信号が印加され、別のチャンネルに24.1MHz、-0.5dBFSのアナログ信号が印加されます。5.3MHzのアナログ信号が印加されたチャンネルで、FFTが実行されます。このFFTから、クロストークは5.3MHzと24.1MHzの振幅の差として測定されます。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから、実際のサンプルの取得時点までの時間です。図11を参照してください。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、アパーチャ遅延におけるサンプル間のばらつきです。図11を参照してください。

信号対ノイズ比(SNR)

デジタルサンプルから完全に再生された波形の場合、理論的最大SNRは、RMS量子化誤差(残留誤差)に対するフルスケールアナログ入力(RMS値)の比です。理想的な理論上の最小のアナログ-デジタル変換ノイズは量子化誤差によってのみもたらされ、ADCの分解能(Nビット)から次式によって直接的に求められます：

$$\text{SNR}_{\text{dB}[\text{max}]} = 6.02\text{dB} \times N \times 1.76\text{dB}$$

実際には、量子化ノイズのほかに、熱雑音、リファレンスノイズ、クロックジッタなどのその他のノイズ源があります。

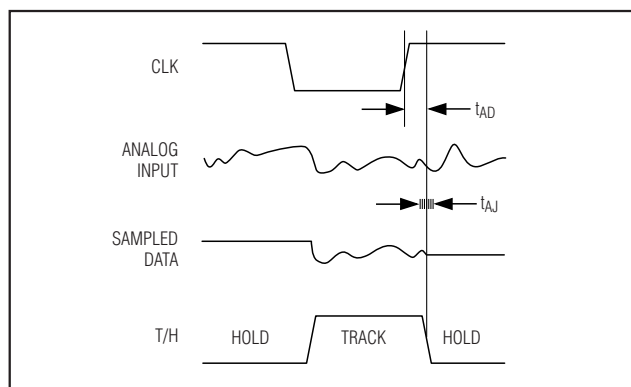


図11. アパーチャジッタ/遅延の規格

MAX1434の場合は、SNRを算出するには、RMSノイズに対するRMS信号の比を取ります。RMSノイズには、基本波、最初から6つの高調波(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

信号対ノイズ+歪み(SINAD)

SINADを算出するには、RMSノイズ+歪みに対するRMS信号の比を取ります。RMSノイズ+歪みには、基本波とDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

有効ビット数(ENOB)

ENOBによって、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能を規定します。理想的なADCの誤差は、量子化ノイズのみで構成されます。フルスケール正弦波入力波形に対するENOBは、次式から算出されます：

$$\text{ENOB} = \left(\frac{\text{SINAD} - 1.76}{6.02} \right)$$

全高調波歪み(THD)

THDは、基本波そのものに対する、入力信号の先頭から6つの高調波RMS合計の比です。これは、次式のように表されます：

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

スプリアスフリー、ダイナミックレンジ(SFDR)

SFDRは、2番目に大きなスプリアス成分(DCオフセットを除く)のRMS値に対する、基本波(最大信号成分)のRMS振幅の比をデシベルで表したものです。SFDRは、キャリアに対するデシベル値で表されます(dBc)。

シリアルLVDS出力付き、オクタル、 10ビット、50Msps、1.8V ADC

MAX1434

相互変調歪み(IMD)

IMDは、2つの入力トーン f_1 および f_2 の総入力パワーに対する、ナイキスト周波数までのIM2からIM5の相互変調積の総パワーです。各入力トーンレベルは、-6.5dBFSです。相互変調積は、以下のとおりです。

- 2次相互変調積(IM2) : $f_1 + f_2$ 、 $f_2 - f_1$
- 3次相互変調積(IM3) : $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$
- 4次相互変調積(IM4) : $3 \times f_1 - f_2$ 、 $3 \times f_2 - f_1$ 、 $3 \times f_1 + f_2$ 、 $3 \times f_2 + f_1$
- 5次相互変調積(IM5) : $3 \times f_1 - 2 \times f_2$ 、 $3 \times f_2 - 2 \times f_1$ 、 $3 \times f_1 + 2 \times f_2$ 、 $3 \times f_2 + 2 \times f_1$

3次相互変調(IM3)

IM3は、2つの入力トーン f_1 および f_2 の総入力パワーに対する、ナイキスト周波数までの3次相互変調積の総パワーです。各入力トーンレベルは、-6.5dBFSです。3次相互変調積は、 $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$ です。

小信号帯域幅

信号のスルーレートがADCの性能を制限しないように、-20.5dBFSのアナログ入力小信号がADCに印加されます。次に、デジタル化変換結果の振幅が-3dB低減するポイントまで入力周波数が掃引されます。

フルパワー帯域幅

-0.5dBFSのアナログ入力大信号がADCに印加され、デジタル化変換結果の振幅が-3dB低減するポイントまで入力周波数が掃引されます。この点が、フルパワー入力帯域幅周波数として定義されます。

利得マッチング

利得マッチングは、8つの全ADCチャンネルの利得が互いに一致している程度を示す性能指数です。MAX1434の場合は、同じ5.3MHz、-0.5dBFSのアナログ信号を全アナログ入力チャンネルに印加して、利得マッチングが測定されます。これらのアナログ入力は50Mspsでサンプリングされ、振幅の最大偏差は「電気的特性 (Electrical Characteristics)」の表に利得マッチングとしてdB単位で示されています。

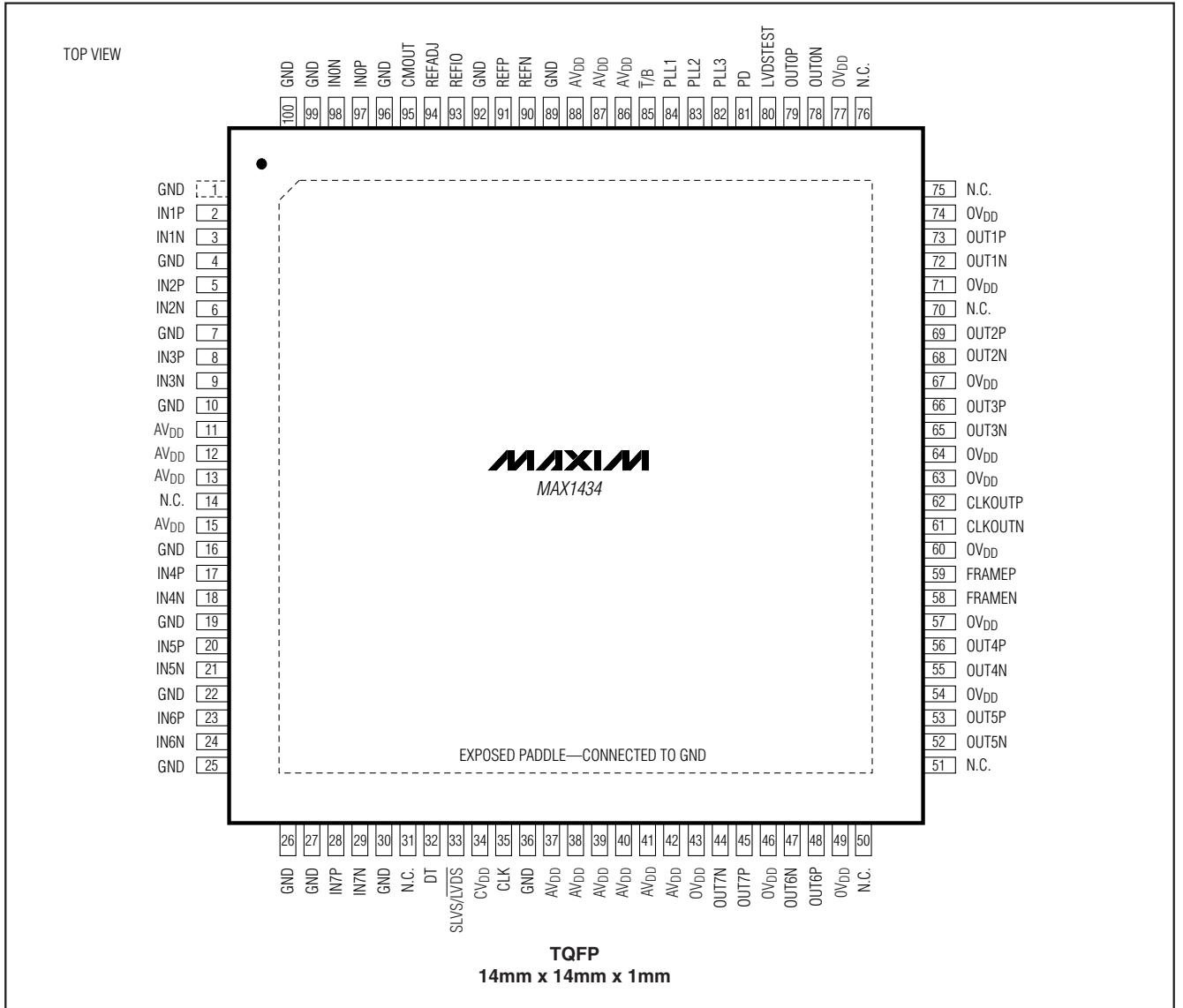
位相マッチング

位相マッチングは、8つの全ADCチャンネルの位相が互いに一致している程度を示す性能指数です。MAX1434の場合は、同じ5.3MHz、-0.5dBFSのアナログ信号を全アナログ入力チャンネルに印加して、位相マッチングが測定されます。これらのアナログ入力は50Mspsでサンプリングされ、位相の最大偏差は「電気的特性 (Electrical Characteristics)」表に位相マッチングとして度の単位で示されています。

シリアルLVDS出力付き、オクタル、 10ビット、50MSPs、1.8V ADC

MAX1434

ピン配置



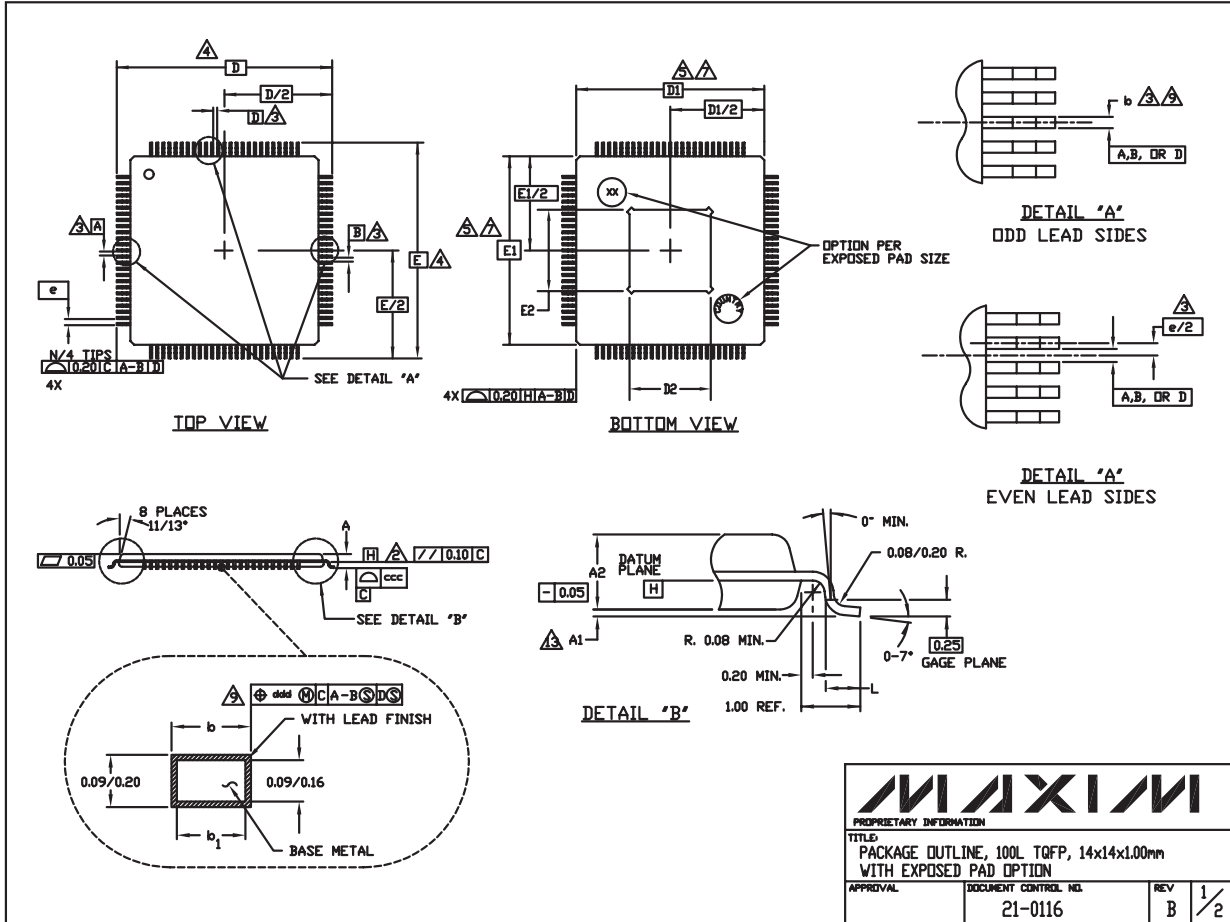
シリアルLVDS出力付き、オクタル、 10ビット、50Mps、1.8V ADC

MAX1434

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

For the MAX1434 exposed paddle variation, the package code is C100E-2.



14x14x1.00L TQFP, EXP. PAD:EPS

MAXIM			
PROPRIETARY INFORMATION			
TITLE PACKAGE OUTLINE, 100L TQFP, 14x14x1.00mm WITH EXPOSED PAD OPTION			
APPROVAL	DOCUMENT CONTROL NO. 21-0116	REV B	1/2

シリアルLVDS出力付き、オクタル、 10ビット、50Mps、1.8V ADC

MAX1434

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)


For the MAX1434 exposed paddle variation, the package code is C100E-2.

NOTES:

- ALL DIMENSIONING AND TOLERANCING CONFORM TO ASME Y14.5M-1994.
- DATUM PLANE [H] LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
- DATUM [A-B] AND [D] TO BE DETERMINED AT CENTERLINE BETWEEN LEADS WHERE LEADS EXITS PLASTIC BODY AT DATUM PLANE [H].
- TO BE DETERMINED AT SEATING PLANE [C].
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254mm ON D1 AND E1 DIMENSIONS.
- "N" IS THE TOTAL NUMBER OF TERMINALS.
- THESE DIMENSIONS TO BE DETERMINED AT DATUM PLANE [H].
- THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15mm.
- DIMENSIONS b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- CONTROLLING DIMENSION: MILLIMETER
- MAXIMUM ALLOWABLE DIE THICKNESS TO BE ASSEMBLED IN THIS PACKAGE FAMILY IS 0.50mm.
- THIS OUTLINE IS NOT YET JEDEC REGISTERED.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
- EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 0.05mm.
- METAL AREA OF EXPOSED DIE PAD SHALL BE WITHIN 0.30mm OF THE NOMINAL DIE PAD SIZE.
- COUNTRY OF ORIGIN MUST BE MARKED ON THE PACKAGE.

SYMBOL	ALL DIMENSIONS ARE IN MILLIMETERS			
	MIN.	NOM.	MAX.	NOTES
A	~	~	1.20	
A1	0.05	~	0.15	13
A2	0.95	1.00	1.05	
D	16.00 BSC.			4
D1	14.00 BSC.			7,8
E	16.00 BSC.			4
E1	14.00 BSC.			7,8
L	0.45	0.60	0.75	
N	100			
e	0.50 BSC.			
b	0.17	0.22	0.27	9
b1	0.17	0.20	0.23	
ccc	~	~	0.08	
ddd	~	~	0.08	

EXPOSED PAD VARIATIONS						
PKG. CODE	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
C100E-2	7.7	8.0	8.3	7.7	8.0	8.3
C100E-3	6.2	6.5	6.8	6.2	6.5	6.8
C100E-6	4.7	5.0	5.3	4.7	5.0	5.3



PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, 100L TQFP, 14x14x1.00mm WITH EXPOSED PAD OPTION

APPROVAL	DOCUMENT CONTROL NDL	REV	2/2
	21-0116	B	

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 23

© 2005 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.