

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

## 概要

MAX1401は、18ビット低電力マルチチャネル、シリアル出力アナログデジタルコンバータ(ADC)です。本ADCは、16ビット精度を実現するためにデジタルデシメーションフィルタ付のシグマ・デルタ変調器を使用しています。デジタルフィルタのデシメーション係数は選択可能になっているため、変換分解能を落として出力データ速度を速くすることができます。出力データ速度480spsまで真の16ビット性能を実現します。さらに、変調器のサンプリング周波数の最適化により、電力消費を最小にすること、あるいはスループット速度を最大にすることができます。MAX1401は+3V電源で動作します。

本デバイスは、利得を+1V/V~+128V/Vに個別設定できる3つの完全差動入力チャネルを備えています。さらに、選択されたフルスケール範囲の117%まで入力を基準としたDCオフセット(システムオフセット等)を補償できます。これら3つの差動チャネルは、5つの疑似差動入力チャネルとして設定することも可能です。利得及びオフセット誤差補正用に、2つの差動システムキャリブレーションチャネルが追加されています。付加的な信号処理のために、外部からマルチプレクサ出力にアクセスできるようになっています。

MAX1401は、全ての信号チャネルを順番にスキャンし、シリアルインタフェースを通じて結果を出力するように設定することもできます。この場合の通信オーバーヘッドは最小限で済みます。2.4576MHz又は1.024MHzのマスタークロックと共に使用した場合、ライン周波数及び関連する高調波におけるデジタルデシメーションフィルタの周波数応答をゼロにすることにより、ポストフィルタリングなしで優れたライン除去比を保証できます。

MAX1401は28ピンSSOPパッケージで提供されています。

## アプリケーション

- ポータブル工業用計器
- ポータブル重量計
- ループ駆動機器
- 圧カトランスデューサ

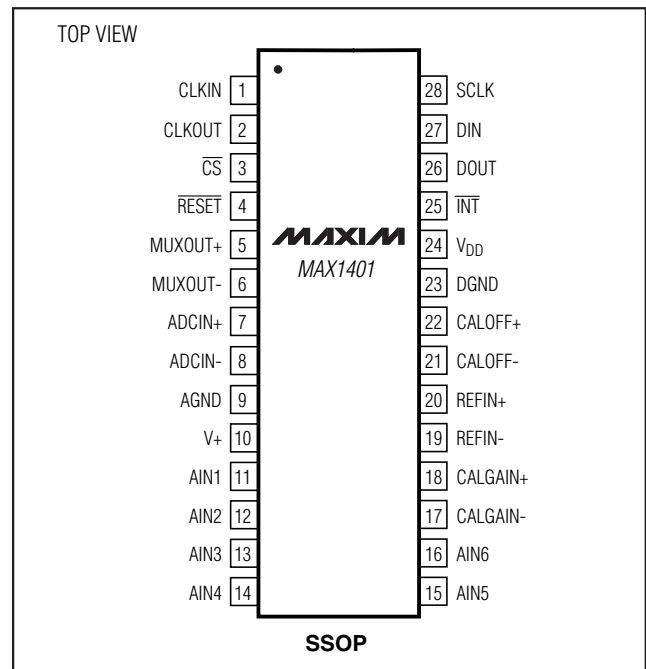
## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1401CAI	0°C to +70°C	28 SSOP
MAX1401EAI	-40°C to +85°C	28 SSOP

## 特長

- ◆ 分解能18ビットのシグマ・デルタADC
- ◆ 480spsまで分解能16ビットを保持  
(ミッシングコードなし)
- ◆ マルチプレクサ出力/ADC入力へのアクセスが可能
- ◆ 低自己消費電流  
250µA(動作モード)  
2µA(パワーダウンモード)
- ◆ 3つの完全差動又は5つの疑似差動信号入力チャネル
- ◆ 2つの完全差動キャリブレーションチャネル/  
補助入力チャネルを追加
- ◆ 利得及びオフセットは設定可能
- ◆ 完全差動リファレンス入力
- ◆ 連続又はオンコマンドで変換
- ◆ 自動チャネルスキャン及び連続データ出力モード
- ◆ アナログ及びデジタル電源：+2.7V~+3.6V
- ◆ 3線シリアルインタフェース：SPI™/QSPI™  
コンパチブル
- ◆ パッケージ：28ピンSSOP

## ピン配置



SPI及びQSPIはMotorola, Inc.の商標です。

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

## ABSOLUTE MAXIMUM RATINGS

V+ to AGND, DGND .....	-0.3V to +6V	Maximum Current Input into Any Pin .....	50mA
V <sub>DD</sub> to AGND, DGND .....	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
AGND to DGND .....	-0.3V to +0.3V	28-Pin SSOP (derate 9.52mW/°C above +70°C) .....	524mW
Analog Inputs to AGND .....	-0.3V to (V+ + 0.3V)	Operating Temperature Ranges	
Analog Outputs to AGND .....	-0.3V to (V+ + 0.3V)	MAX1401CAI .....	0°C to +70°C
Reference Inputs to AGND .....	-0.3V to (V+ + 0.3V)	MAX1401EAI .....	-40°C to +85°C
CLKIN and CLKOUT to DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	Storage Temperature Range .....	-60°C to +150°C
All Other Digital Inputs to DGND .....	-0.3V to +6V	Lead Temperature (soldering, 10s) .....	+300°C
All Digital Outputs to DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Noise-Free Resolution		No missing codes guaranteed by design; for filter settings with FS1 = 0	16			Bits
Output Noise		Depends on filter setting and selected gain	(Table 16)			
Integral Nonlinearity (Notes 1, 2)	INL	Bipolar mode; FS1 = 0; MF1, MF0 = 0	-0.0015		0.0015	%FSR
		FS1 = 0; MF1, MF0 = 1, 2, 3		±0.001		
Nominal Gain (Note 3)				0.98		
Unipolar Offset Error		Relative to nominal offset of 1% FSR	-1		2	%FSR
Unipolar Offset Drift		For gains of 1, 2, 4		0.5		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Bipolar Zero Error			-2.0		2.0	%FSR
Bipolar Zero Drift		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Positive Full-Scale Error (Note 4)		For gains of 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
		For gain of 128	-3.5		3.5	
Full-Scale Drift (Note 5)		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Gain Error (Note 6)		For gains of 1, 2, 4, 8, 16, 32, 64	-2		2	%FSR
		For gain of 128	-3		3	
Gain-Error Drift (Note 7)		For gains of 1, 2, 4, 8, 16, 32, 64		1		ppm/°C
		For gain of 128		5		
Bipolar Negative Full-Scale Error		For gains of 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
		For gain of 128	-3.5		3.5	
Bipolar Negative Full-Scale Drift		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

MAX1401

## ELECTRICAL CHARACTERISTICS (continued)

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>OFFSET DAC</b>							
Offset DAC Range (Note 8)		Unipolar mode		-116.7		116.7	%FSR
		Bipolar mode		-58.35		58.35	
Offset DAC Resolution		Unipolar mode			16.7		%FSR
		Bipolar mode			8.35		
Offset DAC Full-Scale Error		Input referred	Gain = 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
			Gain = 128	-3.5		3.5	
Offset DAC Zero-Scale Error					0		%FSR
Additional Noise from Offset DAC (Note 9)		DAC code = 0000			0		μV <sub>RMS</sub>
<b>ANALOG INPUTS/REFERENCE INPUTS</b> (Specifications for AIN and REF <sub>IN</sub> , unless otherwise noted.)							
Common-Mode Rejection	CMR	At DC			90		dB
		For filter notch 50Hz, ±0.02 · f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz (Note 10)			150		
		For filter notch 60Hz, ±0.02 · f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz (Note 10)			150		
Normal-Mode 50Hz Rejection (Note 10)	NMR	For filter notch 50Hz, ±0.02 · f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz			100		dB
Normal-Mode 60Hz Rejection (Note 10)	NMR	For filter notch 60Hz, ±0.02 · f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz			100		dB
Common-Mode Voltage Range (Note 11)		REF <sub>IN</sub> and AIN for BUFF = 0		V <sub>AGND</sub>		V+	V
Absolute Input Voltage Range		REF <sub>IN</sub> and AIN for BUFF = 0		V <sub>AGND</sub> - 30mV		V+ + 30mV	V
Absolute and Common-Mode AIN Voltage Range		BUFF = 1		V <sub>AGND</sub> + 200mV		V+ - 1.5	V
DC Input Leakage Current (Note 12)		REF <sub>IN</sub> and AIN for BUFF = 0	T <sub>A</sub> = +25°C		40		pA
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>			10	nA
AIN Input Current (Note 12)		BUFF = 1				10	nA
AIN Input Capacitance (Note 13)		BUFF = 0	Gain = 1		34		pF
			Gain = 2		38		
			Gain = 4		45		
			Gain = 8, 16, 32, 64, 128		60		
		BUFF = 1, all gains		30			
AIN Differential Voltage Range (Note 14)		Unipolar input range (U/ $\bar{B}$ bit = 1)			0 to V <sub>REF</sub> / gain		V
		Bipolar input range (U/ $\bar{B}$ bit = 0)			±V <sub>REF</sub> / gain		

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

## ELECTRICAL CHARACTERISTICS (continued)

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
AIN and REF <sub>IN</sub> Input Sampling Frequency	f <sub>s</sub>			(Table 15)		Hz
REF <sub>IN+</sub> - REF <sub>IN-</sub> Voltage (Note 15)		±5% for specified performance; functional with lower V <sub>REF</sub>			1.25	V
<b>LOGIC INPUTS</b>						
Input Current	I <sub>IN</sub>		-10		+10	μA
Input Low Voltage	V <sub>IL</sub>	All inputs except CLK <sub>IN</sub>			0.4	V
		CLK <sub>IN</sub> only			0.4	
Input High Voltage	V <sub>IH</sub>	All inputs except CLK <sub>IN</sub>	2			V
		CLK <sub>IN</sub> only	2.4			
Input Hysteresis	V <sub>HYS</sub>	All inputs except CLK <sub>IN</sub>		200		mV
<b>LOGIC OUTPUTS</b>						
Output Low Voltage (Note 16)	V <sub>OL</sub>	DOUT and $\overline{\text{INT}}$ , I <sub>SINK</sub> = 100μA			0.4	V
		CLK <sub>OUT</sub> , I <sub>SINK</sub> = 10μA			0.4	
Output High Voltage (Note 16)	V <sub>OH</sub>	DOUT and $\overline{\text{INT}}$ , I <sub>SOURCE</sub> = 100μA	V <sub>DD</sub> - 0.3			V
		CLK <sub>OUT</sub> , I <sub>SOURCE</sub> = 10μA	V <sub>DD</sub> - 0.3			
Floating-State Leakage Current	I <sub>L</sub>		-10		10	μA
Floating-State Output Capacitance	C <sub>O</sub>			9		pF
<b>TRANSDUCER BURN-OUT (Note 17)</b>						
Current	I <sub>BO</sub>			0.1		μA
Initial Tolerance				±10		%
Drift				±0.05		%/°C
<b>POWER REQUIREMENTS</b>						
V+ Voltage	V+	For specified performance	2.7		3.6	V
V <sub>DD</sub> Voltage	V <sub>DD</sub>		2.7		3.6	V
Power-Supply Rejection V+ (Note 18)	PSR			(Note 19)		dB

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

MAX1401

## ELECTRICAL CHARACTERISTICS (continued)

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>ANALOG POWER-SUPPLY CURRENT</b> (Measured with digital inputs at either DGND or V <sub>DD</sub> , external CLKIN, burn-out currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
V+ Standby Current (Note 20)		PD bit = 1, external clock stopped			1	10	μA
V+ Current	I <sub>V+</sub>	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	Buffers off	175	210	μA
				Buffers on	370	420	
			2.4576MHz	Buffers off	250	300	
				Buffers on	610	700	
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	Buffers off	245		mA
				Buffers on	610		
			2.4576MHz	Buffers off	0.42	0.55	
				Buffers on	1.2	1.5	
		4X mode, MF1 = 1, MF0 = 0	1.024MHz	Buffers off	0.42		mA
				Buffers on	1.2		
			2.4576MHz	Buffers off	1.8	2.2	
				Buffers on	4.8	6	
8X mode, MF1 = 1, MF0 = 1	1.024MHz	Buffers off	1.8		mA		
		Buffers on	4.8				
	2.4576MHz	Buffers off	1.8	2.2			
		Buffers on	4.8	6			
<b>DIGITAL POWER-SUPPLY CURRENT</b> (Measured with digital inputs at either DGND or V <sub>DD</sub> , external CLKIN, burn-out currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
V <sub>DD</sub> Standby Current (Note 20)		PD bit = 1, external clock stopped			1	10	μA
Digital Supply Current	I <sub>DD</sub>	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	70	200	μA	
			2.4576MHz	150	300		
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	0.08		mA	
			2.4576MHz	0.17	0.35		
		4X mode, MF1 = 1, MF0 = 0	1.024MHz	0.11			
			2.4576MHz	0.22	0.40		
		8X mode, MF1 = 1, MF0 = 1	1.024MHz	0.15			
			2.4576MHz	0.32	0.50		

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

## ELECTRICAL CHARACTERISTICS (continued)

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>POWER DISSIPATION</b> (V+ = V <sub>DD</sub> = +3.3V, digital inputs = 0 or V <sub>DD</sub> , external CLK <sub>IN</sub> , burn-out currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
Power Dissipation	PD	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	Buffers off	0.81	1.36	mW
				Buffers on	1.45	2.05	
			2.4576MHz	Buffers off	1.32	1.98	
				Buffers on	2.51	3.30	
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	Buffers off	1.08		
				Buffers on	2.28		
			2.4576MHz	Buffers off	1.95	2.97	
				Buffers on	4.53	6.11	
		4X mode, MF1 = 1, MF0 = 0	1.024MHz	Buffers off	1.75		
				Buffers on	4.32		
			2.4576MHz	Buffers off	6.67	8.58	
				Buffers on	16.6	21.2	
		8X mode, MF1 = 1, MF0 = 1	1.024MHz	Buffers off	6.44		
				Buffers on	16.4		
			2.4576MHz	Buffers off	7.0	8.91	
				Buffers on	16.9	21.45	
Standby Power Dissipation		(Note 20)		7	70	μW	

**Note 1:** Contact factory for INL limits applicable with FS1 = 0 and MF1, MF0 = 1, 2, or 3.

**Note 2:** To achieve optimum INL performance with the MAX1401, ensure that the PCB layout carefully shields the MUXOUT and ADC<sub>IN</sub> pins from any digital noise source. The MAX1401's INL is production tested with 150pF connected between MUXOUT+ and MUXOUT- to minimize the effect of differential coupling from the CLK<sub>IN</sub> and CLK<sub>OUT</sub> pins.

**Note 3:** Nominal gain is 0.98. This ensures a full-scale input voltage may be applied to the part under all conditions without causing saturation of the digital output data.

**Note 4:** Positive Full-Scale Error includes zero-scale errors (unipolar offset error or bipolar zero error) and applies to both unipolar and bipolar input ranges. This error does not include the nominal gain of 0.98.

**Note 5:** Full-Scale Drift includes zero-scale drift (unipolar offset drift or bipolar zero drift) and applies to both unipolar and bipolar input ranges.

**Note 6:** Gain Error does not include zero-scale errors. It is calculated as (full-scale error - unipolar offset error) for unipolar ranges and as (full-scale error - bipolar zero error) for bipolar ranges. This error does not include the nominal gain of 0.98.

**Note 7:** Gain-Error Drift does not include unipolar offset drift or bipolar zero drift. It is effectively the drift of the part if zero-scale error is removed.

**Note 8:** Use of the offset DAC does not imply that any input may be taken below AGND.

**Note 9:** Additional noise added by the offset DAC is dependent on the filter cutoff, gain, and DAC setting. No noise is added for a DAC code of 0000.

**Note 10:** Guaranteed by design or characterization; not production tested.

**Note 11:** The input voltage must be within the Absolute Input Voltage Range specification.

**Note 12:** All AIN and REF<sub>IN</sub> pins have identical input structures. Leakage is production tested only for the AIN3, AIN4, AIN5, CALGAIN, and CALOFF inputs.

**Note 13:** The dynamic load presented by the MAX1401 analog inputs for each gain setting is discussed in detail in the *Switching Network* section. Values are provided for the maximum allowable external series resistance. Note that this value does not include any additional capacitance added by the user to the MUXOUT\_ or ADC<sub>IN</sub>\_ pins.

**Note 14:** The input voltage range for the analog inputs is with respect to the voltage on the negative input of its respective differential or pseudo-differential pair. Table 5 shows which inputs form differential pairs.

**Note 15:** V<sub>REF</sub> = V<sub>REFIN+</sub> - V<sub>REFIN-</sub>.

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

**Note 16:** These specifications apply to CLKOUT only when driving a single CMOS load.

**Note 17:** The burn-out currents require a 500mV overhead between the analog input voltage and both V+ and AGND to operate correctly.

**Note 18:** Measured at DC in the selected passband. PSR at 50Hz will exceed 120dB with filter notches of 25Hz or 50Hz and FAST bit = 0. PSR at 60Hz will exceed 120dB with filter notches of 20Hz or 60Hz and FAST bit = 0.

**Note 19:** PSR depends on gain. For a gain of +1V/V, PSR is 70dB typical. For a gain of +2V/V, PSR is 75dB typical. For a gain of +4V/V, PSR is 80dB typical. For gains of +8V/V to +128V/V, PSR is 85dB typical.

**Note 20:** Standby power-dissipation and current specifications are valid only with CLKIN driven by an external clock and with the external clock stopped. If the clock continues to run in standby mode, the power dissipation will be considerably higher. When used with a resonator or crystal between CLKIN and CLKOUT, the actual power dissipation and I<sub>DD</sub> in standby mode will depend on the resonator or crystal type.

## TIMING CHARACTERISTICS

(V<sub>+</sub> = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, AGND = DGND, f<sub>CLKIN</sub> = 2.4576MHz, input logic 0 = 0V, logic 1 = V<sub>DD</sub>, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Notes 21, 22, 23)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Master Clock Frequency	f <sub>CLKIN</sub>	Crystal oscillator or clock externally supplied for specified performance (Notes 24, 25)	X2CLK = 0	0.4		2.5	MHz
		X2CLK = 1	0.8		5.0		
Master Clock Input Low Time	f <sub>CLKIN LO</sub>	t <sub>CLKIN</sub> = 1 / f <sub>CLKIN</sub> , X2CLK = 0	0.4 • t <sub>CLKIN</sub>			ns	
Master Clock Input High Time	f <sub>CLKIN HI</sub>	t <sub>CLKIN</sub> = 1 / f <sub>CLKIN</sub> , X2CLK = 0	0.4 • t <sub>CLKIN</sub>			ns	
$\overline{\text{INT}}$ High Time	t <sub>INT</sub>	X2CLK = 0, N = 2 <sup>(2 • MF1 + MF0)</sup>	280 / N			ns	
		X2CLK = 1, N = 2 <sup>(2 • MF1 + MF0)</sup>	560 / N				
$\overline{\text{RESET}}$ Pulse Width Low	t <sub>2</sub>		100			ns	
<b>SERIAL-INTERFACE READ OPERATION</b>							
$\overline{\text{INT}}$ to $\overline{\text{CS}}$ Setup Time (Note 10)	t <sub>3</sub>		0			ns	
SCLK Setup to Falling Edge $\overline{\text{CS}}$	t <sub>4</sub>		30			ns	
$\overline{\text{CS}}$ Falling Edge to SCLK Falling Edge Setup Time	t <sub>5</sub>		30			ns	
SCLK Falling Edge to Data Valid Delay (Notes 26, 27)	t <sub>6</sub>		0		100	ns	
SCLK High Pulse Width	t <sub>7</sub>		100			ns	
SCLK Low Pulse Width	t <sub>8</sub>		100			ns	
$\overline{\text{CS}}$ Rising Edge to SCLK Rising Edge Hold Time (Note 23)	t <sub>9</sub>		0			ns	
Bus-Relinquish Time After SCLK Rising Edge (Note 28)	t <sub>10</sub>		10		100	ns	
SCLK Rising Edge to $\overline{\text{INT}}$ High (Note 29)	t <sub>11</sub>				200	ns	

# +3V、18ビット低電力マルチチャンネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

## TIMING CHARACTERISTICS (continued)

( $V_+ = +2.7V$  to  $+3.6V$ ,  $V_{DD} = +2.7V$  to  $+3.6V$ ,  $AGND = DGND$ ,  $f_{CLKIN} = 2.4576MHz$ , input logic 0 = 0V, logic 1 =  $V_{DD}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Notes 21, 22, 23)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SERIAL-INTERFACE WRITE OPERATION</b>						
SCLK Setup to Falling Edge $\overline{CS}$	$t_{12}$		30			ns
$\overline{CS}$ Falling Edge to SCLK Falling Edge Setup Time	$t_{13}$		30			ns
Data Valid to SCLK Rising Edge Setup Time	$t_{14}$		30			ns
Data Valid to SCLK Rising Edge Hold Time	$t_{15}$		0			ns
SCLK High Pulse Width	$t_{16}$		100			ns
SCLK Low Pulse Width	$t_{17}$		100			ns
$\overline{CS}$ Rising Edge to SCLK Rising Edge Hold Time	$t_{18}$		0			ns

**Note 21:** All input signals are specified with  $t_R = t_F = 5ns$  (10% to 90% of  $V_{DD}$ ) and timed from a voltage level of 1.6V.

**Note 22:** See Figure 4.

**Note 23:** Timings shown in tables are for the case where SCLK idles high between accesses. The part may also be used with SCLK idling low between accesses, provided  $\overline{CS}$  is toggled. In this case, SCLK in the timing diagrams should be inverted and the terms "SCLK Falling Edge" and "SCLK Rising Edge" exchanged in the specification tables. If  $\overline{CS}$  is permanently tied low, the part should only be operated with SCLK idling high between accesses.

**Note 24:** CLKIN duty cycle range is 45% to 55%. CLKIN must be supplied whenever the MAX1401 is not in standby mode. If no clock is present, the device can draw higher current than specified.

**Note 25:** The MAX1401 is production tested with  $f_{CLKIN}$  at 2.5MHz (1MHz for some  $I_{DD}$  tests).

**Note 26:** Measured with the load circuit of Figure 1 and defined as the time required for the output to cross the  $V_{OL}$  or  $V_{OH}$  limits.

**Note 27:** For read operations, SCLK active edge is falling edge of SCLK.

**Note 28:** Derived from the time taken by the data output to change 0.5V when loaded with the circuit of Figure 1. The number is then extrapolated back to remove effects of charging or discharging the 50pF capacitor. This ensures that the times quoted in the timing characteristics are true bus-relinquish times and are independent of external bus loading capacitances.

**Note 29:**  $\overline{INT}$  returns high after the first read after an output update. The same data can be read again while  $\overline{INT}$  is high, but be careful not to allow subsequent reads to occur close to the next output update.

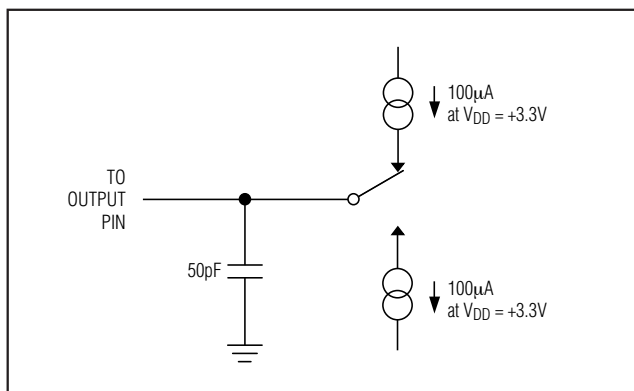


図1. バス放棄時間及び $V_{OL}$ と $V_{OH}$ レベルのための  
負荷回路

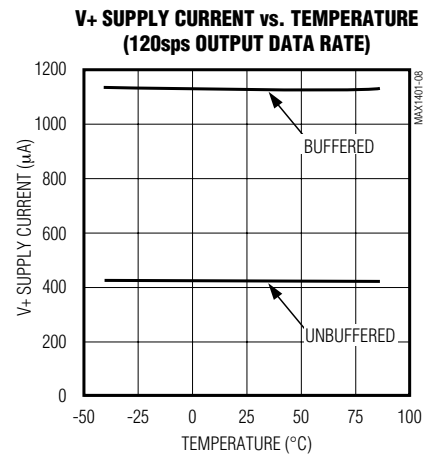
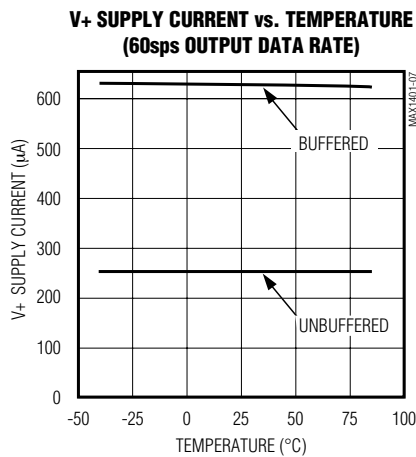
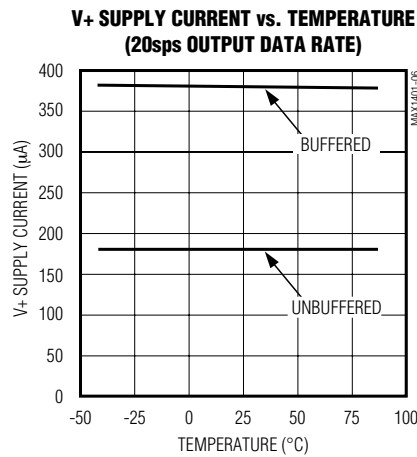
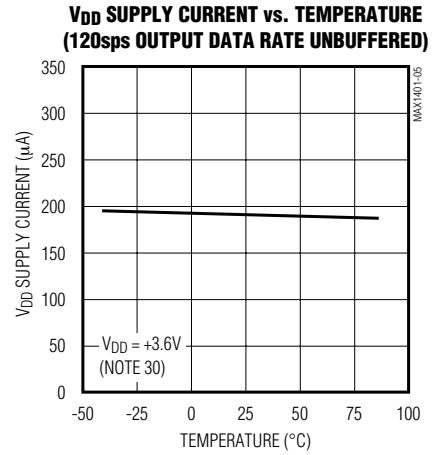
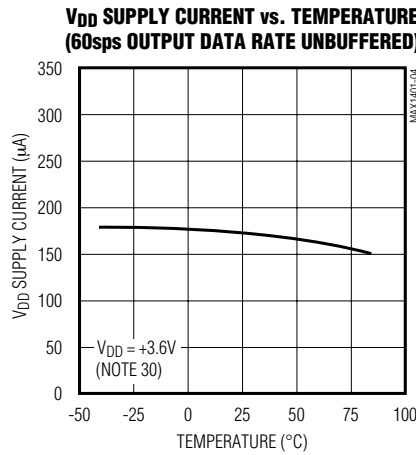
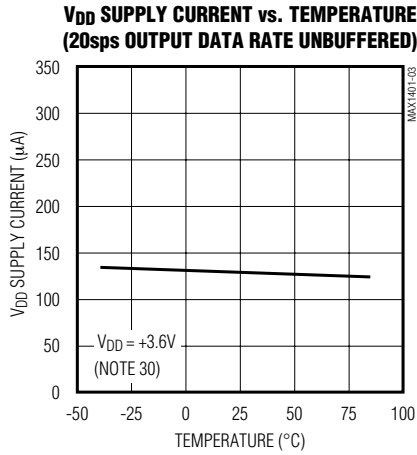
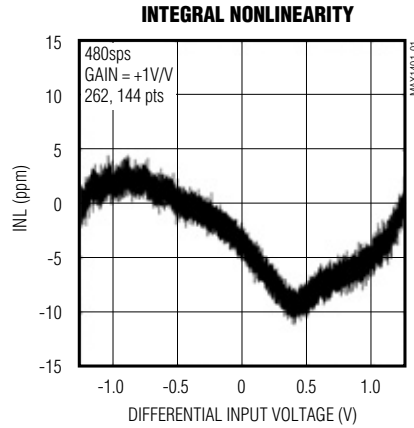
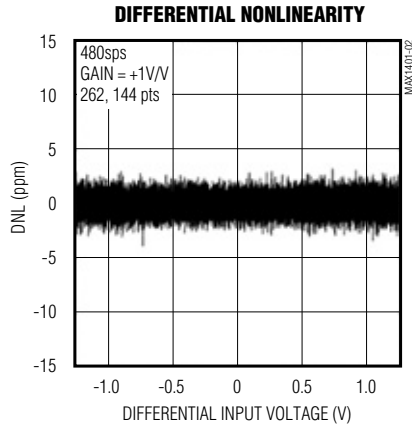


# +3V、18ビット低電力マルチチャンネル、 オーバーサンプリング(シグマ・デルタ)ADC

MAX1401

## 標準動作特性

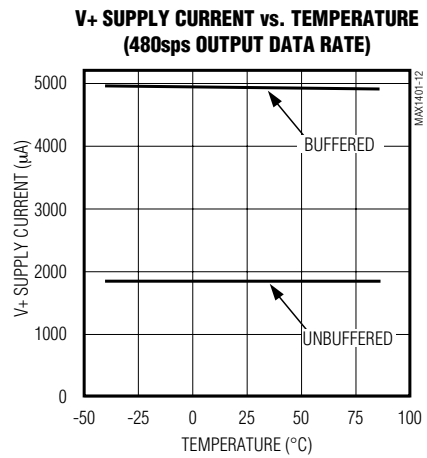
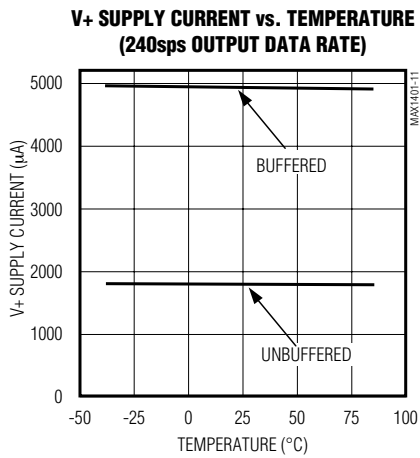
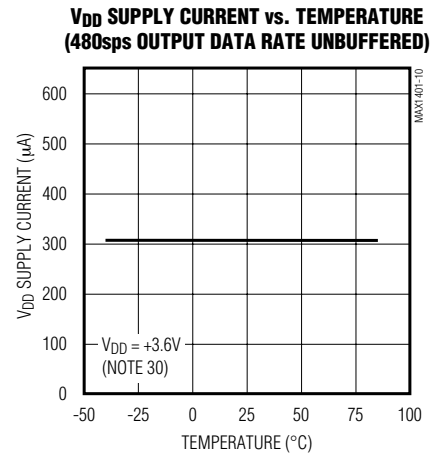
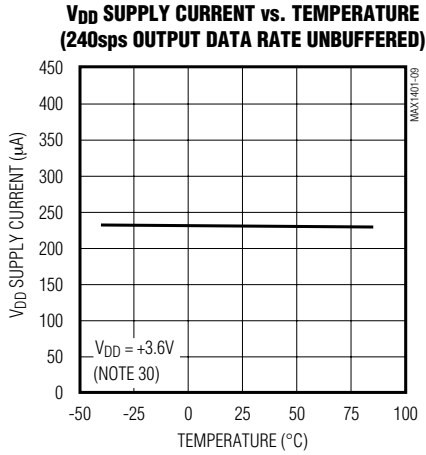
( $V_+ = +3V$ ,  $V_{DD} = +3V$ ,  $V_{REFIN+} = +1.25V$ ,  $REFIN- = AGND$ ,  $f_{CLKIN} = 2.4576MHz$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# +3V、18ビット低電力マルチチャンネル、 オーバサンプリング(シグマ・デルタ)ADC

## 標準動作特性(続き)

( $V_+ = +3V$ ,  $V_{DD} = +3V$ ,  $V_{REFIN+} = +1.25V$ ,  $REFIN- = AGND$ ,  $f_{CLKIN} = 2.4576MHz$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



**Note 30:** Minimize capacitive loading at CLKOUT for lowest  $V_{DD}$  supply current. *Typical Operating Characteristics* show  $V_{DD}$  current with CLKOUT loaded by 120pF.

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

MAX1401

## 端子説明

端子	名称	機能
1	CLKIN	クロック入力。CLKINとCLKOUTの間にクリスタルを接続できます。別方法としては、公称周波数2.4576MHz又は1.024MHzのCMOSコンパチブルクロックでCLKINを駆動し、CLKOUTは未接続にしておいて下さい。X2CLK制御ビットが1に設定されている場合は、周波数として4.9152MHz及び2.048MHzを使用することができます。
2	CLKOUT	クロック出力。マスタークロックをクリスタルから得る場合は、CLKINとCLKOUTの間にクリスタルを接続して下さい。このモードにおいては、内蔵クロック信号をCLKOUTで得ることはできません。CLKINを外部クロックで駆動する場合は、CLKOUTを未接続にしておいて下さい。
3	$\overline{CS}$	チップセレクト入力。デジタルインタフェースをイネーブルするために使用されるアクティブローロジック入力。 $\overline{CS}$ がハード配線でローに接続されている場合、MAX1401は3線インタフェースモードで動作し、SCLK、DIN及びDOUTがインタフェースに使用されます。 $\overline{CS}$ は、シリアルバスに2つ以上のデバイスが接続されているシステムにおいてデバイスを選択するため、あるいは連続SCLKが使用されている場合にMAX1401のフレーム同期信号として使用されます。
4	$\overline{RESET}$	アクティブローリセット入力。これをローにすると、制御ロジック、インタフェースロジック、デジタルフィルタ及びアナログ変調器がパワーオン状態にリセットされます。リセットが解除されるには、 $\overline{RESET}$ がハイとなり、CLKINがトグルしている必要があります。
5	MUXOUT+	正アナログマルチプレクサ出力。デバイスの内部入力マルチプレクサからの正差動出力信号です。この信号とMUXOUT-を組み合わせ、高品質外部アンプを使用して変換の前に付加的な信号処理を行うことができます。処理された出力はADCIN+及びADCIN-を通じて戻して下さい。外部処理が必要ない場合は、MUXOUT+を直接ADCIN+に接続して下さい。
6	MUXOUT-	負アナログマルチプレクサ出力。デバイスの内部入力マルチプレクサからの負差動出力信号です。この信号とMUXOUT+を組み合わせ、高品質外部アンプを使用して変換の前に付加的な信号処理を行うことができます。処理された出力はADCIN+及びADCIN-を通じて戻して下さい。外部処理が必要ない場合は、MUXOUT-を直接ADCIN-に接続して下さい。
7	ADCIN+	正アナログ入力。入力マルチプレクサをバイパスしてADCの正バッファ及び正差動入力端子に直接入力するための端子。この信号とADCIN-が差動入力ペアを形成します。直接アクセスが必要ない場合は、ADCIN+をMUXOUT+に接続して下さい。
8	ADCIN-	負アナログ入力。入力マルチプレクサをバイパスしてADCの負バッファ及び負差動入力端子に直接入力するための端子。この信号とADCIN+が差動入力ペアを形成します。直接アクセスが必要ない場合は、ADCIN-をMUXOUT-に接続して下さい。
9	AGND	アナロググランド。アナログ回路の基準点。AGNDはICサブストレートに接続されています。
10	V+	アナログ正電源電圧(+2.7~+3.6V)
11	AIN1	アナログ入力チャンネル1。AIN6をコモン端子とする疑似差動入力、あるいはAIN1/AIN2差動アナログ入力ペアの正入力として使用できます(「内蔵レジスタ」を参照)。
12	AIN2	アナログ入力チャンネル2。AIN6をコモン端子とする疑似差動入力、あるいはAIN1/AIN2差動アナログ入力ペアの負入力として使用できます(「内蔵レジスタ」を参照)。
13	AIN3	アナログ入力チャンネル3。AIN6をコモン端子とする疑似差動入力、あるいはAIN3/AIN4差動アナログ入力ペアの正入力として使用できます(「内蔵レジスタ」を参照)。
14	AIN4	アナログ入力チャンネル4。AIN6をコモン端子とする疑似差動入力、あるいはAIN3/AIN4差動アナログ入力ペアの負入力として使用できます(「内蔵レジスタ」を参照)。
15	AIN5	アナログ入力チャンネル5。AIN6と共に差動又は疑似差動入力として使用できます(「内蔵レジスタ」を参照)。
16	AIN6	アナログ入力チャンネル6。疑似差動入力モードにおけるAIN1~AIN5のコモン端子として、あるいはAIN5/AIN6差動アナログ入力ペアの負入力として使用できます(「内蔵レジスタ」を参照)。

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

## 端子説明(続き)

端子	名称	機能
17	CALGAIN-	負利得キャリブレーション入力。システム利得キャリブレーションに使用されます。完全差動入力ペア(CALGAIN+との組み合わせ)の負入力です。通常、これらの入力はシステム内のリファレンス電圧に接続されています。システム利得キャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALGAIN+/CALGAIN-入力ペアは付加的な完全差動入力チャネルとして使用できます。
18	CALGAIN+	正利得キャリブレーション入力。システム利得キャリブレーションに使用されます。完全差動入力ペア(CALGAIN-との組み合わせ)の正入力です。通常、これらの入力はシステム内のリファレンス電圧に接続されています。システム利得キャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALGAIN+/CALGAIN-入力ペアは付加的な完全差動入力チャネルとして使用できます。
19	REFIN-	負差動リファレンス入力。REFIN-はV+とAGNDの間にバイアスして下さい(REFIN+がREFIN-よりも高いことが条件です)。
20	REFIN+	正差動リファレンス入力。REFIN+はV+とAGNDの間にバイアスして下さい(REFIN+がREFIN-よりも高いことが条件です)。
21	CALOFF-	負オフセットキャリブレーション入力。システムオフセットキャリブレーションに使用されます。完全差動入力ペア(CALOFF+との組み合わせ)の負入力です。通常、これらの入力はシステム内のゼロリファレンス電圧に接続されています。システムオフセットキャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALOFF+/CALOFF-入力ペアは付加的な完全差動入力チャネルとして使用できます。
22	CALOFF+	正オフセットキャリブレーション入力。システムオフセットキャリブレーションに使用されます。完全差動入力ペア(CALOFF-との組み合わせ)の正入力です。通常、これらの入力はシステム内のゼロリファレンス電圧に接続されています。システムオフセットキャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALOFF+/CALOFF-入力ペアは付加的な完全差動入力チャネルとして使用できます。
23	DGND	デジタルグランド。デジタル回路の基準点。
24	VDD	デジタル電源電圧(+2.7V~+3.6V)。
25	$\overline{\text{INT}}$	割込み出力。ロジックローの場合、データレジスタから新しい出力ワードを読み取れることを意味します。出力ワード読取り動作が完了すると、INTはハイに戻ります。INTはデータの読取りが行われなくても短時間(長さはフィルタ及びクロック制御ビットで決定)だけハイに戻ります。ロジックハイの場合は、内部でアクティビティがあることを意味するため、読取り動作を行わないようにして下さい。また、INTはDOUTに有効なデータが出ていることを示すストロブを提供します(MDOUT = 1)。
26	DOUT	シリアルデータ出力。DOUTは、通信レジスタ、グローバルセットアップレジスタ、伝達関数レジスタ又はデータレジスタからの情報を含む内部シフトレジスタからデータを出力します。DOUTは、 $\Sigma$ - $\Delta$ 変調器からのデジタルビットストリームを直接供給することもできます(MDOUT = 1)。
27	DIN	シリアルデータ入力。DINのデータは入力シフトレジスタに書き込まれ、後で通信レジスタ、グローバルセットアップレジスタ、特殊関数レジスタ又は伝達関数レジスタに転送されます(どのレジスタかについては通信レジスタのレジスタ選択ビットに依存します)。
28	SCLK	シリアルクロック入力。MAX1401から及びMAX1401へのデータ転送を行うには、ここに外部シリアルクロックを印加して下さい。このシリアルクロックは連続的(データはパルストレインとして送信)でも間欠的でも構いません。CSを使用してデータ転送のフレーミングを行う場合は、変換の合間のSCLKはハイ、ローいずれも可能で、CSが希望のアクティブクロックエッジを決定します([クロック極性の選択]を参照)。CSが恒久的にローに接続されている場合は、データの転送の合間でSCLKをハイにアイドルリングする必要があります。

# +3V、18ビット低電力マルチチャンネル、 オーバーサンプリング(シグマ・デルタ)ADC

## 詳細

### 回路の説明

MAX1401は、重量計や圧カトランスデューサ等のダイナミックレンジの広いアプリケーション用に設計された低電力マルチチャンネル、シリアル出力シグマ・デルタADCです。図2のファンクションダイアグラムは、スイッチングネットワーク、変調器、PGA、2つのバッファ、発振器、内蔵デジタルフィルタ及び双方向性シリアル通信ポートを含んでいます。

3つの完全差動入力チャンネルがスイッチングネットワークに接続されています。それらのチャンネルは、それぞれ利得を+1V/V~+128V/Vの範囲で設定できるようになっています。これら3つの差動チャンネルは、5つの疑似差動入力チャンネルとして動作するように設定することもできます。2つの付加的な完全差動システムキャリブレーションチャンネルにより、システム利得誤差及びオフセット誤差を測定できます。専用の利得及びオフセット誤差補正チャンネルが必要な場合、これらのシステムキャリブレーションチャンネルは付加的な差動信号チャンネルとして使用できます。

選択された入力をPGAと変調器の容量性負荷から分離するために、2つのチョップ安定化バッファが提供され

ています。3つの独立したDACによって、各差動入力チャンネルの入力信号のDC成分が補償されます。

シグマ・デルタ変調器は、入力信号をデジタルパルスストレインに変換します(平均デューティサイクルが数値化信号情報を表現します)。このパルスストレインが次にデジタルデシメーションフィルタによって処理され、16ビット以上の変換精度を実現します。デジタルフィルタのデシメーション係数をユーザが選択できるため、変換結果の分解能を低減して出力データ速度を高くすることができます。2.4576MHz又は1.024MHzのマスタークロックと共に使用した場合、ライン周波数及び関連する高調波におけるデジタルデシメーションフィルタの周波数応答をゼロに設定することができます。これにより、ポストフィルタリングなしで優れたライン除去比を保證できます。さらに、変調器のサンプリング周波数は電力消費を最小にするか、あるいはスループット速度を最大にするように最適化することができます。

MAX1401は、全ての信号チャンネルを順番にスキャンし、シリアルインタフェースを通じて結果を出力するように設定することもできます。この場合の通信オーバーヘッドは最小限で済みます。出力ワードは、各変換結果のソースを示す結果識別タグを含んでいます。

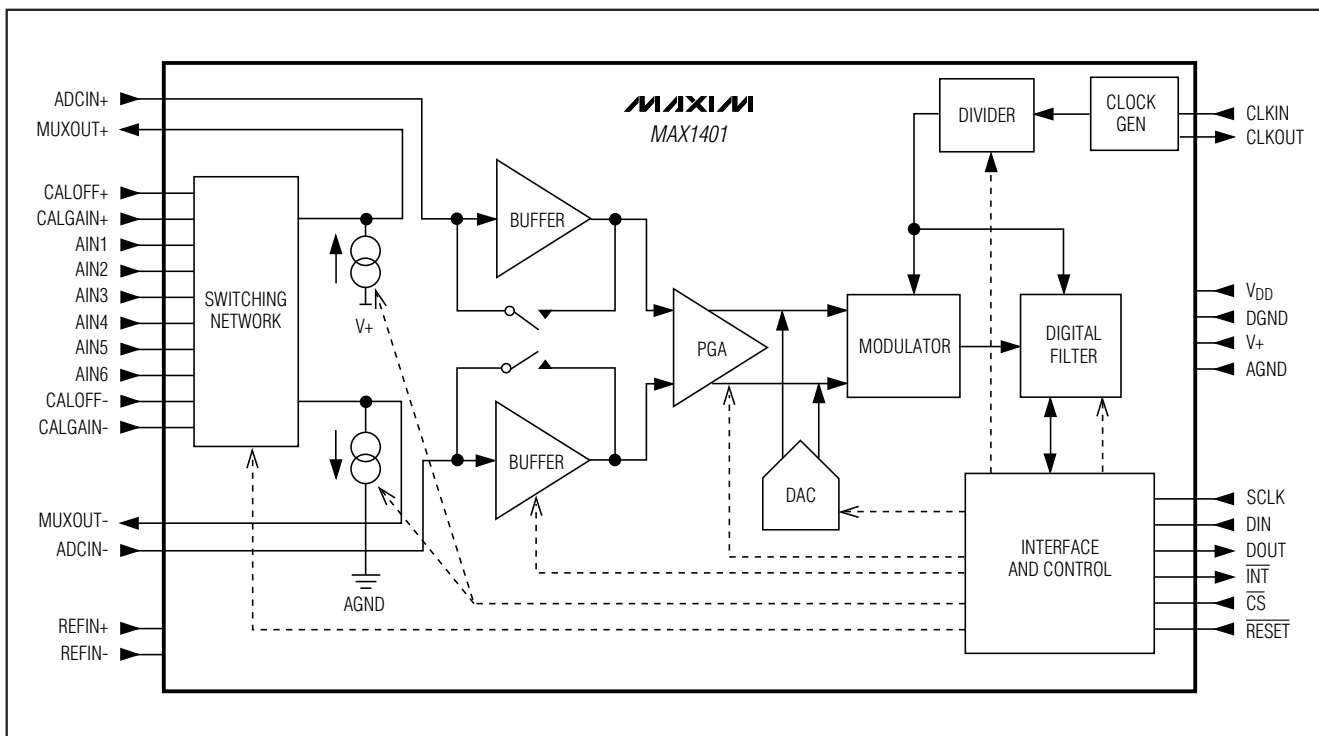


図2. ファンクションダイアグラム

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

MAX1401

## シリアルデジタルインタフェース

本デバイスは、シリアルデジタルインタフェースを通じて8つの内蔵レジスタにアクセスすることができます(図3)。全てのシリアルインタフェースコマンドは、通信レジスタ(COMM)への書き込みで始まります。本デバイスは、パワーアップ、システムリセット又はインタフェースリセット時に通信レジスタへの書き込みを予期します。COMMレジスタへのアクセスはスタートビット0で始まります。COMMレジスタのR/ $\bar{W}$ ビットは読取り又は書き込み動作を選択し、レジスタ選択ビット(RS2、RS1、RS0)がアドレス指定されるべきレジスタを選択します。COMM又は他のレジスタに書き込んでいない時はDINをハイに保持して下さい(表1)。

シリアルインタフェースは、 $\bar{CS}$ 、SCLK、DIN、DOUT及びINTの5つの信号からなっています。SCLKのクロックパルスがビットをDINにシフトインし、DOUTからシフトアウトします。INTはデータの準備ができたことを知らせます。 $\bar{CS}$ はデバイスのチップセレクト入力であると同時に、クロック極性選択入力となっています(図4)。

$\bar{CS}$ を使用すると、いくつかのSPIコンパチブルデバイス間でSCLK、DIN及びDOUT信号を共有できます。I/Oピンが足りない場合は、 $\bar{CS}$ をローに接続し、SCLK、DIN及びDOUTを使用してシリアルデジタルインタフェースをCPOL=1、CPHA=1モードで動作させて下さい。この3線インタフェースモードは光絶縁アプリケーションに最適です。さらに、MAX1401は読取りサイクル中にのみDOUTを駆動するため、マイクロコントローラ(PIC16C54又は80C51等)は、単一の双方向性I/Oピンを使用してDINへの送信及びDOUTからの受信の両方(「アプリケーション情報」を参照)を行うことができます。さらに、INT信号をハードウェア割込みに接続すると、高速スループットが可能になり、また信頼性が高く、衝突のないデータフローが可能になります。

MAX1401は、生の変調器データ出力にアクセスできるモードを備えています。このモードにおいては、DOUTとINTの機能が変更されます(「変調器データ出力」を参照)。

表1. 制御レジスタのアドレス指定

RS2	RS1	RS0	TARGET REGISTER
0	0	0	Communications Register
0	0	1	Global Setup Register 1
0	1	0	Global Setup Register 2
0	1	1	Special Function Register
1	0	0	Transfer Function Register 1
1	0	1	Transfer Function Register 2
1	1	0	Transfer Function Register 3
1	1	1	Data Register

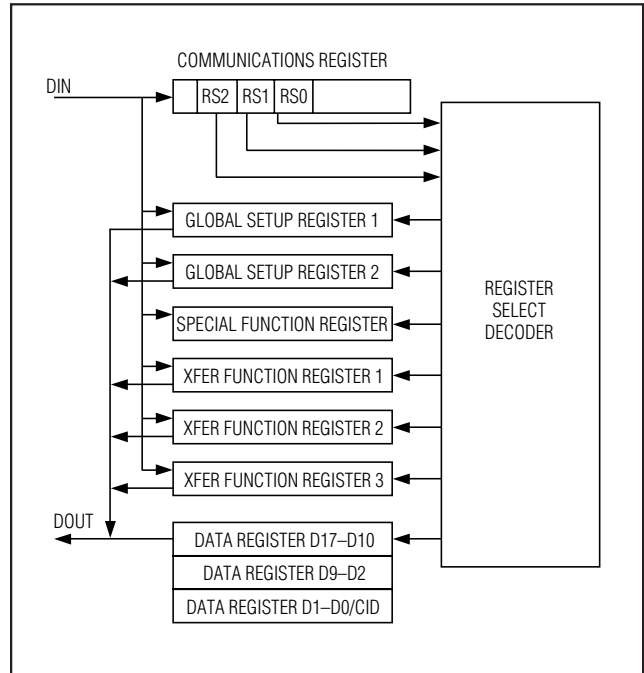


図3. レジスタのまとめ

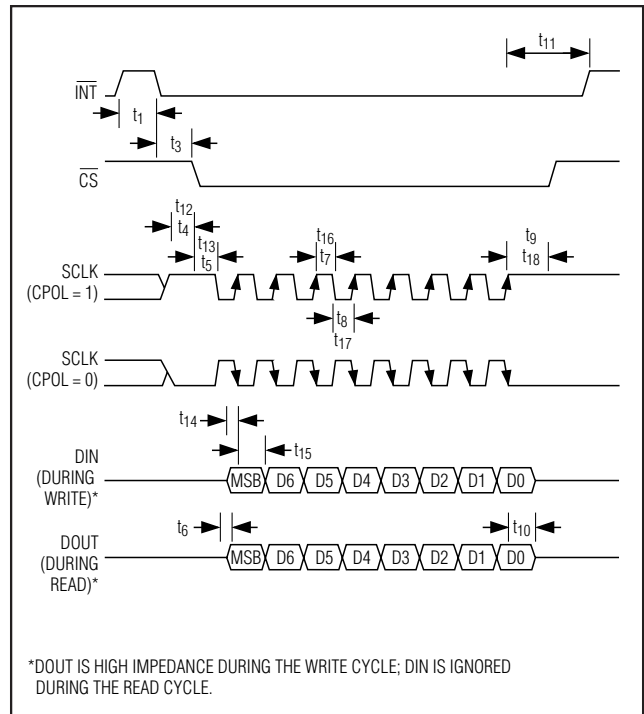


図4. シリアルインタフェースのタイミング



# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

## クロック極性の選択

シリアルインタフェースは、クロックがハイ又はローにアイドルしている状態で動作できます。これは、モトローラ社のSPIインタフェースをCPOL = 1、CPHA = 1又はCPOL = 0及びCPHA = 1モードで動作させた場合とコンパチブルです。クロック極性は、CSの立下がりエッジにおけるSCLKの状態をサンプリングすることによって求めて下さい。セットアップ時間 $t_4/t_{12}$ 及び $t_5/t_{13}$ に違反しないように注意して下さい。CSがグラウンドに接続されていると、CSに立下がりエッジがないため、SCLKをハイでアイドルする必要がある場合があります(CPOL = 1、CPHA = 1)。

## データレディ信号(DRDYビットが真、又はINT = ロー)

データレディ信号は、24ビットデータレジスタから新しいデータを読み取ることができることを知らせます。データレジスタの読み取りに成功すると、データレディ信号は偽になります。データが読まれる前に新しい測定が完了すると、データレディ信号は偽になります。データレジスタに新しいデータが準備されると、データレディ信号は再び真になります。

MAX1401は、データレディ信号を監視する方法を2つ提供しています。INTはハードウェア法(データがアクセス可能になった時にアクティブロー)を提供し、COMMレジスタのDRDYビットはソフトウェア法(アクティブハイ)を提供します。

データレディが真になった時点で、できるだけ早くデータを読み取って下さい。これは、測定速度が速いほど重要になります。データ読み取りが大幅に遅れると、衝突が起こる可能性があります。データレジスタの読み取り動作中に新しい測定が完了すると衝突が起こります。衝突が起こると、データレジスタ内の情報は無効になります。データは無効になりますが、それでもこの無効な読み取り動作は完了される必要があります。

## インタフェースのリセット

32個の1を同期入力すると、シリアルインタフェースがリセットされます。インタフェースをリセットしても内部レジスタは影響を受けません。

連続データ出力モードを使用している場合は、8個の0を入力してから32個の1を入力して下さい。先頭の0が全ての動作のスタートビットとして使用されるため、32個を超える1を同期入力しても構いません。

## 通信レジスタ

最初のビット(MSB)

(LSB)

FUNCTION	DATA RDY	REGISTER SELECT BITS						
Name	0/DRDY	RS2	RS1	RS0	R/W	RESET	STDBY	FSYNC
Defaults	0	0	0	0	0	0	0	0

## 連続データ出力モード

入力チャネルをスキャンしている場合(SCAN = 1)、シリアルインタフェースでCOMMレジスタへの書込みを行わずにデータレジスタを繰り返し読み取ることが可能です。最初のCOMM書込み(01111000)の後に24ビットのデータレジスタを読み取るための24クロック(DIN = ハイ)が続きます。データレジスタが読み取られた後、次の変換の後でもう一度24クロック(DIN = ハイ)を書き込むことにより再び読み取りが可能になります。COMMレジスタに任意の有効なアクセスを書き込むことにより、連続データ出力モードを終了させることができます。

## 変調器データ出力(MDOUT = 1)

MDOUT = 1の場合、カスタムフィルタリング用にシングルビットの生の変調器データをDOUTから得ることができます。INTはデータ同期用の変調器クロックを提供します。データはINTの立下がりエッジで有効になります。書込み動作は引き続き実行できますが、読み取り動作はディセーブルされます。MDOUTが0に戻った後は、通常のシリアルインタフェース読み取り動作で有効データにアクセスできます。

## 内蔵レジスタ

### 通信レジスタ

**0/DRDY** : (デフォルト = 0)データレディビット。書込みの時はこのビットを0にリセットして通信レジスタデータワードの開始を知らせる必要があります。読み取りの時は、ここ(0/DRDY)に1があると、データレジスタに有効なデータが準備されていることを意味します。このビットはデータレジスタが読み取られた後にリセットされます。データが読み取られなかった場合、0/DRDYは次の測定の最後でローになります。

**RS2, RS1, RS0** : (デフォルト = 0, 0, 0)レジスタ選択ビット。これらのビットはアクセスされるレジスタを選択します(表1)。

**R/W** : (デフォルト = 0)読み取り/書込みビット。ハイに設定されると、選択されたレジスタが読み取られます。R/W = 0の場合、選択されたレジスタに書き込まれます。

**RESET** : (デフォルト = 0)ソフトウェアリセットビット。このビットをハイに設定すると、デバイスはデフォルトのパワーアップ状態にリセットされます(RESET = 0)。

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

**STDBY** : (デフォルト=0)スタンバイパワーダウンビット。STDBYビットをセットすると、デバイスはスタンバイ状態になり、シリアルインタフェースとCLK発振器以外の全てがシャットダウンします。

**FSYNC** : (デフォルト=0)フィルタ同期ビット。FSYNC=0の時、変換はCLK、FS1、FS0、MF1及びMF0ビットによって決まるデータレートで自動的に実行されます。FSYNC=1の場合は、デジタルフィルタ及びアナログ変調器がリセット状態に保持され、通常の自己タイミング動作が禁止されます。このビットは、オンコマンドで変換して有効な出力データへのセトリング時間を最小限に抑えるため、あるいはいくつかのMAX1401の動作を同期させるために使用できます。FSYNCは、シリアルインタフェースや0/DRDYフラグをリセットしません。FSYNCがアクティブの時に0/DRDYをクリアするには、データレジスタの読み取りを実行して下さい。

## グローバルセットアップレジスタ1

**A1、A0** : (デフォルト=0、0)チャネル選択制御ビット。表8、9及び10に従って、これらのビット(及びDIFF、M1及びM0ビットの状態)が変換のために選択されるチャネルを決定します。SCANビットがセットされていると、これらのビットは無視されます。

**MF1、MF0** : (デフォルト=0、0)変調器周波数ビット。MF1及びMF0はCLKIN発振器周波数の変調器動作周波数に対する比を決定します。これらは出力データレート、デジタルフィルタノッチ周波数の位置及びデバイスの電力消費に影響を与えます。MF1=0及びMF0=0の時に電力消費が最小になります。これらのビットが1、1に設定されると、電力消費が最大になり、出力データレートが最高速になります(表2)。

**CLK** : (デフォルト=1)CLKビット。CLKビットはX2CLKとの組み合わせでMAX1401にCLKIN入力信号の周波数を知らせます。CLK=0の場合、CLKIN入力周波数として1.024MHz(X2CLK=1の場合は2.048MHz)が予想されます。CLK=1の場合、CLKIN入力周波数として2.4576MHz(X2CLK=1の場合は4.9152MHz)が予想されます。このビットはデジタルフィルタのデシメー

ション係数に影響し、最終的に出力データレートに影響します(表2)。

**FS1、FS0** : (デフォルト=0、1)フィルタ選択ビット。これらのビット(及びCLKビット)がデジタルフィルタのデシメーション比を制御します。出力データレート、デジタルフィルタ周波数応答ノッチの位置及び出力結果に存在するノイズがこれらのビットによって決まります(表2)。

**FAST** : (デフォルト0)高速ビット。FAST=0の時、デジタルフィルタは変調器のデータストリームに対してSINC<sup>3</sup>フィルタ機能を果たします。出力データレートはCLK、FS1、FS0、MF1及びMF0ビットの値によって決まります(表2)。SINC<sup>3</sup>機能のセトリング時間は $3 \cdot [1/(\text{出力データレート})]$ です。SINC<sup>3</sup>モードになっているMAX1401は、(有為な設定変更の後)セトリングしたデータが準備できるまで自動的にDRDY信号を偽に保持します。FAST=1の時は、デジタルフィルタが変調器のデータストリームに対してSINC<sup>1</sup>フィルタ機能を果たします。このフィルタ機能によって達成される信号雑音比はSINC<sup>3</sup>の場合よりも小さくなりますが、SINC<sup>3</sup>はセトリングに少なくとも3出力サンプル周期を要するのに対して、SINC<sup>1</sup>は単一の出力サンプル周期内にセトリングします。SINC<sup>1</sup>モードからSINC<sup>3</sup>モードに切り換えると、フィルタが完全にセトリングした後でDRDYフラグの発生が止まり、再び発生します。このモード変更には少なくとも3サンプルを要します。

## グローバルセットアップレジスタ2

**SCAN** : (デフォルト=0)スキャンビット。このビットを1に設定すると、DIFF、M1及びM0の設定に従って入力チャネルの順次スキャンが行われます(「スキャン(SCANモード)」を参照)。SCAN=0の時、MAX1401はA1、A0、DIFF、M1及びM0で選択された特定のチャネルを繰り返し測定します(表4)。

**M1、M0** : (デフォルト0、0)モード制御ビット。これらのビットはキャリブレーションチャネルCALOFF及びCALGAINへのアクセスを制御します。SCAN=0の時、M1=0及びM0=1に設定するとCALOFF入力を選択され、

## グローバルセットアップレジスタ1

最初のビット(MSB)

(LSB)

FUNCTION	CHANNEL SELECTION		MODULATOR FREQUENCY		FILTER SELECTION			
Name	A1	A0	MF1	MF0	CLK	FS1	FS0	FAST
Defaults	0	0	0	0	1	0	1	0

## グローバルセットアップレジスタ2

最初のビット(MSB)

(LSB)

FUNCTION		MODE CONTROL						
Name	SCAN	M1	M0	BUFF	DIFF	BOUT	RESERVED	X2CLK
Defaults	0	0	0	0	0	0	0	0



# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

M1 = 1 及び M0 = 0 に設定すると CALGAIN 入力を選択されます(表3)。SCAN = 1 で M1 ≠ M0 の場合、スキャンシーケンスには CALOFF と CALGAIN 入力の両方が含まれます(表4)。SCAN が 1 に設定され、デバイスが使用可能な入力チャネルをスキャンしている時にどちらかのキャリブレーションモード(01 又は 10)が選択されると、スキャンシーケンスが拡張されて CALGAIN+/CALGAIN- 入力ペア及び CALOFF+/CALOFF- 入力ペアの両方の変換を含むようになります。正確なシーケンスは DIFF ビットの状態に依存します(表4)。スキャン中、キャリブレーションチャネルは、伝達関数レジスタ3の内容によって定義される PGA 利得、フォーマット及び DAC 設定を使用します。

**BUFF** : (デフォルト = 0) BUFF ビットは入力バッファアンプの動作を制御します。このビットが 0 になっていると、入力バッファはバイパスされ、パワーダウンします。このビットがハイに設定されると、バッファが入力サンプリングコンデンサを駆動して動的入力負荷を最小限に抑えます。

**DIFF** : (デフォルト = 0) 差動/疑似差動ビット。DIFF = 0 の時、デバイスは疑似差動モードになり、AIN1 ~ AIN5

はアナログコモン端子 AIN6 を基準として測定されます。DIFF = 1 の場合はデバイスが差動モードになり、アナログ入力は AIN1/AIN2、AIN3/AIN4 及び AIN5/AIN6 として定義されます。各モードで使用可能な入力チャネルは、表5に記載されています。DIFF は、デバイスが SCAN モードになっている時のスキャンシーケンスにも影響することに注意して下さい(表4)。

**BOUT** : (デフォルト = 0) パーンアウト電流ビット。BOUT = 1 に設定すると、選択されたアナログ入力チャネルに 100nA の電流ソースが接続されます。このモードは、トランスデューサが焼き切れたり開回路になっていないかどうかをチェックするために使用されます。最高の直線性を保証するには、測定の前にパーンアウト電流ソースをターンオフ(BOUT = 0)する必要があります。

**RESERVED** : (デフォルト = 0) 予備ビット。ここには 0 を書き込む必要があります。

**X2CLK** : (デフォルト = 0) 2倍クロックビット。このビットを 1 に設定すると、クロック信号経路内の2分周プリスケラが選択されます。これにより、周波数の高いクリスタル又はクロックソースを使用できるため、非対称クロックソースへの耐性が改善されます。

表2. データ出力レート対CLK、フィルタ選択及び変調器周波数ビット

CLKIN FREQUENCY, f <sub>CLKIN</sub> (MHz)		CLK	MF1	MF0	AVAILABLE OUTPUT DATA RATES (sps)			
X2CLK = 0	X2CLK = 1				FS1, FS0* (0, 0)	FS1, FS0* (0, 1)	FS1, FS0 (1, 0)	FS1, FS0 (1, 1)
1.024	2.048	0	0	0	20	25	100	200
1.024	2.048	0	0	1	40	50	200	400
1.024	2.048	0	1	0	80	100	400	800
1.024	2.048	0	1	1	160	200	800	1600
<b>2.4576</b>	4.9152	<b>1</b>	<b>0</b>	<b>0</b>	50	<b>60</b>	300	600
2.4576	4.9152	1	0	1	100	120	600	1200
2.4576	4.9152	1	1	0	200	240	1200	2400
2.4576	4.9152	1	1	1	400	480	2400	4800

\* Data rates offering noise-free 16-bit resolution.

**Note:** When FAST = 0, f<sub>-3dB</sub> = 0.262 · Data Rate. When FAST = 1, f<sub>-3dB</sub> = 0.443 · Data Rate.

**Note:** Default condition is in bold print.

表3. M1、M0によって制御される特殊モード(SCAN = 0)

M1	M0	DESCRIPTION
0	0	<b>Normal Mode:</b> The device operates normally.
0	1	<b>Calibrate Offset:</b> In this mode the MAX1401 converts the voltage applied across CALOFF+ and CALOFF-. The PGA gain, DAC, and format settings of the selected channel (defined by DIFF, A1, A0) are used.
1	0	<b>Calibrate Gain:</b> In this mode the MAX1401 converts the voltage applied across CALGAIN+ and CALGAIN-. The PGA gain, DAC, and format settings of the selected channel (defined by DIFF, A1, A0) are used.
1	1	<b>Reserved:</b> Do not use.

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

表4. SCANモードのスキャンシーケンス  
(SCAN = 1)

DIFF	M1	M0	SEQUENCE
0	0	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6
0	0	1	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6, CALOFF, CALGAIN
0	1	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6, CALOFF, CALGAIN
1	0	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6
1	0	1	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6, CALOFF, CALGAIN
1	1	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6, CALOFF, CALGAIN

Note: All other combinations reserved.

表5. 使用可能な入力チャネル(SCAN = 0)

DIFF	M1	M0	AVAILABLE CHANNELS
0	0	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6
0	0	1	CALOFF
0	1	0	CALGAIN
1	0	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6
1	0	1	CALOFF
1	1	0	CALGAIN

## 特殊関数レジスタ(書込み専用)

**MDOUT** : (デフォルト=0)変調器出力ビット。MDOUT=0の時、DOUTピンにおけるデータ読み出しがイネーブルされます。これはシリアルインタフェースの通常状態です。MDOUT=1の時はDOUT及びINTピンの機能に変更され、通常のシリアルデータインタフェース出力の代わりに生のシングルビット変調器出力を提供します。これにより、内蔵デジタルフィルタを経由せずに、変調器出力に直接カスタムフィルタリングを施すことができます。INTピンは、DOUTにおける変調器データをいつサンプリングするべきか(INTの立下がりエッジ)を知らせるクロックを提供します。このモードにおいても、内蔵デジタルフィルタは通常通り動作することに注意して下さい。MDOUTが0に戻ると、通常のシリアルインタフェース読取り動作によって、有効なデータにアクセスできるようになります。

**FULLPD** : (デフォルト=0)完全パワーダウンビット。FULLPD=1の時、デバイスはクロック発振器も含めて強制的に完全パワーダウン状態になります。シリアルインタフェースは引き続き動作します。この状態から適正に回復するには、ハードウェアリセットを必要とします。

**注記** : 特殊関数レジスタの予備ビットを全て0のデフォルト状態から変更すると、予備モードの1つが選択され、デバイスは予期通りに動作しなくなります。このレジスタは書込み専用レジスタです。しかし、間違っこのレジスタを読んてしまった場合は、デバイスから24ビットのデータを同期出力することにより、通常のインタフェースアイドル状態に回復させて下さい。

## 伝達関数レジスタ

入力電圧を出カコードにマッピングするために使用される方法は、3つの伝達関数レジスタによって制御されます。これらのレジスタは、全て同じフォーマットを持っています。制御レジスタが関連するチャンネルにどのようにマッピングされるかは、動作モードに依存し、M1、M0、DIFF及びSCANの状態に影響されます(表8、9及び10)。

## 特殊関数レジスタ(書込み専用)

FUNCTION	最初のビット(MSB)				RESERVED BITS				(LSB)
	0	0	MDOUT	0	0	0	0	FULLPD	
Name	0	0	MDOUT	0	0	0	0	FULLPD	
Defaults	0	0	0	0	0	0	0	0	

## 伝達関数レジスタ

FUNCTION	最初のビット(MSB)				OFFSET CORRECTION				(LSB)
	G2	G1	G0	U/B	D3	D2	D1	D0	
Name	G2	G1	G0	U/B	D3	D2	D1	D0	
Defaults	0	0	0	0	0	0	0	0	

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

## アナログ入力AIN1~AIN6

入力AIN1及びAIN2は、スキャンモード(SCAN = 1)やシングルエンドと差動(DIFF)モードの別にかかわらず、伝達関数レジスタ1にマッピングします。同様に、AIN3及びAIN4入力は常に伝達関数レジスタ2にマッピングします。最後に、AIN5は常に伝達関数レジスタ3にマッピングします(AIN6はアナログコモン端子です)。

## CALGAIN及びCALOFF

スキャンモードではない時(SCAN = 0)、A1及びA0はいずれの伝達関数がCAGAIN及びCALOFFに適用されるかを選択します。スキャンモード(SCAN = 1)においては、CALGAIN及びCALOFFは常に伝達関数レジスタ3にマッピングされます。M1 ≠ M0の状態ではスキャンしている時、CALGAIN及びCALOFFの両チャンネルがスキャンシーケンスに含まれることに注意して下さい(表4)。両方のチャンネルによって同じチャンネルIDタグが共有されますが、CALOFFが常にCALGAINよりも先になります(表11)

任意のアクティブなチャンネル制御ビットの状態を変更すると、INTが直ちにハイに遷移して変調器/フィルタがリセットされることに注意して下さい。INTは、適切なデジタルフィルタセトリング時間が経過した後に再び発生します。インアクティブなチャンネルの制御設定を自由に変更しても、INTの状態に影響しない上、フィルタ/変調器がリセットすることはありません。

## PGAの利得

ビットG2~G0は、表6に従ってPGAの利得を制御します。

## ユニポーラ/バイポーラモード

U/ $\bar{B}$ ビットは、チャンネルをバイポーラ又はユニポーラモードに設定します。0の時にバイポーラモードが選択され、1の時にユニポーラモードが選択されます。このビットはアナログ信号調整には影響しません。変調器は常にバイポーラ入力を受け付け、選択された入力と同じ電位である時に1の密度が50%であるビットストリーム

表6. PGA利得コード

G2	G1	G0	PGA GAIN
0	0	0	x1
0	0	1	x2
0	1	0	x4
0	1	1	x8
1	0	0	x16
1	0	1	x32
1	1	0	x64
1	1	1	x128

を生成します。このビットは、使用可能な出力ビットが適正な出力範囲にマッピングされるように、デジタルフィルタ出力の処理を制御します。変換をする前にU/ $\bar{B}$ を設定する必要があることに注意して下さい(出力レジスタにすでに保持されているデータには影響を与えません)。

バイポーラモードを選択しても、AGNDより低い入力が許容されるわけではありません。デバイスの利得とオフセットが変わるだけです。全ての入力は、仕様動作電圧範囲内に収まっている必要があります。

## オフセット補正DAC

ビットD3~D0はオフセット補正DACを制御します。DACの範囲はPGAの利得設定に依存し、使用可能なフルスケール入力範囲に対するパーセント比率として表現されます(図7)。

D3は符号ビット、D2~D0はDAC値の大きさを表します。DAC値として0000(デフォルト)が設定されると、DACは変調器入力から切り離されることに注意して下さい。これによって、オフセット補正が必要ない時にDACによってノイズ性能が劣化するのを防ぐことができます。

## 伝達関数レジスタのマッピング

表8、9及び10に、様々な動作モードにおけるチャンネル制御レジスタのマッピングを示します。

表7. DACコード対DAC値

D3	D2	D1	D0	BIPOLAR DAC VALUE (% of FSR)	UNIPOLAR DAC VALUE (% of FSR)
0	0	0	0	DAC not connected	
0	0	0	1	+8.3	+16.7
0	0	1	0	+16.7	+33.3
0	0	1	1	+25	+50
0	1	0	0	+33.3	+66.7
0	1	0	1	+41.6	+83.3
0	1	1	0	+50	+100
0	1	1	1	+58.3	+116.7
1	0	0	0	DAC not connected	
1	0	0	1	-8.3	-16.7
1	0	1	0	-16.7	-33.3
1	0	1	1	-25	-50
1	1	0	0	-33.3	-66.7
1	1	0	1	-41.6	-83.3
1	1	1	0	-50	-100
1	1	1	1	-58.3	-116.7

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

表8. 伝達関数レジスタのマッピング—通常モード(M1 = 0、M0 = 0)

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER-FUNCTION REGISTER
0	0	0	0	AIN1-AIN6	1
0	0	0	1	AIN2-AIN6	1
0	0	1	0	AIN3-AIN6	2
0	0	1	1	AIN4-AIN6	2
0	1	0	0	AIN1-AIN2	1
0	1	0	1	AIN3-AIN4	2
0	1	1	0	AIN5-AIN6	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1-AIN6	1
1	0	X	X	AIN2-AIN6	1
1	0	X	X	AIN3-AIN6	2
1	0	X	X	AIN4-AIN6	2
1	0	X	X	AIN5-AIN6	3
1	1	X	X	AIN1-AIN2	1
1	1	X	X	AIN3-AIN4	2
1	1	X	X	AIN5-AIN6	3
1	1	1	1	Do Not Use	

X = Don't care

表9. 伝達関数レジスタのマッピング—オフセットキャリブレーションモード  
(M1 = 0、M0 = 1)

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER-FUNCTION REGISTER
0	0	0	0	CALOFF+ -CALOFF-	1
0	0	0	1	CALOFF+ -CALOFF-	1
0	0	1	0	CALOFF+ -CALOFF-	2
0	0	1	1	CALOFF+ -CALOFF-	2
0	1	0	0	CALOFF+ -CALOFF-	1
0	1	0	1	CALOFF+ -CALOFF-	2
0	1	1	0	CALOFF+ -CALOFF-	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1-AIN6	1
1	0	X	X	AIN2-AIN6	1
1	0	X	X	AIN3-AIN6	2
1	0	X	X	AIN4-AIN6	2
1	0	X	X	AIN5-AIN6	3
1	0	X	X	CALOFF+ -CALOFF-	3
1	0	X	X	CALGAIN+ -CALGAIN-	3
1	1	X	X	AIN1-AIN2	1
1	1	X	X	AIN3-AIN4	2
1	1	X	X	AIN5-AIN6	3
1	1	X	X	CALOFF+ -CALOFF-	3
1	1	X	X	CALGAIN+ -CALGAIN-	3
1	1	1	1	Do Not Use	

X = Don't care

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

**表10. 伝達関数レジスタのマッピングー利得キャリブレーションモード  
(M1 = 1、M0 = 0)**

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER-FUNCTION REGISTER
0	0	0	0	CALGAIN+-CALGAIN-	1
0	0	0	1	CALGAIN+-CALGAIN-	1
0	0	1	0	CALGAIN+-CALGAIN-	2
0	0	1	1	CALGAIN+-CALGAIN-	2
0	1	0	0	CALGAIN+-CALGAIN-	1
0	1	0	1	CALGAIN+-CALGAIN-	2
0	1	1	0	CALGAIN+-CALGAIN-	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1-AIN6	1
1	0	X	X	AIN2-AIN6	1
1	0	X	X	AIN3-AIN6	2
1	0	X	X	AIN4-AIN6	2
1	0	X	X	AIN5-AIN6	3
1	0	X	X	CALOFF+-CALOFF-	3
1	0	X	X	CALGAIN+-CALGAIN-	3
1	1	X	X	AIN1-AIN2	1
1	1	X	X	AIN3-AIN4	2
1	1	X	X	AIN5-AIN6	3
1	1	X	X	CALOFF+-CALOFF-	3
1	1	X	X	CALGAIN+-CALGAIN-	3
1	1	1	1	Do Not Use	

X = 任意

**データレジスタ(読取り専用)**

データレジスタは24ビット読取り専用レジスタです。ここにデータを書き込もうとしても無効です。書込み動作が試みられた場合、デバイスが通信レジスタへの書込みを待つ通常アイドルモードになるまでに、8ビットのデータを同期入力する必要があります。

データはMSBを先頭にして出力され、次に予備の0ビットが3つ、そしてデータを送ったチャンネルを示す3ビットのチャンネルIDタグが続きます。

**D17~D0** : 変換結果。D17がMSBです。この結果はオフセットバイナリフォーマットになっています。00 0000 0000 0000が最小値を表し、11 1111 1111 1111 1111 1111が最大値を表します。使用可能な入力範囲を超える入力は、対応する最小又は最大出力値に制限されます。

**0** : これら予備ビットは常に0です。

**CID2~0** : チャンネルIDタグ(表11)。

**データレジスタ(読取り専用)**

最初のビット(Data MSB)

DATA BITS							
D17	D16	D15	D14	D13	D12	D11	D10

DATA BITS							
D9	D8	D7	D6	D5	D4	D3	D2

(Data LSB)

(LSB)

DATA BITS		RESERVED BITS			CHANNEL ID TAG		
D1	D0	'0'	'0'	'0'	CID2	CID1	CID0

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

表11. チャネルIDタグコード

CID2	CID1	CID0	CHANNEL
0	0	0	AIN1-AIN6
0	0	1	AIN2-AIN6
0	1	0	AIN3-AIN6
0	1	1	AIN4-AIN6
1	0	0	AIN1-AIN2
1	0	1	AIN3-AIN4
1	1	0	AIN5-AIN6
1	1	1	Calibration

## スイッチングネットワーク

スイッチングネットワークにより、3つの完全差動入力チャネル又は5つの疑似差動チャネル(AIN6を共有コモン端子として使用)のどちらかを選ぶことができます。スイッチングネットワークは、システムキャリブレーション用の2つの付加的な完全差動入力チャネルを提供します。これらは、余分の完全差動信号チャネルとして使用することもできます。表12に、両方の動作モードにおいて使用可能なチャネル構成を示します。

## スキャン(SCANモード)

使用可能な入力チャネルを順番にサンプリングし、変換するには、グローバルセットアップレジスタのSCAN制御ビットをセットして下さい。シーケンスは、DIFF(完全差動又は疑似差動)及びモード制御ビットM1及びM0によって決定されます(表8、9、10)。SCANがセットされると、デバイスは使用可能な各チャネルを順次使用して1つの変換結果を送信した後で、次のチャネルに進みます。最高の分解能を保证するため、MAX1401は各変換が完全にセトリングするために十分な時間だけ自動的に待ってからデータレディ信号を発生し、次の使用可能なチャネルに進みます。このため、スキャン速度はクロックビット(CLK)、フィルタ制御ビット(FS1、FS0)及び変調器周波数選択ビット(MF1、MF0)に依存します。

## バーンアウト電流

入力回路は2つのバーンアウト電流も提供します。これらの小さな電流は、選択されたトランスデューサの正常性をテストするために利用できます。これらはグローバルセットアップレジスタのBOUTビットによって、選択的にイネーブル又はディセーブルすることができます。

表12. 完全及び疑似差動モードにおける入力チャネル構成(SCAN = 0)

M1	M0	DIFF	A1	A0	MODE	HIGH INPUT	LOW INPUT
0	0	0	0	0	Pseudo-Differential	AIN1	AIN6
0	0	0	0	1		AIN2	AIN6
0	0	0	1	0		AIN3	AIN6
0	0	0	1	1		AIN4	AIN6
0	0	X	X	X		AIN5*	AIN6*
0	1	X	X	X		CALOFF+**	CALOFF-**
1	0	X	X	X		CALGAIN+**	CALGAIN-**
0	0	1	0	0	Fully Differential	AIN1	AIN2
0	0	1	0	1		AIN3	AIN4
0	0	1	1	0		AIN5	AIN6
0	1	X	X	X		CALOFF+**	CALOFF-**
1	0	X	X	X		CALGAIN+**	CALGAIN-**

X = Don't care

\* This combination is available only in pseudo-differential mode when using the internal scanning logic.

\*\* These combinations are only available in the calibration modes.



# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

## マルチプレクサ出力への外部アクセス

MAX1401のMUXOUT及びADCINピンは、スイッチングネットワーク及び変調器入力へのアクセスを提供します。これにより、ユーザは単一の高性能アンプを共用して全ての入力チャンネルに付加的な信号調整を施すことができます。

## チャンネル選択ネットワークにおける動的入力インピーダンス

無バッファモード(BUFF = 0)で使用した場合、アナログ入力は駆動回路から見て動的負荷となります。駆動回路から見た動的負荷は、サンプリングコンデンサのサイズ及び入力サンプリング周波数(図5)によって決まります。MAX1401は、全ての利得設定において一定速度でサンプリングします。これにより、各データレートにおいて入力がセトリングするための最大時間が得られます。入力における動的負荷は利得設定によって変わります。利得が+2V/V、+4V/V及び+8V/Vの場合、入力サンプリングコンデンサは選択された利得が増加すると共に増加します。利得が+16V/V、+32V/V、+64V/V及び+128V/Vの場合、利得設定がx8の時と同じ入力負荷となります。

どのスイッチドキャパシタADC入力でも同様ですが、MAX1401を使用して設計を行う場合、直列入力抵抗の長所及び短所を考慮して下さい。直列抵抗は外部駆動アンプへのトランジェント電流衝撃を低減します。

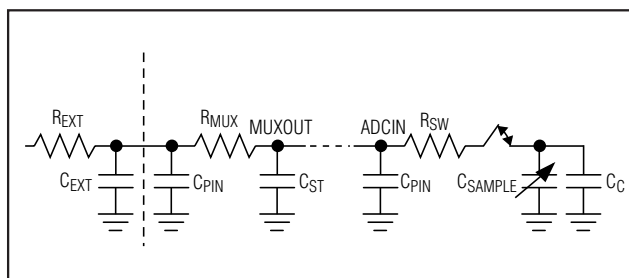


図5. 無バッファモードにおけるアナログ入力 (BUFF = 0)

これはアンプの位相マージンを改善し、リングングの可能性を低減します。この抵抗は、サンプラーからのトランジェント負荷電流を回路のRC時間定数に従って時間軸上に広げます。しかし、直列抵抗の選択を誤ると高速16ビットコンバータの性能が劣化する恐れがあります。RCネットワークのセトリング時間のために、コンバータが適正に動作できる速度が制限されたり、サンプラーのセトリング精度が低減することがあります。このため、実用の際はRC時間定数を希望の精度にセトリングするために十分だけ小さくして下さい(RC時間定数は、駆動ソースのインピーダンスとMAX1401の入力及びその他の外部容量を含む容量の積で決まります)。表13a~13dに、MAX1401の各利得設定において、無バッファモードで16ビット性能を保証するために使用できる直列抵抗対外部容量がまとめられています。

表13a. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための  $R_{EXT}$ 、 $C_{EXT}$  値—1x変調器サンプリング周波数(MF1、MF0 = 00) ;  $X2CLK = 0$  ;  $f_{CLKIN} = 2.4576\text{MHz}$

PGA GAIN	EXTERNAL RESISTANCE, $R_{EXT}$ (k $\Omega$ )					
	$C_{EXT} = 0\text{pF}$	$C_{EXT} = 50\text{pF}$	$C_{EXT} = 100\text{pF}$	$C_{EXT} = 500\text{pF}$	$C_{EXT} = 1000\text{pF}$	$C_{EXT} = 5000\text{pF}$
1	29	14	9.4	2.9	1.6	0.43
2	29	14	9.4	2.9	1.6	0.43
4	22	12	8.4	2.7	1.5	0.40
8, 16, 32, 64, 128	15	9.6	7.0	2.4	1.4	0.37

表13b. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための  $R_{EXT}$ 、 $C_{EXT}$  値—2x変調器サンプリング周波数(MF1、MF0 = 01) ;  $X2CLK = 0$  ;  $f_{CLKIN} = 2.4576\text{MHz}$

PGA GAIN	EXTERNAL RESISTANCE, $R_{EXT}$ (k $\Omega$ )					
	$C_{EXT} = 0\text{pF}$	$C_{EXT} = 50\text{pF}$	$C_{EXT} = 100\text{pF}$	$C_{EXT} = 500\text{pF}$	$C_{EXT} = 1000\text{pF}$	$C_{EXT} = 5000\text{pF}$
1	14	6.9	4.7	1.4	0.81	0.22
2	14	6.9	4.7	1.4	0.81	0.22
4	11	6.0	4.2	1.3	0.76	0.20
8, 16, 32, 64, 128	7.7	4.8	3.5	1.2	0.70	0.18

# +3V、18ビット低電力マルチチャンネル、 オーバーサンプリング(シグマ・デルタ)ADC

表13c. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための  
 $R_{EXT}$ 、 $C_{EXT}$ 値—4x変調器サンプリング周波数(MF1、MF0 = 10) ;  
 $X2CLK = 0$  ;  $f_{CLKIN} = 2.4576\text{MHz}$

PGA GAIN	EXTERNAL RESISTANCE, $R_{EXT}$ (k $\Omega$ )					
	$C_{EXT} = 0\text{pF}$	$C_{EXT} = 50\text{pF}$	$C_{EXT} = 100\text{pF}$	$C_{EXT} = 500\text{pF}$	$C_{EXT} = 1000\text{pF}$	$C_{EXT} = 5000\text{pF}$
1	7.0	3.4	2.3	0.71	0.40	0.11
2	7.0	3.4	2.3	0.71	0.40	0.11
4	5.5	3.0	2.1	0.66	0.38	0.10
8, 16, 32, 64, 128	3.8	2.4	1.7	0.60	0.34	0.09

表13d. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための  
 $R_{EXT}$ 、 $C_{EXT}$ 値—8x変調器サンプリング周波数(MF1、MF0 = 11) ;  
 $X2CLK = 0$  ;  $f_{CLKIN} = 2.4576\text{MHz}$

PGA GAIN	EXTERNAL RESISTANCE, $R_{EXT}$ (k $\Omega$ )					
	$C_{EXT} = 0\text{pF}$	$C_{EXT} = 50\text{pF}$	$C_{EXT} = 100\text{pF}$	$C_{EXT} = 500\text{pF}$	$C_{EXT} = 1000\text{pF}$	$C_{EXT} = 5000\text{pF}$
1	3.4	1.7	1.1	0.35	0.20	0.05
2	3.4	1.7	1.1	0.35	0.20	0.05
4	2.7	1.4	1.0	0.32	0.18	0.05
8, 16, 32, 64, 128	1.8	1.2	0.85	0.29	0.17	0.04

## 入力バッファ

MAX1401は、入力をPGA/変調器による容量性負荷から分離するための入力バッファのペアを提供しています(図6)。これらのバッファは、DCオフセット及び低周波数ノイズの影響を軽減するためにチョツパ安定化されています。バッファは全アナログ電力消費の50%以上を消費するため、電力消費を小さくする必要があり、しかも容量性入力負荷が問題にならないアプリケーションにおいてはバッファをシャットダウンできるようになっています。入力がAGND又はV+の近くで動作し

なければならないアプリケーションにおいては、これらのバッファをディセーブルして下さい。

バッファ付モードで使用した場合、これらのバッファは入力をサンプリングコンデンサから分離します。このモードにおいては、サンプリングに関する利得誤差が著しく低減します。チョツパ安定化による小さな動的負荷が残ります。マルチプレクサは最大10nAの小さなリーク電流があります。ソース抵抗が高い場合には、このリーク電流のためにDCオフセットが生じることがあります。

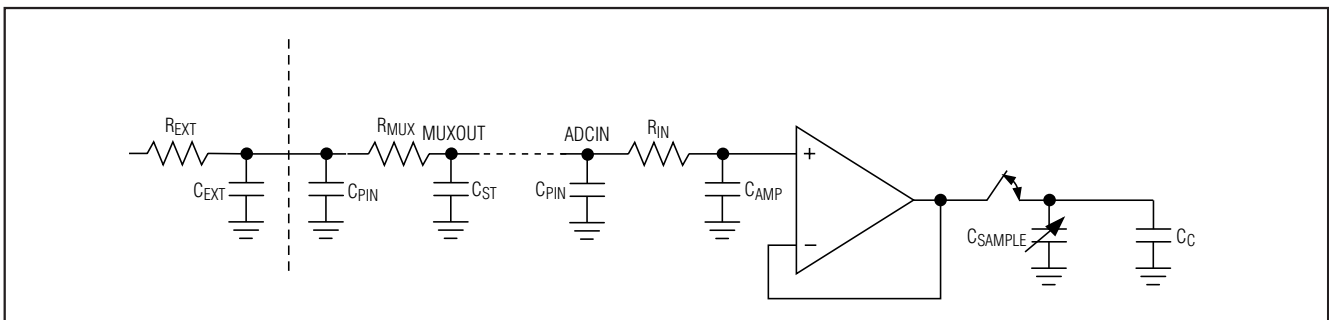


図6. バッファ付モード(BUFF = 1)におけるアナログ入力



# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

表14. バッファ付(BUFF = 1)モードにおいて16ビット利得誤差を下回るための  
R<sub>EXT</sub>、C<sub>EXT</sub>値—全変調器サンプリング周波数(MF1、MF0 = XX) ;  
X2CLK = 0 ; f<sub>CLKIN</sub> = 2.4576MHz

PGA GAIN	EXTERNAL RESISTANCE, R <sub>EXT</sub> (kΩ)					
	C <sub>EXT</sub> = 0pF	C <sub>EXT</sub> = 50pF	C <sub>EXT</sub> = 100pF	C <sub>EXT</sub> = 500pF	C <sub>EXT</sub> = 1000pF	C <sub>EXT</sub> = 5000pF
1	10	10	10	10	10	10
2	10	10	10	10	10	10
4	10	10	10	10	10	10
8	10	10	10	10	10	10
16	10	10	10	10	10	10
32	10	10	10	10	10	10
64	10	10	10	10	10	10
128	10	10	10	10	10	10

## リファレンス入力

MAX1401は比率測定用に最適化されており、完全差動リファレンス入力を備えています。リファレンス電圧をREFIN+とREFIN-の間に印加して下さい(REFIN+の方がREFIN-よりもプラスになるようにして下さい)。REFIN+及びREFIN-はAGNDとV+の間でなければなりません。MAX1401は、+1.25Vリファレンスで仕様が測定されています。

## 変調器

MAX1401は、シングルビットの2次スイッチドキャパシタ変調器を使用してアナログデジタル変換を行います。変調器内の単一のコンパレータが、変換される信号の帯域幅よりもはるかに高いサンプルレートで入力信号を数値化します。このデジタイザは次に1と0からなるストリームをデジタルフィルタに送って、周波数シェイピングされた数値化ノイズを除去します。

MAX1401の変調器は、シングルビットデジタイザから生じる数値化ノイズの2次周波数シェイピングを提供します。この変調器は、信号雑音比を最大限に高め、電源ノイズに対する耐性を強くするために完全差動式になっています。

変調器は、マスタークロック周波数(f<sub>CLKIN</sub>)、X2CLKビット、CLKビット及び変調器周波数制御ビットMF1及びMF0によって決まる合計8つの異なるサンプリングレート(f<sub>M</sub>)のうちの1つで動作します。これらの各モードにおける電力消費は、変調器のバイアスレベルを制御することにより最適化されます。表15に、入力及びリファレンスサンプルレートを示します。

## PGA

変調器の前に、ユーザが利得をx1、x2、x4、x8、x16、x32、x64又はx128(表6)の中から選べる可変利得

アンプ(PGA)があります。図8に次のコードを使用した場合のデフォルトバイポーラ伝達関数を示します：

- 1) PGA = 0、DAC = 0、
- 2) PGA = 3、DAC = 0、
- 3) PGA = 3、DAC = 3。

## 出力ノイズ

表16a及び16bに、MAX1401をf<sub>CLKIN</sub> = 2.4576MHzで動作させた場合の標準出力周波数(ノッチ)におけるrms雑音指数及び-3dB周波数を示します。バイポーラ入力範囲、V<sub>REF</sub> = +1.25V、無バッファ時(BUFF = 0)及びバッファ挿入時(BUFF = 1)における数値が与えられています。これらの数値は、差動アナログ入力電圧0の状態で得られた標準値です。図7に、実効分解能対利得及びノッチ周波数のグラフを示します。実効分解能の値は次式から得ています。

$$\text{実効分解能} = (\text{SNR}_{\text{dB}} - 1.76\text{dB})/6.02$$

可能な最大の信号をデバイスのノイズ(SNR<sub>dB</sub>)で割った値が、入力フルスケール電圧(つまり、2 · V<sub>REFIN</sub>/GAIN)の出力rmsノイズに対する比として定義されます。これは、ピーク間出力ノイズの数値を使って計算されるのではないことに注意して下さい。ピーク間ノイズの数値は、rms数値の6.6倍にまで達することがあります。ピーク間ノイズに基づく実効分解能の数値は、表に記載されたrmsノイズに基づく実効分解能よりも2.5ビット低くなる可能性があります。

表16a及びbに示すノイズは、デバイスノイズ及び数値化ノイズからなっています。デバイスノイズは比較的低くなっていますが、利得設定が高い場合には主要なノイズソースになります。数値化ノイズはノッチ周波数に依存し、ノッチ周波数が増えると主要なノイズ成分となります。

# +3V、18ビット低電力マルチチャンネル、 オーバサンプリング(シグマ・デルタ)ADC

MAX1401

表15. 変調器の動作周波数、サンプリング周波数及び16ビットデータ出力レート

CLKIN FREQUENCY, f <sub>CLKIN</sub> (MHz)		CLK	MF1	MF0	AIN/REFIN SAMPLING FREQUENCY, f <sub>s</sub> (kHz)	MODULATOR FREQUENCY, f <sub>m</sub> (kHz)	AVAILABLE OUTPUT DATA RATES AT 16-BIT ACCURACY (sps)
X2CLK = 0 DEFAULT	X2CLK = 1						
1.024	2.048	0	0	0	16	8	20, 25
1.024	2.048	0	0	1	32	16	40, 50
1.024	2.048	0	1	0	64	32	80, 100
1.024	2.048	0	1	1	128	64	160, 200
<b>2.4576</b>	4.9152	<b>1</b>	<b>0</b>	<b>0</b>	<b>38.4</b>	<b>19.2</b>	50, <b>60</b>
2.4576	4.9152	1	0	1	76.8	38.4	100, 120
2.4576	4.9152	1	1	0	153.6	76.8	200, 240
2.4576	4.9152	1	1	1	307.2	153.6	400, 480

注記：デフォルト状態は太字。

表16a. MAX1401の雑音対利得及び出力データレート—無バッファモード、  
V<sub>REF</sub> = 1.25V、f<sub>CLKIN</sub> = 2.4576MHz

OUTPUT DATA RATE (sps)	-3dB FREQ. (Hz)	TYPICAL OUTPUT NOISE (μV <sub>RMS</sub> ) FOR VARIOUS PROGRAMMABLE GAINS								BIT STATUS
		x1	x2	x4	x8	x16	x32	x64	x128	
<b>MF1:MF0 = 0</b>										
50	13.1	5.42	3.03	1.70	1.11	1.06	1.05	1.05	1.04	FS1:FS0 = 0
60	15.7	5.91	3.20	1.90	1.25	1.13	1.18	1.15	1.15	FS1:FS0 = 1
300	78.6	80.5	38.6	20.6	10.3	5.73	3.62	2.84	2.67	FS1:FS0 = 2
600	157.2	441	236	112	54.8	29.2	14.5	7.61	5.13	FS1:FS0 = 3
<b>MF1:MF0 = 1</b>										
100	26.2	5.53	2.96	1.73	1.13	1.06	1.06	1.08	1.05	FS1:FS0 = 0
120	31.4	6.06	3.28	1.90	1.25	1.17	1.11	1.12	1.11	FS1:FS0 = 1
600	157.2	81.5	39.9	19.6	10.2	5.45	3.49	2.72	2.59	FS1:FS0 = 2
1200	314.4	450	232	115	53.4	27.8	14.7	8.00	5.08	FS1:FS0 = 3
<b>MF1:MF0 = 2</b>										
200	52.4	5.39	2.92	1.70	1.09	1.06	1.02	1.02	1.03	FS1:FS0 = 0
240	62.9	6.27	3.28	1.89	1.20	1.18	1.14	1.17	1.11	FS1:FS0 = 1
1200	314.4	77.8	40.1	20.1	10.0	5.53	3.56	2.74	2.59	FS1:FS0 = 2
2400	628.8	431	232	109	54.9	28.2	14.1	8.08	4.99	FS1:FS0 = 3
<b>MF1:MF0 = 3</b>										
400	104.8	5.36	3.00	1.82	1.17	1.10	1.06	1.10	1.11	FS1:FS0 = 0
480	125.7	5.88	3.25	1.94	1.28	1.26	1.16	1.17	1.15	FS1:FS0 = 1
2400	628.8	79.7	39.6	20.2	10.5	5.74	3.63	3.02	2.76	FS1:FS0 = 2
4800	1258	441	227	111	55.5	29.7	14.6	7.73	5.43	FS1:FS0 = 3

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

表16b. MAX1401の雑音対利得及び出力データレートバッファ付モード、  
 $V_{REF} = 1.25V$ 、 $f_{CLKIN} = 2.4576MHz$

OUTPUT DATA RATE (sps)	-3dB FREQ. (Hz)	TYPICAL OUTPUT NOISE ( $\mu V_{RMS}$ ) FOR VARIOUS PROGRAMMABLE GAINS								BIT STATUS
		x1	x2	x4	x8	x16	x32	x64	x128	
<b>MF1:MF0 = 0</b>										
50	13.1	5.72	3.21	2.10	1.41	1.42	1.44	1.38	1.34	FS1:FS0 = 0
60	15.7	6.29	3.57	2.30	1.55	1.61	1.56	1.49	1.56	FS1:FS0 = 1
300	78.6	80.6	39.8	19.3	10.2	6.14	4.25	3.03	3.52	FS1:FS0 = 2
600	157.2	436	225	116	57.1	28.8	15.0	8.70	5.99	FS1:FS0 = 3
<b>MF1:MF0 = 1</b>										
100	26.2	5.82	3.35	2.08	1.43	1.37	1.36	1.35	1.31	FS1:FS0 = 0
120	31.4	6.01	3.65	2.27	1.51	1.51	1.50	1.50	1.47	FS1:FS0 = 1
600	157.2	77.7	40.1	20.2	10.6	5.93	4.19	3.54	3.23	FS1:FS0 = 2
1200	314.4	434	222	111	57.0	28.3	14.8	8.37	5.81	FS1:FS0 = 3
<b>MF1:MF0 = 2</b>										
200	52.4	5.82	3.07	1.87	1.26	1.20	1.18	1.15	1.17	FS1:FS0 = 0
240	62.9	6.17	3.54	2.09	1.45	1.30	1.27	1.31	1.29	FS1:FS0 = 1
1200	314.4	79.0	41.1	19.8	10.5	5.68	3.68	3.14	2.99	FS1:FS0 = 2
2400	628.8	439	226	111	57.9	28.7	15.4	8.26	5.32	FS1:FS0 = 3
<b>MF1:MF0 = 3</b>										
400	104.8	5.60	3.10	1.85	1.32	1.24	1.25	1.19	1.21	FS1:FS0 = 0
480	125.7	6.18	3.47	2.02	1.38	1.37	1.29	1.33	1.33	FS1:FS0 = 1
2400	628.8	76.3	39.3	20.8	9.83	5.92	3.92	3.92	3.07	FS1:FS0 = 2
4800	1258	455	225	114	57.1	29.9	14.5	8.13	5.55	FS1:FS0 = 3

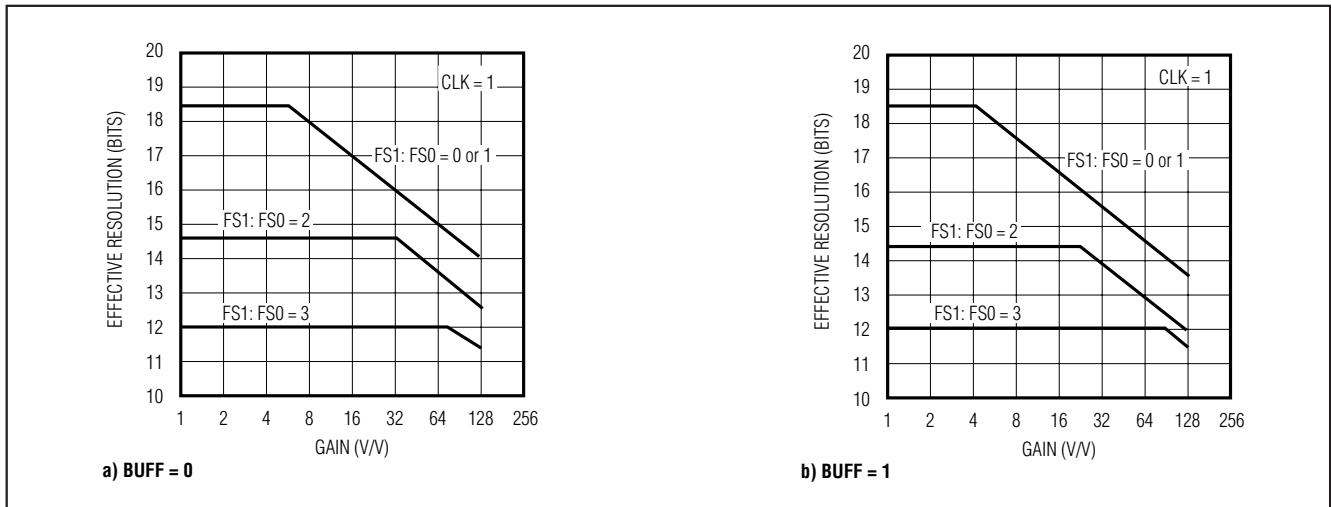


図7. 実効分解能対利得及びノッチ周波数

# +3V、18ビット低電力マルチチャンネル、 オーバーサンプリング(シグマ・デルタ)ADC

## オフセット補正DAC

MAX1401は、変調器入力において粗(3ビットプラス符号)オフセット補正DACを備えています。このDACを使用して入力信号のオフセット成分を除去することにより、ADCをより敏感な信号範囲で使用することができます。ユニポーラモードにおいて、DACは選択された範囲の $\pm 116.7\%$ ( $\pm 16.7\%$ きざみ)までオフセットすることができ、バイポーラモードにおいては、選択された範囲の $\pm 58.3\%$ ( $\pm 8.3\%$ きざみ)までオフセットすることができます。DACの値として0が選択されると、DACは変調器入力から完全に切り離されるため、ノイズに影響しなくなります。図8及び9に、入力範囲及び伝達関数に対するDACコードの影響を示します。

## クロック発振器

クロック発振器は、CLKIN及びCLKOUTの間に接続された外部クリスタル(又は共振器)と共に使用するか、あるいはCLKINで外部発振器によって直接駆動し、CLKOUTを未接続に残すことによって動作させます。通常動作モードにおいて、MAX1401はCLKINが1.024MHz(CLK = 0)又は2.4576MHz(CLK = 1、デフォルト)で動作する仕様になっています。これらの周波数で動作する時、本デバイスはその場所のライン周波数(60Hz又は50Hz)及び付随する高調波で周波数応答のヌル(ゼロ)を生成するように設定できます。

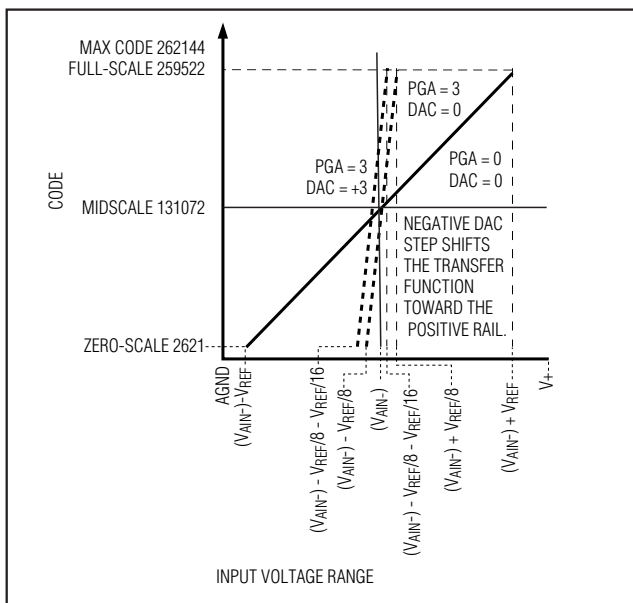


図8. バイポーラ伝達関数に対するPGA及びDACコードの影響

スタンバイモード(STBY = 1)においては、シリアルインタフェース及びクロック発振器を除く全ての回路がパワーダウンします。SCLKが静的な時、インタフェースの消費電力は最小になります。パワーダウンモード(発振器を含む)に入るには、特殊関数レジスタのFULLPDビットをセットして下さい。フルパワーシャットダウンを解除するには、内容が破壊されたレジスタがクリアされるように、マスタクロック信号が確立するまで(外部クリスタルを使った内蔵発振器の場合には通常10ms)待ってから、ハードウェアリセット又はソフトウェアリセットを行って下さい。

多くの場合、周波数の高いクリスタル又は共振器を使う方が便利です。特に表面実装アプリケーションにおいては、これによってプリント基板面積を削減し、安価な入手し易い部品の使用が可能になります。また、デューティサイクルが50%に近くないクロックソースでデバイスを動作させることが必要になる場合もあります。いずれの場合も、MAX1401はマスタクロックの周波数として最大5MHzまで使用することができ、内部2分周プリスケラによって2.5MHzまでの範囲でデューティサイクルが50%の内部クロック周波数を作ることができます。このプリスケラを起動するには、制御レジスタのX2CLKビットをセットして下さい。CLKINに2.5MHzよりも高い周波数を使用し、X2CLKモードを使うと、デジタル消費電流が少し大きくなることに注意して下さい。

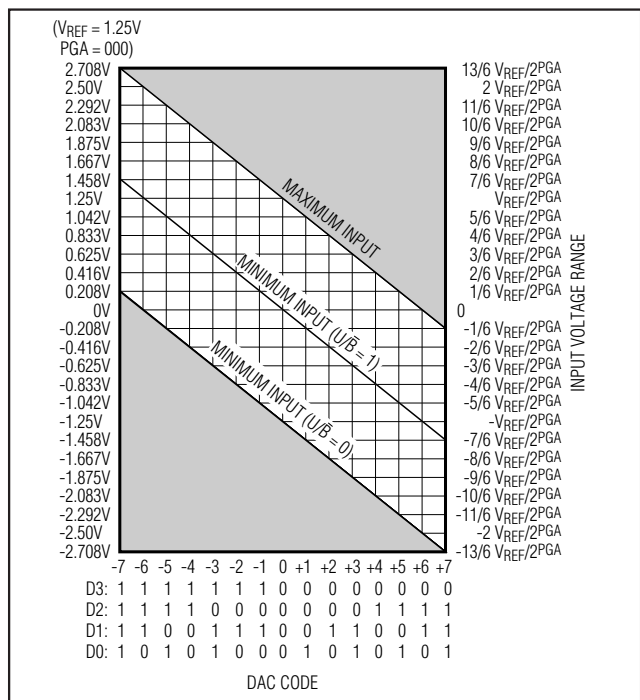


図9. 入力電圧範囲対DACコード

# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

## デジタルフィルタ

内蔵デジタルフィルタは、SINC<sup>3</sup>又はSINC<sup>1</sup>フィルタを使用して変調器からの1ビットデータストリームを処理します。SINCフィルタは原理が簡潔で、効率が良く、また非常に融通性が高いために分解能やデータレートを可変にする必要がある場合に特に適しています。また、フィルタノッチ位置は、出力データレート(1/データワード周期)に直接関係しているために制御が簡単です。

SINC<sup>1</sup>機能は、デフォルトのSINC<sup>3</sup>フィルタと同じ周波数応答ノッチを保持していますが、セトリング応答が速くなっています。これにより、フィルタの分解能及び数値化ノイズを犠牲にして、セトリングを速くすることができます。SINC<sup>1</sup>フィルタは1データワード周期内にセトリングします。ノッチが60Hzの場合(データレート60Hz)、セトリング時間は1/60Hz、即ち16.7msになります。SINC<sup>3</sup>フィルタの場合は3/60Hz、即ち50msでセトリングします。これらのフィルタ応答間の切り換えは、グローバルセットアップレジスタのFASTビットによって行います。セトリングを速くする場合はSINC<sup>1</sup>モードを使用し、最高の精度が必要な時はSINC<sup>3</sup>を使用して下さい。FASTビットをローにリセットすると、SINC<sup>1</sup>モードからSINC<sup>3</sup>モードに切り替わります。DRDY信号は偽になり、少なくとも3つのデータワード周期後に有効なデータが準備されると再び真になります。

グローバルセットアップレジスタのMDOUTビットをセットすることにより、デジタルフィルタをバイパスできます。MDOUT=1の場合、変調器の生の出力がDOUTで直接得られます。

## フィルタの特性

MAX1401のデジタルフィルタは、SINC<sup>1</sup>(sinx/x)及びSINC<sup>3</sup>(sinx/x)<sup>3</sup>ローパスフィルタ機能を実現します。SINC<sup>3</sup>機能の伝達関数は、次式で記述される3つのカスケード接続のSINC<sup>1</sup>フィルタです。zドメインにおける表現は、

$$H(z) = \left[ \frac{1}{N} \cdot \frac{1-z^{-N}}{1-z^{-1}} \right]^3$$

周波数ドメインにおける表現は、

$$H(f) = \left[ \frac{1}{N} \cdot \frac{\sin\left(N\pi \frac{f}{f_M}\right)}{\sin\left(\pi \frac{f}{f_M}\right)} \right]^3$$

となります。ここで、デシメーション係数Nは変調器周波数f<sub>M</sub>の出力周波数f<sub>N</sub>に対する比です。

図10にフィルタ周波数応答を示します。SINC<sup>3</sup>の特性カットオフ周波数は、最初のノッチ周波数の0.262倍です。つまり、最初のフィルタノッチ周波数が60Hzの場合、カットオフ周波数は15.72Hzとなります。図10に示す応答はデジタルフィルタのサンプル周波数(f<sub>M</sub>)の両側、そして関連する高調波(2f<sub>M</sub>、3f<sub>M</sub>、...)の両側で繰り返されます。

SINC<sup>3</sup>フィルタの応答はSINC<sup>1</sup>(平均フィルタ)フィルタの応答と似ていますが、ロールオフがより急峻になっています。デジタルフィルタの出力データレートは、フィルタの周波数応答の最初のノッチの位置に対応しています。つまり、フィルタの最初のノッチが60Hzになっている図10のグラフでは、出力データレートは60Hzになります。この(sinx/x)<sup>3</sup>フィルタのノッチは、最初のノッチ周波数の倍数のところで繰り返されます。SINC<sup>3</sup>フィルタは、これらのノッチにおいて100dB以上の減衰率を提供します。

グローバルセットアップレジスタのCLK、X2CLK、MF1、MF0、FS1及びFS0にロードされた値によって、デジタルフィルタのカットオフ周波数を求めて下さい。FS0とFS1を変えて異なるカットオフ周波数を設定しても、フィルタ応答の形は変わりません。変わるのはノッチの周波数です。例えば、図11はカットオフ周波数として13.1Hz及び最初のノッチ周波数として50Hzを示しています。

入力においてステップ変化があった場合は、有効なデータを読み取れるまでにセトリング時間が必要です。セトリング時間は、そのフィルタのために選択された出力データレートに依存します。フルスケールステップ入力に対するSINC<sup>3</sup>フィルタのセトリング時間は出力

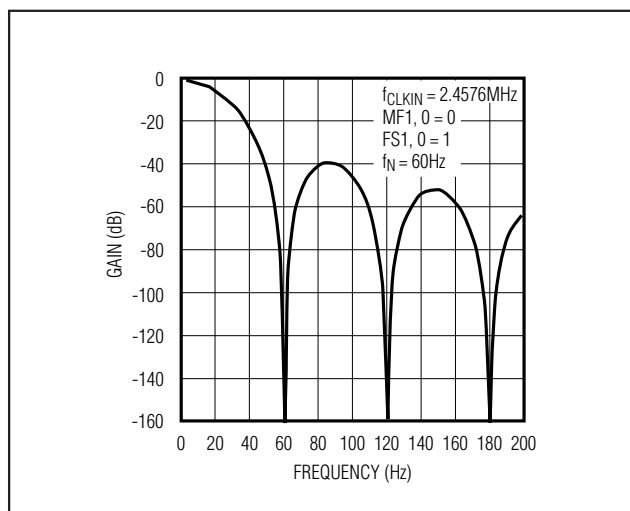


図10. SINC<sup>3</sup>フィルタの周波数応答(ノッチは60Hz)



# +3V、18ビット低電力マルチチャネル、 オーバーサンプリング(シグマ・デルタ)ADC

データ周期の4倍に達することがあります。(FSYNC機能又は内部スキャンロジックによって)同期されたステップ入力に対するセトリング時間は、出力データ周期の3倍です。

## アナログフィルタリング

デジタルフィルタは、変調器サンプル周波数の高調波の近くは除去しません。しかし、MAX1401はオーバーサンプリング比が高いため、これらの帯域はスペクトル中の小部分を占めるに過ぎず、殆どの広帯域ノイズはフィルタリングされます。このため、内蔵フィルタリングを持たない従来のコンバータと比べて、MAX1401の手前のアナログフィルタリングの必要条件はかなり軽減されています。さらに、本デバイスは数kHzまで90dBのコモンモード除去比を持っているため、この周波数範囲におけるコモンモードノイズへの感受性はかなり低減されています。

アプリケーションによっては、MAX1401の前にフィルタリングを施して、デジタルフィルタが除去しない望ましくない周波数を除去する必要があります。また、アプリケーションによっては、測定周波数帯域の外側の差動ノイズ信号がアナログ変調器を飽和しないようにフィルタリングを追加する必要があります。

無バッファモードのMAX1401の手前に受動部品を配置する場合は、利得誤差が生じないようにソースインピーダンスを十分小さくして下さい(表13a~13d)。このため、無バッファモードにおいてMAX1401の手前で施せる受動アンチエイリアシングフィルタリングがかなり制限されます。しかし、本デバイスをバッファ付モードで使用する場合は、大きなソースインピーダンスがあっても、小さなDCオフセット誤差が生じるだけです。

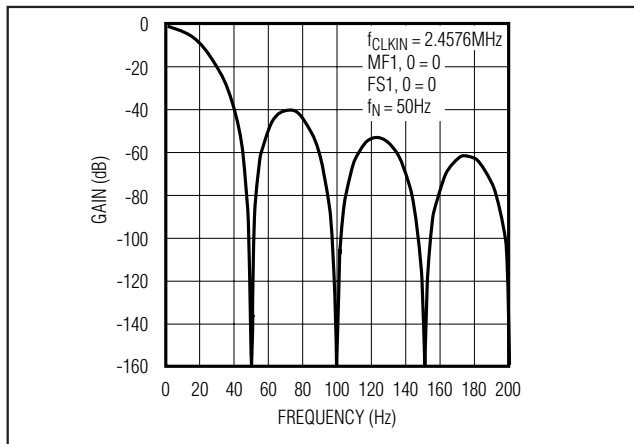


図11. SINC<sup>3</sup>フィルタの周波数応答(ノッチは50Hz)

(ソース抵抗が1kΩの時は10μV以下のオフセット誤差が生じます)。このため、ソースインピーダンスを大きくする必要がある場合はバッファ付モードでの使用を推奨します。

## キャリブレーションチャンネル

2つの完全差動キャリブレーションチャンネルにより、システム利得及びオフセット誤差の測定が可能になっています。CALOFFチャンネルを0Vに接続し、CALGAINチャンネルをリファレンス電圧に接続して下さい。CALOFF及びCALGAINの両チャンネルのいくつかの測定を平均して下さい。平均オフセットコードを差し引き、利得誤差を補正するためにスケールングして下さい。このリニアキャリブレーション技法は、アナログ入力におけるソースインピーダンスに起因する誤差を除去するために使用できます(例えば、シンプルなRCアンチエイリアシングフィルタをフロントエンドで使用する場合)。

## アプリケーション情報

### SPIインタフェース(68HC11、PIC16C73)

ハードウェアSPI(シリアル周辺インタフェース)を備えたマイクロプロセッサは、3線インタフェースを使用してMAX1401にインタフェースすることができます(図12)。SPIハードウェアはSCLK上に8つのパルスからなるグループを生成し、1つのピンにデータをシフトインして他方のピンからシフトアウトします。

最高の結果を得るには、ハードウェア割込みを使用してINTピンを監視し、新しいデータの準備ができた時点でできるだけ早く取り込んで下さい。ハードウェア割込みが使用できない場合、あるいは割込みの待ち時間が選択された変換レートよりも長い場合は、FSYNCビットを

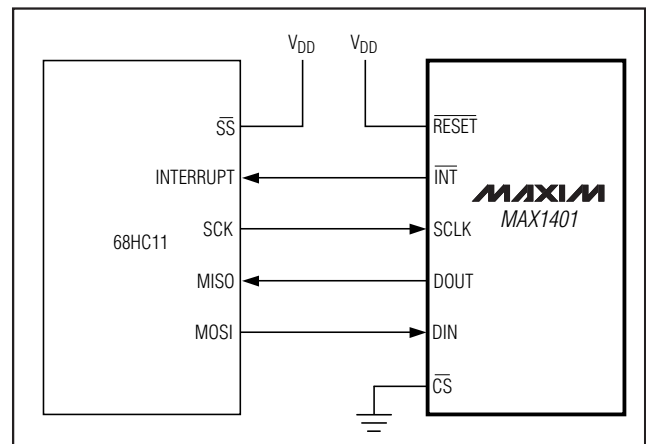


図12. MAX1401から68HC11へのインタフェース

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

```
/* Assumptions:
** The MAX140X's CS pin is tied to ground
** The MAX140X's INT pin drives a falling-edge-triggered interrupt
** MAX140X's DIN is driven by MOSI, DOUT drives MISO, and SCLK drives SCLK
*/

/* Low-level function to write 8 bits using 68HC11 SPI */
void WriteByte (BYTE x)
{
    /* System-dependent: write to SPI hardware and wait until it is finished */
    HC11_SPDR = x;
    while (HC11_SPSR & HC11_SPSR_SPIF) { /* idle loop */ }
}

/* Low-level function to read 8 bits using 68HC11 SPI */
BYTE ReadByte (void)
{
    /* System-dependent: use SPI hardware to clock in 8 bits */
    HC11_SPDR = 0xFF;
    while (HC11_SPSR & HC11_SPSR_SPIF) { /* idle loop */ }
    return HC11_SPDR;
}

/* Low-level interrupt handler called whenever the MAX140X's INT pin goes low.
** This function reads new data from the MAX140X and feeds it into a
** user-defined function Process_Data().
*/
void HandleDRDY (void)
{
    BYTE data_H_bits, data_M_bits, data_L_bits; /* storage for data register */
    WriteByte(0x78); /* read the latest data register value */
    data_H_bits = ReadByte();
    data_M_bits = ReadByte();
    data_L_bits = ReadByte();
    Process_Data(data_H_bits, data_M_bits, data_L_bits);
    /* System-dependent: re-enable the interrupt service routine */
}

/* High-level function to configure the MAX140X's registers
** Refer to data sheet for custom setup values.
*/
void Initialize (void)
{
    /* System-dependent: configure the SPI hardware (CPOL=1,CPHA=1) */
    /* write to all of configuration registers */
    MY_GS1 = 0x0A; MY_GS2 = 0x00; MY_GS3 = 0x00;
    MY_TF1 = 0x00; MY_TF2 = 0x00; MY_TF3 = 0x00;
    WriteByte(0x10); WriteByte(MY_GS1); /* write Global Setup 1 */
    WriteByte(0x20); WriteByte(MY_GS2); /* write Global Setup 2 */
    WriteByte(0x30); WriteByte(MY_GS3); /* write Global Setup 3 */
    WriteByte(0x40); WriteByte(MY_TF1); /* write Transfer Function 1 */
    WriteByte(0x50); WriteByte(MY_TF2); /* write Transfer Function 2 */
    WriteByte(0x60); WriteByte(MY_TF3); /* write Transfer Function 3 */
    /* System-dependent: enable the data-ready (DRDY) interrupt handler */
}
}
```

リスト1. SPIインタフェースの例

# +3V、18ビット低電力マルチチャンネル、 オーバーサンプリング(シグマ・デルタ)ADC

MAX1401

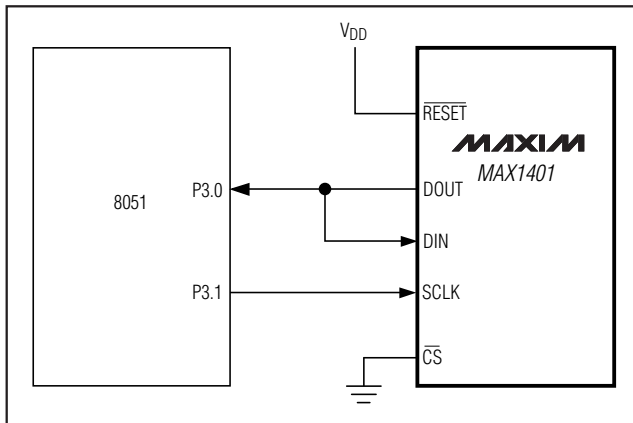


図13. MAX1401から8051へのインタフェース

使用してデータ出力レジスタ読取り中の自動測定を防いで下さい。

リスト1のコード例は、68HC11を使用してMAX1401とインタフェースする方法を示しています。システムに依存する初期化コードは図示されていません。

## ビットバンギングインタフェース (80C51、PIC16C54)

どのようなマイクロコントローラでも、汎用I/Oピンを使用してMAX1401にインタフェースすることができます。双方向性又はオープンドレインI/Oピンが使用できる場合は、DINをDOUTに接続することによってインタフェースピンの数を低減して下さい(図13)。リスト2にSPIをソフトウェアでエミュレートする方法を示します。リスト1に示したものと同一初期化ルーチンを使って下さい。

```
/* Low-level function to write 8 bits
** The example shown here is for a bit-banging system with (CPOL=1,CPHA=1)
*/
void WriteByte (BYTE x)
{
    drive SCK pin high
    count = 0;
    while (count <= 7)
    {
        if (bit 7 of x is 1)
            drive DIN pin high
        else
            drive DIN pin low
        drive SCK pin low
        x = x * 2;
        drive SCK pin high
        count = count + 1;
    }
}

/* Low-level function to read 8 bits
** The example shown here is for a bit-banging system with (CPOL=1,CPHA=1)
*/
BYTE ReadByte (void)
{
    x = 0;
    drive SCK pin high
    count = 0;
    while (count <= 7)
    {
        x = x * 2;
        drive SCK pin low
        if (DOUT pin is high)
            x = x + 1;
        drive SCK pin high
        count = count + 1;
    }
    return x;
}
```

リスト2. ビットバンギングSPI代替方法



# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

最高の結果を得るには、ハードウェア割込みを使用してINTピンを監視し、新しいデータの準備ができた時点でできるだけ早く取り込んで下さい。ハードウェア割込みが使用できない場合、あるいは割込みの待ち時間が選択された変換レートよりも長い場合は、FSYNCビットを使ってデータ出力レジスタ読取り中の自動測定を防いで下さい。

## 歪み計の動作

MAX1401の差動入力を歪み計のブリッジネットワークに接続して下さい。図14において、アナログ正電源電圧がブリッジネットワーク及びMAX1401とMAX1401のリファレンス電圧を駆動します。内蔵PGAによって、MAX1401はフルスケール10mVという小さなアナログ

入力電圧範囲まで扱うことができます。本デバイスは差動入力であるため、このアナログ入力範囲の絶対値はAGND~V+の間のもので構いません。

## 温度測定

図15に熱電対からMAX1401への接続を示します。このアプリケーションにおいては、MAX1401がバッファ付モードで動作するため、フロントエンドに大きなデカップリングコンデンサを使用できます。これらのデカップリングコンデンサは、熱電対のリード線が拾うノイズを除去します。MAX1401がバッファ付モードで動作している時は、コモンモード範囲が小さくなります。熱電対からの差動電圧を適切なコモンモード電圧にのせるために、MAX1401のAIN2入力はリファレンス電圧+1.25Vにバイアスされています。

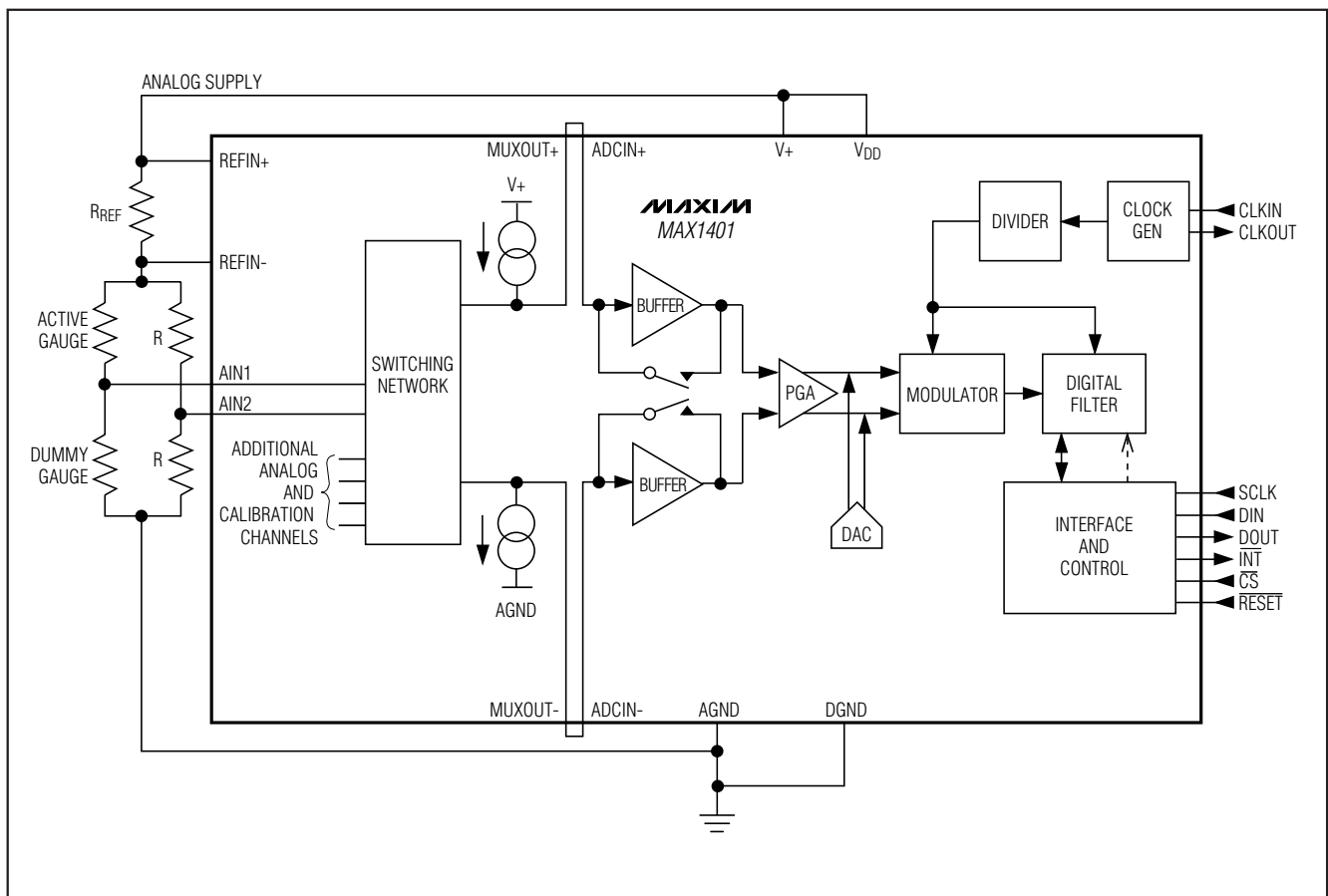


図14. MAX1401を使用した歪み計

# +3V、18ビット低電力マルチチャンネル、 オーバーサンプリング(シグマ・デルタ)ADC

MAX1401

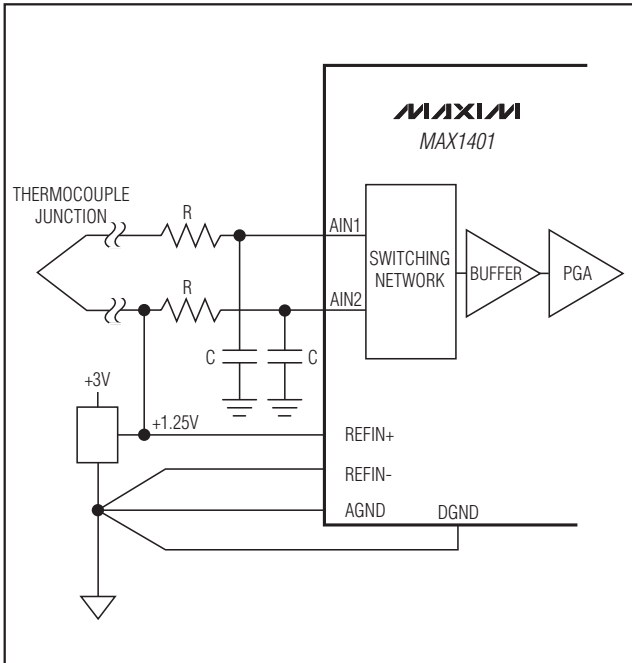


図15. MAX1401を使用した熱電対アプリケーション

## 4~20mAループ駆動トランスミッタ

低電力、単一電源動作でフォトカプラとのインタフェースが簡単なMAX1401は、ループ駆動の4~20mAトランスミッタに最適です。ループ駆動のトランスミッタは4~20mAループから電源を得ているため、トランスミッタ回路で使用できる電流が4mAに制限されます。ループの許容誤差により、この使用可能電流がさらに3.5mAにまで制限されます。MAX1401は消費電流が僅か250 $\mu$ Aであるため、残りのトランスミッタ回路で合計3.25mAを消費することができます。図16にループ駆動の4~20mAトランスミッタのブロック図を示します。

## 電源

MAX1401には特定の電源シーケンスは必要ありません。V+又はV<sub>DD</sub>のいずれが先でも構いません。MAX1401は優れたラッチアップ性能を持ってはいますが、ラッチアップを防ぐために、アナログ入力信号(AIN<sub>1</sub>)又はCLKIN入力の前にMAX1401の電源を投入することが重要です。これが不可能な場合は、これらのピンに流れ込む電流を50mAに制限して下さい。MAX1401とシステムデジタル回路に別々の電源が使用されている場合は、MAX1401の電源を先に投入して下さい。

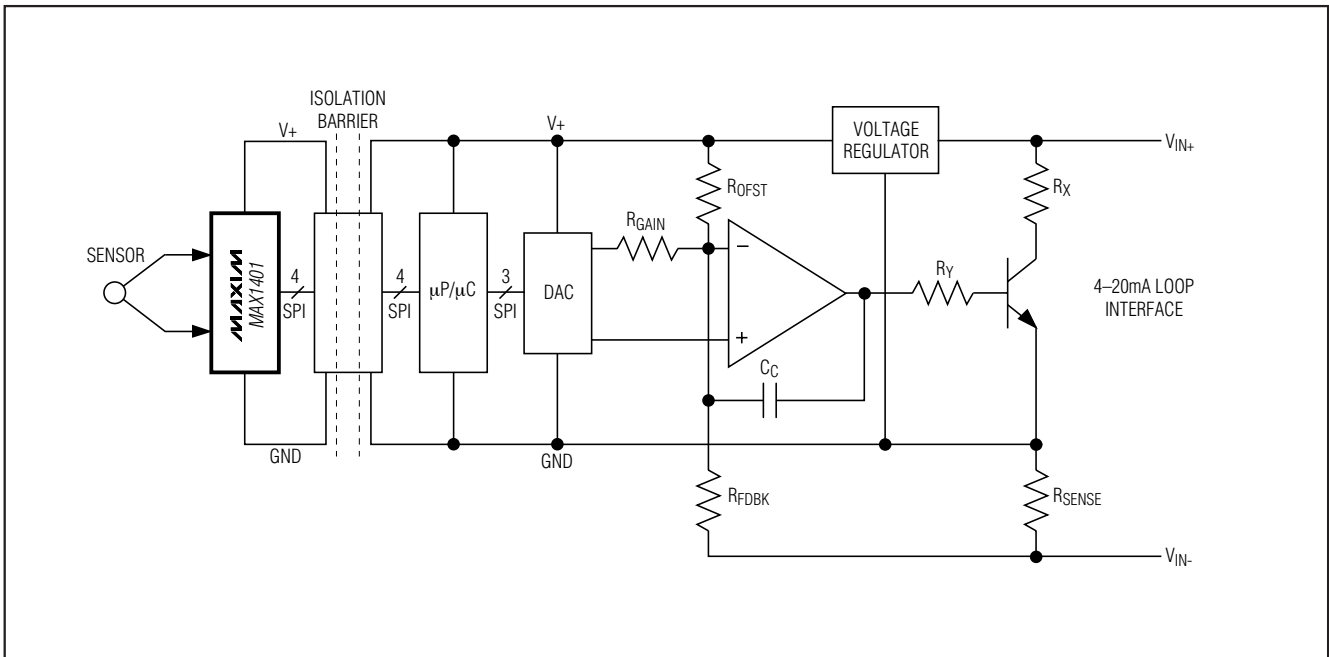


図16. 4~20mAトランスミッタ

# +3V、18ビット低電力マルチチャネル、 オーバサンプリング(シグマ・デルタ)ADC

## 接地及びレイアウト

最高の性能を得るために、アナログとデジタルのグランドプレーンが別々になったプリント基板を使用して下さい。ワイヤラップ基板は推奨しません。

アナログとデジタルのセクションが分離され、各々が基板上的異なる場所に局限されるようにプリント基板を設計して下さい。デジタルとアナログのグランドプレーンは1箇所だけで接続して下さい。AGNDとDGNDの接続を必要とするデバイスがMAX1401だけの場合は、グランドプレーン同士の接続をMAX1401のAGNDピンとDGNDピンのところで行って下さい。複数のデバイスがAGNDとDGNDの接続を必要とするシステムにおいても、接続は一点だけで行って下さい。星型グランドがMAX1401のできるだけ近くに来るようにして下さい。

デジタルラインをデバイスの下に引くのは避けて下さい。これはノイズがチップにカップリングする恐れがあるためです。アナロググランドプレーンをMAX1401の下に引くことによって、デジタルノイズのカップリングを最小限に抑えて下さい。低インピーダンス経路を提供し、電源ラインのグリッチによる影響を低減するために、MAX1401への電源ラインはできるだけ広くして下さい。

クロック等の高速スイッチング信号をデジタルグランドでシールドすることにより、基板上的他のセクションへの放射ノイズを避けて下さい。クロック信号をアナログ入力の近くに引かないで下さい。デジタル信号とアナログ信号が交差しないようにして下さい。基板の反対側にあるトレース同士は互いに直角に引くようにして下さい。これによって、基板上的のフィードスルーの影響を軽減することができます。マイクロストリップ技法が最善ですが、両面基板では不可能な場合もあります。この技法においては、基板の部品面側はグランドプレーン専用を使い、信号はハンダ面側に配置されます。

高分解能ADCを使用する場合には、良好なデカップリングが重要です。全てのアナログ電源は10 $\mu$ Fタンタルコンデンサと0.1 $\mu$ F HFセラミックコンデンサを並列に接続したものでAGNDにバイパスして下さい。最良のデカップリングを実現するために、これらの部品はできるだけデバイスの近くに配置して下さい。

MAX1403評価キットのマニュアルに推奨レイアウトが記載されています。この評価基板パッケージには完全実装済み、試験済みの評価基板が含まれています。

## チップ情報

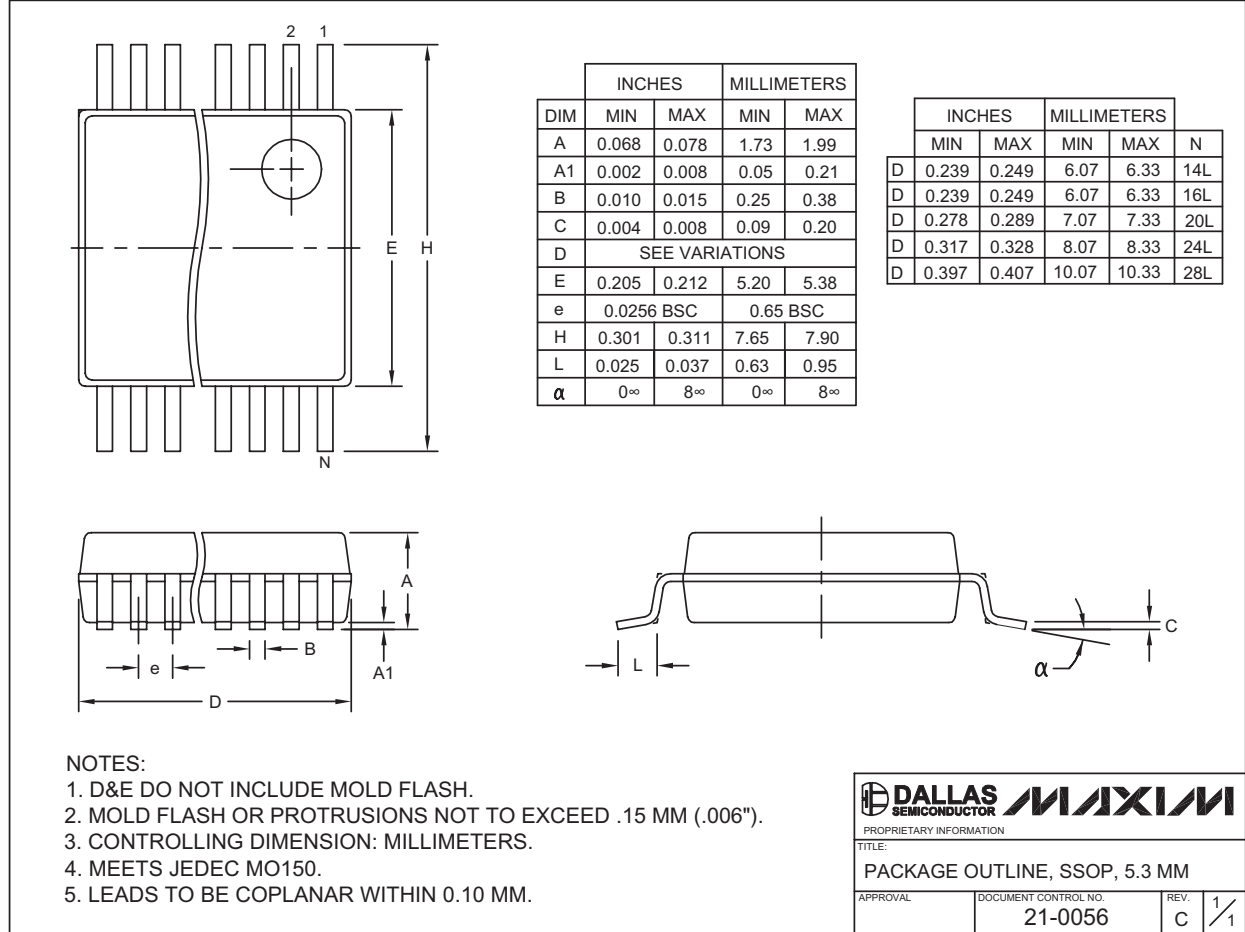
TRANSISTOR COUNT: 34,648

SUBSTRATE CONNECTED TO AGND

# +3V、18ビット低電力マルチチャンネル、 オーバサンプリング(シグマ・デルタ)ADC

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

36 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**