

内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

概要

MAX1284/MAX1285は、高帯域幅トラック/ホールド、高変換速度のシリアルインタフェース、内部+2.5Vリファレンス及び低消費電力の特性を持つ12ビットアナログデジタルコンバータ(ADC)です。MAX1284は+4.5V~+5.5Vの単一電源で動作し、MAX1285は+2.7V~+3.6Vの単一電源で動作します。

3線シリアルインタフェースは、外部ロジックを使用せずに直接SPI™、QSPI™及びMICROWIRE™機器に接続できます。MAX1284/MAX1285は、外部シリアルインタフェースクロックを使用することにより、逐次比較型のアナログ/デジタル変換を行います。

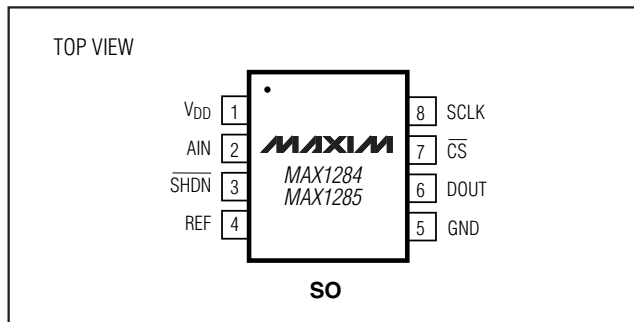
低電力で使いやすく、小型パッケージのこれらのコンバータは、リモートセンサ及びデータ収集アプリケーションあるいはその他の消費電力とスペースの条件が厳しい回路に最適です。MAX1284/MAX1285は8ピンSOPパッケージで提供されています。

これらの製品は、MAX1240/MAX1241のピンコンパチブル高速アップグレード製品です。詳細については、該当するデータシートを参照して下さい。

アプリケーション

- ポータブルデータロギング
- データ収集
- 医療機器
- バッテリー駆動機器
- ペンティンタイザ
- プロセス制御

ピン配置



SPI及びQSPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

特長

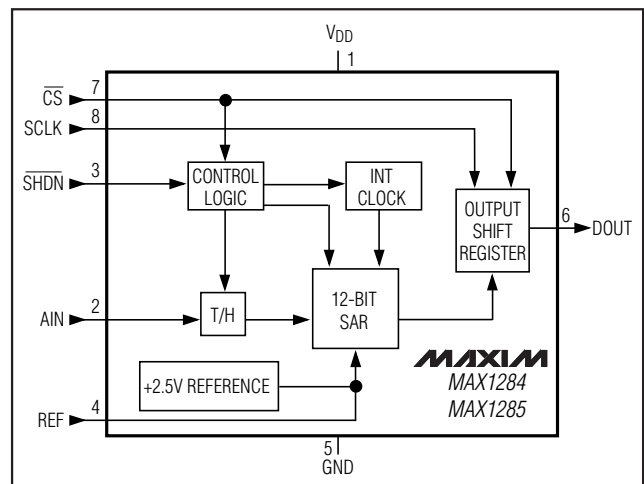
- ◆ 単一電源 :
+4.5V~+5.5V(MAX1284)
+2.7V~+3.6V(MAX1285)
- ◆ DNL : ±1LSB(max)、INL : ±1LSB(max)
- ◆ サンプリングレート : 400ksps(MAX1284)
- ◆ 内部トラック/ホールド
- ◆ +2.5V内部リファレンス
- ◆ 低電力 : 2.5mA(400ksps)
- ◆ 3線シリアルインタフェース :
SPI/QSPI/MICROWIREコンパチブル
- ◆ MAX1240/MAX1241のピンコンパチブル
高速アップグレード製品
- ◆ パッケージ : 8ピンSOP

型番

| PART | TEMP. RANGE | PIN-PACKAGE | SUPPLY VOLTAGE (V) |
|--------------|----------------|-------------|--------------------|
| MAX1284BCSA | 0°C to +70°C | 8 SO | 5 |
| MAX1284BESA* | -40°C to +85°C | 8 SO | 5 |
| MAX1285BCSA | 0°C to +70°C | 8 SO | 2.7 to 3.6 |
| MAX1285BESA | -40°C to +85°C | 8 SO | 2.7 to 3.6 |

*Future product—contact factory for availability.

ファンクションダイアグラム



内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

MAX1284/MAX1285

ABSOLUTE MAXIMUM RATINGS

| | |
|---|-----------------------------------|
| V _{DD} to GND | -0.3V to +6V |
| A _{IN} to GND | -0.3V to (V _{DD} + 0.3V) |
| REF to GND | -0.3V to (V _{DD} + 0.3V) |
| Digital Inputs to GND | -0.3V to +6V |
| DOUT to GND | -0.3V to (V _{DD} + 0.3V) |
| DOUT Current | ±25mA |
| Continuous Power Dissipation (T _A = +70°C) | |
| 8-Pin SO (derate 5.88mW/°C above +70°C) | 471mW |

| | |
|-----------------------------------|-----------------|
| Operating Temperature Ranges | |
| MAX1284BCSA/MAX1285BCSA | 0°C to +70°C |
| MAX1284BESA/MAX1285BESA | -40°C to +85°C |
| Storage Temperature Range | -60°C to +150°C |
| Lead Temperature (soldering, 10s) | +300°C |

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX1284

(V_{DD} = +4.5V to +5.5V; f_{SCLK} = 6.4MHz, 50% duty cycle, 16 clocks/conversion cycle (400ksps), 4.7μF capacitor at REF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|-----------------------------|---|-----|------|------|--------|
| DC ACCURACY (Note 1) | | | | | | |
| Resolution | | | 12 | | | Bits |
| Relative Accuracy (Note 2) | INL | | | | ±1.0 | LSB |
| Differential Nonlinearity | DNL | No missing codes over temperature | | | ±1.0 | LSB |
| Offset Error | | | | | ±6.0 | LSB |
| Gain Error (Note 3) | | | | | ±6.0 | LSB |
| Gain Error Temperature Coefficient | | | | ±0.8 | | ppm/°C |
| DYNAMIC SPECIFICATIONS (100kHz sine wave, 2.5Vp-p, clock = 6.4MHz) | | | | | | |
| Signal-to-Noise Plus Distortion Ratio | SINAD | | | 70 | | dB |
| Total Harmonic Distortion | THD | Up to the 5th harmonic | | -80 | | dB |
| Spurious-Free Dynamic Range | SFDR | | | 80 | | dB |
| Intermodulation Distortion | IMD | f _{IN1} = 99Hz, f _{IN2} = 102Hz | | 76 | | dB |
| Full-Power Bandwidth | | -3dB point | | 6 | | MHz |
| Full-Linear Bandwidth | | SINAD > 68dB | | 350 | | kHz |
| CONVERSION RATE | | | | | | |
| Conversion Time (Note 4) | t _{CONV} | | 2.5 | | | μs |
| Track/Hold Acquisition Time | t _{ACQ} | | | | 468 | ns |
| Aperture Delay | | | | 10 | | ns |
| Aperture Jitter | | | | <50 | | ps |
| Serial Clock Frequency | f _{SCLK} | | 0.5 | | 6.4 | MHz |
| Duty Cycle | | | 40 | | 60 | % |
| ANALOG INPUT (A_{IN}) | | | | | | |
| Input Voltage Range | V _{A_{IN}} | | 0 | | 2.5 | V |
| Input Capacitance | | | | 18 | | pF |

内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

MAX1284/MAX1285

ELECTRICAL CHARACTERISTICS—MAX1284 (continued)

($V_{DD} = +4.5V$ to $+5.5V$; $f_{SCLK} = 6.4MHz$, 50% duty cycle, 16 clocks/conversion cycle (400ksps), 4.7 μF capacitor at REF, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|--------------|--|------|-----------|-----------|-----------------|
| INTERNAL REFERENCE | | | | | | |
| REF Output Voltage | V_{REF} | | 2.48 | 2.50 | 2.52 | V |
| REF Short-Circuit Current | | $T_A = +25^\circ C$ | | 30 | | mA |
| REF Output Tempco | TC V_{REF} | | | ± 15 | | ppm/ $^\circ C$ |
| Load Regulation (Note 5) | | 0 to 1mA output load | | 0.1 | 2.0 | mV/mA |
| Capacitive Bypass at REF | | | 4.7 | | 10 | μF |
| DIGITAL INPUTS (SCLK, CS, SHDN) | | | | | | |
| Input High Voltage | V_{INH} | | 3.0 | | | V |
| Input Low Voltage | V_{INL} | | | | 0.8 | V |
| Input Hysteresis | V_{HYST} | | | 0.2 | | V |
| Input Leakage | I_{IN} | $V_{IN} = 0$ or V_{DD} | | | ± 1 | μA |
| Input Capacitance | C_{IN} | | | 15 | | pF |
| DIGITAL OUTPUT (DOUT) | | | | | | |
| Output Voltage Low | V_{OL} | $I_{SINK} = 5mA$ | | | 0.4 | V |
| Output Voltage High | V_{OH} | $I_{SOURCE} = 1mA$ | 4 | | | V |
| Three-State Leakage Current | I_L | $\overline{CS} = +5V$ | | | ± 10 | μA |
| Three-State Output Capacitance | C_{OUT} | $\overline{CS} = +5V$ | | 15 | | pF |
| POWER SUPPLY | | | | | | |
| Positive Supply Voltage (Note 6) | V_{DD} | | 4.5 | | 5.5 | V |
| Positive Supply Current (Note 7) | I_{DD} | $V_{DD} = +5.5V$ | | 2.5 | 4.0 | mA |
| Shutdown Supply Current | I_{SHDN} | $SCLK = V_{DD}$, $SHDN = GND$ | | 2 | 10 | μA |
| Power-Supply Rejection | PSR | $V_{DD} = +5V \pm 10\%$, midscale input | | ± 0.5 | ± 2.0 | mV |

ELECTRICAL CHARACTERISTICS—MAX1285

($V_{DD} = +2.7V$ to $+3.6V$; $f_{SCLK} = 4.8MHz$, 50% duty cycle, 16 clocks/conversion cycle (300ksps), 4.7 μF capacitor at REF, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|------------------------------------|--------|-----------------------------------|-----|-----------|-----------|-----------------|
| DC ACCURACY (Note 1) | | | | | | |
| Resolution | | | 12 | | | Bits |
| Relative Accuracy (Note 2) | INL | | | | ± 1.0 | LSB |
| Differential Nonlinearity | DNL | No missing codes over temperature | | | ± 1.0 | LSB |
| Offset Error | | | | | ± 6.0 | LSB |
| Gain Error (Note 3) | | | | | ± 6.0 | LSB |
| Gain Error Temperature Coefficient | | | | ± 1.6 | | ppm/ $^\circ C$ |

内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

MAX1284/MAX1285

ELECTRICAL CHARACTERISTICS—MAX1285 (continued)

(V_{DD} = +2.7V to +3.0V; f_{SCLK} = 4.8MHz, 50% duty cycle, 16 clocks/conversion cycle (300ksps), 4.7μF capacitor at REF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---------------------|--|------|------|------|--------|
| DYNAMIC SPECIFICATIONS (75kHz sine wave, 2.5Vp-p, f _{SAMPLE} = 300ksps, f _{SCLK} = 4.8MHz) | | | | | | |
| Signal-to-Noise Plus Distortion Ratio | SINAD | | | 70 | | dB |
| Total Harmonic Distortion | THD | Up to the 5th harmonic | | -80 | | dB |
| Spurious-Free Dynamic Range | SFDR | | | 80 | | dB |
| Intermodulation Distortion | IMD | f _{IN1} = 73kHz, f _{IN2} = 77kHz | | 76 | | dB |
| Full-Power Bandwidth | | -3dB point | | 3 | | MHz |
| Full-Linear Bandwidth | | SINAD > 68dB | | 250 | | kHz |
| CONVERSION RATE | | | | | | |
| Conversion Time (Note 4) | t _{CONV} | | 3.3 | | | μs |
| Track/Hold Acquisition Time | t _{ACQ} | | | | 625 | ns |
| Aperture Delay | | | | 10 | | ns |
| Aperture Jitter | | | | <50 | | ps |
| Serial Clock Frequency | f _{SCLK} | | 0.5 | | 4.8 | MHz |
| Duty Cycle | | | 40 | | 60 | % |
| ANALOG INPUT (AIN) | | | | | | |
| Input Voltage Range | V _{AIN} | | 0 | | 2.5 | V |
| Input Capacitance | | | | 18 | | pF |
| INTERNAL REFERENCE | | | | | | |
| REF Output Voltage | V _{REF} | | 2.48 | 2.50 | 2.52 | V |
| REF Short-Circuit Current | | T _A = +25°C | | 15 | | mA |
| REF Output Tempco | TC V _{REF} | | | ±15 | | ppm/°C |
| Load Regulation (Note 5) | | 0 to 0.75mA output load | | 0.1 | 2.0 | mV/mA |
| Capacitive Bypass at REF | | | 4.7 | | 10 | μF |
| DIGITAL INPUTS (SCLK, CS, SHDN) | | | | | | |
| Input High Voltage | V _{INH} | | 2.0 | | | V |
| Input Low Voltage | V _{INL} | | | | 0.8 | V |
| Input Hysteresis | V _{HYST} | | | 0.2 | | V |
| Input Leakage | I _{IN} | V _{IN} = 0 or V _{DD} | | | ±1 | μA |
| Input Capacitance | C _{IN} | | | 15 | | pF |
| DIGITAL OUTPUT (DOUT) | | | | | | |
| Output Voltage Low | V _{OL} | I _{SINK} = 5mA | | | 0.4 | V |
| Output Voltage High | V _{OH} | I _{SOURCE} = 0.5mA | 4 | | | V |
| Three-State Leakage Current | I _L | \overline{CS} = +3V | | | ±10 | μA |
| Three-State Output Capacitance | C _{OUT} | \overline{CS} = +3V | | 15 | | pF |
| POWER SUPPLY | | | | | | |
| Positive Supply Voltage (Note 6) | V _{DD} | | 2.7 | | 3.6 | V |
| Positive Supply Current (Note 7) | I _{DD} | V _{DD} = +3.6V | | 2.5 | 3.5 | mA |
| Shutdown Supply Current | I _{SHDN} | SCLK = V _{DD} , \overline{SHDN} = GND | | 2 | 10 | μA |
| Power-Supply Rejection | PSR | V _{DD} = +2.7V to 3.6V, midscale input | | ±0.5 | ±2.0 | mV |

内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

MAX1284/MAX1285

TIMING CHARACTERISTICS—MAX1284 (Figures 1, 2, 8, 9)

($V_{DD} = +4.5V$ to $+5.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|--------|-------------------|-----|-----|-----|-------|
| SCLK Period | tCP | | 156 | | | ns |
| SCLK Pulse Width High | tCH | | 62 | | | ns |
| SCLK Pulse Width Low | tCL | | 62 | | | ns |
| \overline{CS} Fall to SCLK Rise Setup | tCSS | | 35 | | | ns |
| SCLK Rise to \overline{CS} Rise Hold | tCSH | | 0 | | | ns |
| SCLK Rise to \overline{CS} Fall Ignore | tCSO | | 35 | | | ns |
| \overline{CS} Rise to SCLK Rise Ignore | tCS1 | | 35 | | | ns |
| SCLK Rise to DOUT Hold | tDOH | $C_{LOAD} = 20pF$ | 10 | | | ns |
| SCLK Rise to DOUT Valid | tDOV | $C_{LOAD} = 20pF$ | | | 80 | ns |
| \overline{CS} Rise to DOUT Disable | tDOD | $C_{LOAD} = 20pF$ | 10 | | 65 | ns |
| \overline{CS} Fall to DOUT Enable | tDOE | $C_{LOAD} = 20pF$ | | | 65 | ns |
| \overline{CS} Pulse Width High | tCSW | | 100 | | | ns |

TIMING CHARACTERISTICS—MAX1285 (Figures 1, 2, 8, 9)

($V_{DD} = +2.7V$ to $+3.6V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|--------|-------------------|-----|-----|-----|-------|
| SCLK Period | tCP | | 208 | | | ns |
| SCLK Pulse Width High | tCH | | 83 | | | ns |
| SCLK Pulse Width Low | tCL | | 83 | | | ns |
| \overline{CS} Fall to SCLK Rise Setup | tCSS | | 45 | | | ns |
| SCLK Rise to \overline{CS} Rise Hold | tCSH | | 0 | | | ns |
| SCLK Rise to \overline{CS} Fall Ignore | tCSO | | 45 | | | ns |
| \overline{CS} Rise to SCLK Rise Ignore | tCS1 | | 45 | | | ns |
| SCLK Rise to DOUT Hold | tDOH | $C_{LOAD} = 20pF$ | 13 | | | ns |
| SCLK Rise to DOUT Valid | tDOV | $C_{LOAD} = 20pF$ | | | 100 | ns |
| \overline{CS} Rise to DOUT Disable | tDOD | $C_{LOAD} = 20pF$ | 13 | | 85 | ns |
| \overline{CS} Fall to DOUT Enable | tDOE | $C_{LOAD} = 20pF$ | | | 85 | ns |
| \overline{CS} Pulse Width High | tCSW | | 100 | | | ns |

Note 1: Tested at $V_{DD} = V_{DD(MIN)}$.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

Note 3: Internal reference, offset, and reference errors nulled.

Note 4: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 5: External load should not change during conversion for specified accuracy. Guaranteed specification limit of 2mV/mA due to production test limitations.

Note 6: Electrical characteristics are guaranteed from $V_{DD(MIN)}$ to $V_{DD(MAX)}$. For operations beyond this range, see *Typical Operating Characteristics*.

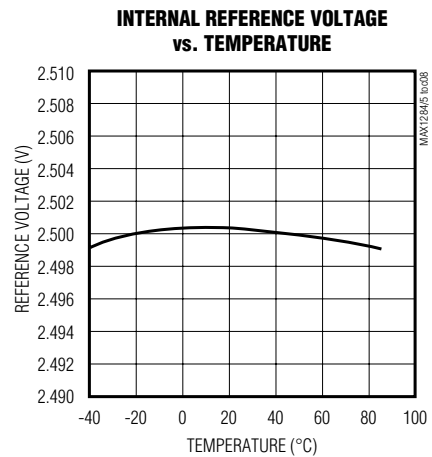
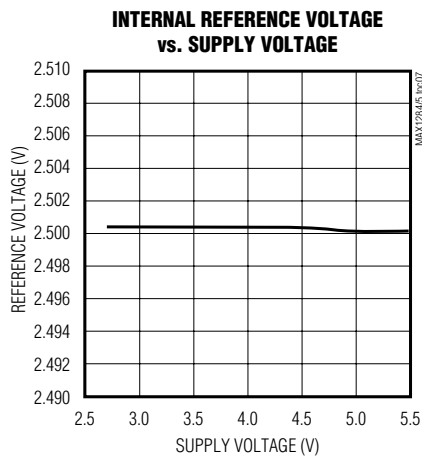
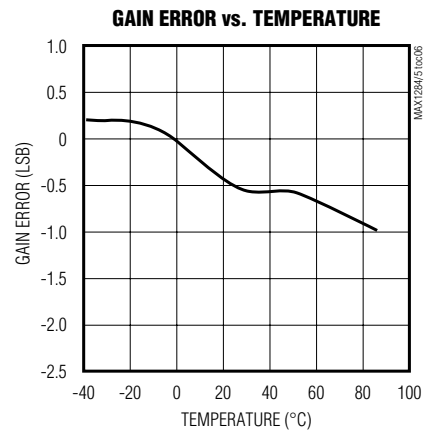
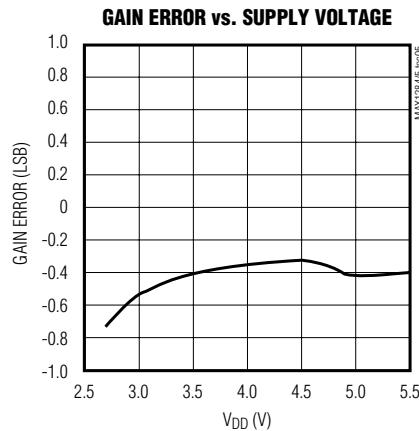
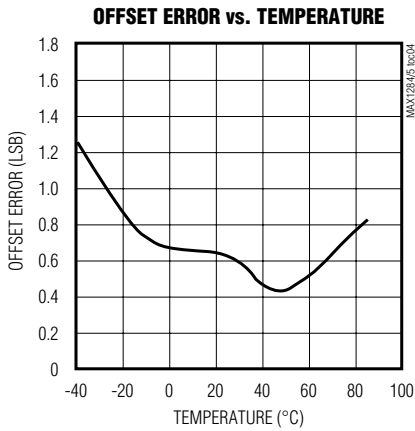
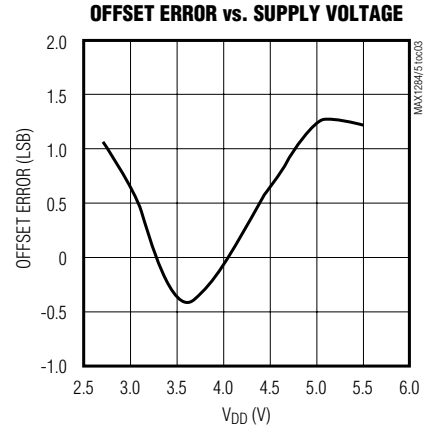
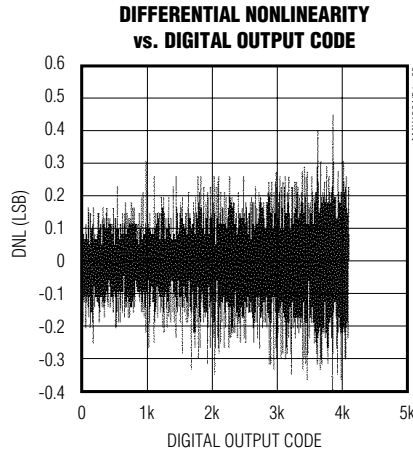
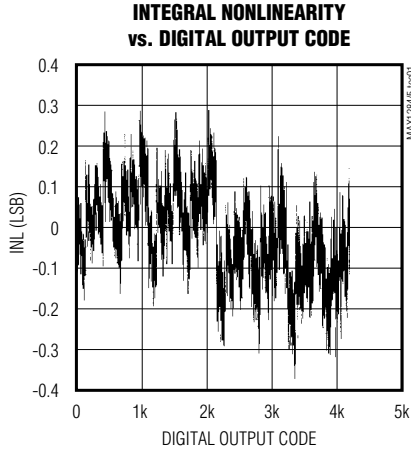
Note 7: MAX1284 tested with 20pF on DOUT and $f_{SCLK} = 6.4MHz$, 0 to 5V. MAX1285 tested with same loads, $f_{SCLK} = 4.8MHz$, 0 to 3V. DOUT = full scale.

内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

MAX1284/MAX1285

標準動作特性

(MAX1284: $V_{DD} = +5.0V$, $f_{SCLK} = 6.4MHz$, MAX1285: $V_{DD} = +3.0V$, $f_{SCLK} = 4.8MHz$; $C_{LOAD} = 20pF$, $4.7\mu F$ capacitor at REF, $T_A = +25^\circ C$, unless otherwise noted.)

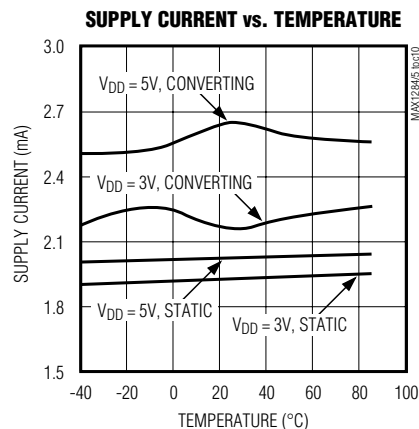
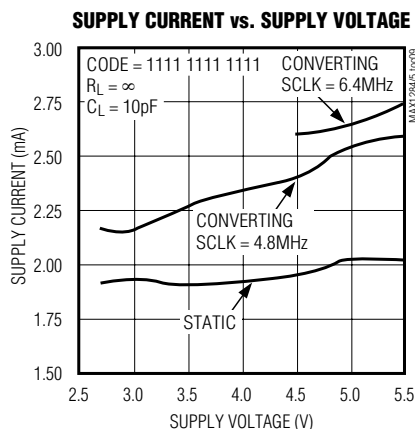


内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

MAX1284/MAX1285

標準動作特性(続き)

(MAX1284: $V_{DD} = +5.0V$, $f_{SCLK} = 6.4MHz$, MAX1285: $V_{DD} = +3.0V$, $f_{SCLK} = 4.8MHz$; $C_{LOAD} = 20pF$, $4.7\mu F$ capacitor at REF, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

| 端子 | 名称 | 機能 |
|----|-------------------|--|
| 1 | V_{DD} | 正電源電圧 |
| 2 | AIN | サンプリングアナログ入力(0~ V_{REF}) |
| 3 | \overline{SHDN} | アクティブローシャットダウン入力。 \overline{SHDN} をローにすると、デバイスはシャットダウンされ、消費電流が $2\mu A$ (typ)に低減します。 |
| 4 | REF | アナログデジタル変換用のリファレンス電圧。内部2.5リファレンス出力。4.7 μF コンデンサでバイパスして下さい。 |
| 5 | GND | アナログ及びデジタルグランド |
| 6 | DOUT | シリアルデータ出力。DOUTの状態はSCLKの立上がりエッジで変化します。 \overline{CS} がハイの時ハイインピーダンスになります。 |
| 7 | \overline{CS} | アクティブローのチップセレクト。 \overline{CS} の立下がりエッジで変換が開始されます。 \overline{CS} ハイの時、DOUTはハイインピーダンスになります。 |
| 8 | SCLK | シリアルクロック入力。SCLKは変換プロセスを駆動し、最大6.4MHz(MAX1284)又は4.8MHz(MAX1285)のレートでデータを同期出力します。 |

内部リファレンス付、400ksps/300ksps、単一電源、低電力シリアル12ビットADC

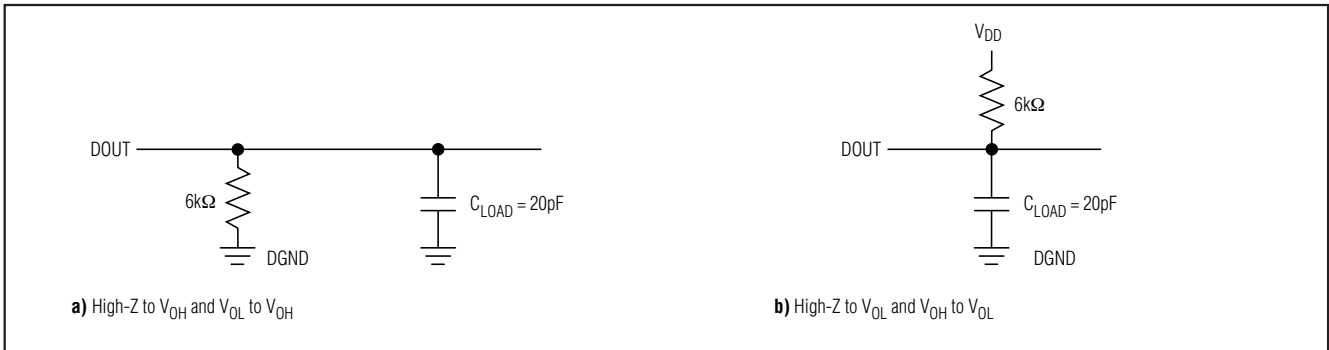


図1. DOUTイネーブル時間用の負荷回路

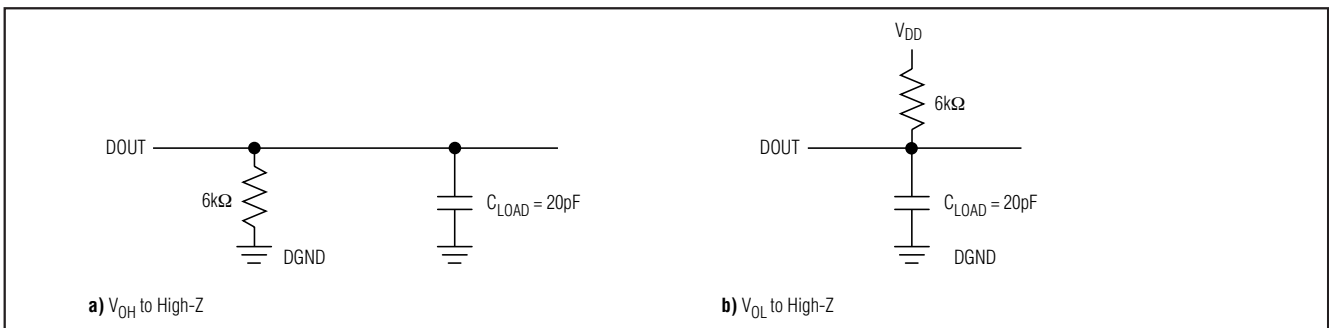


図2. DOUTディセーブル時間用の負荷回路

詳細

コンバータの動作

MAX1284/MAX1285は、入力トラック/ホールド(T/H)及び逐次比較レジスタ(SAR)を使用してアナログ入力信号をデジタル12ビット出力に変換します。図3に、MAX1284/MAX1285の最もシンプルな構成を示します。内部リファレンスは2.5Vにトリミングされています。シリアルインタフェースは僅か3本(SCLK、 \overline{CS} 及びDOUT)のデジタルラインを必要とするだけで、マイクロプロセッサ(μP)へのインタフェースを容易に実現できます。

MAX1284/MAX1285には、通常及びシャットダウンの2つの動作モードがあります。 \overline{SHDN} をローに下げると素子がシャットダウンし、消費電流が $2\mu A$ 以下(typ)に低減します。 \overline{SHDN} をハイにすると、素子は通常動作モードになります。 \overline{CS} をローにするとSCLKによって駆動される変換が開始されます。変換結果は、ユニポーラシリアルフォーマットでDOUTに出力されます。シリアルデータストリームは、3つのゼロの後にMSBを先頭ビットとするデータビットが続きます。DOUTの全ての遷移は、SCLKの立上がりエッジの20ns後に起こります。図8及び9にインタフェースのタイミングを示します。

アナログ入力

図4に、アナログデジタルコンバータ(ADC)のコンパレータのサンプリング構造を示します。フルスケール入力電圧は、内部リファレンス($V_{REF} = +2.5V$)により設定されます。

トラック/ホールド

トラックモードにおいて、アナログ信号は取り込まれて内部ホールドコンデンサに蓄積されます。ホールドモードではT/Hスイッチが開き、ADCのSAR部分への入力を一定に維持します。

アキュイジション中、アナログ入力(AIN)がコンデンサ C_{HOLD} を充電します。 \overline{CS} をローにするとアキュイジション期間が終了します。この瞬間に、T/Hスイッチが C_{HOLD} の入力側をGNDに切り換えます。 C_{HOLD} に保持されている電荷が入力のサンプルを表し、コンパレータの入力のノードZEROを不平衡にします。

ホールドモードでは、容量性デジタルアナログコンバータ(DAC)が変換サイクルの残余時間内に、12ビット分解能の限界内でノードZEROをOVに調節します。この動作は、電荷を C_{HOLD} からバイナリ重み付の容量性DACに移すのと等価であり、この結果、アナログ入力信号のデジタル表現が生成されます。変換の最後では C_{HOLD} の入力側がAINに再び切り換えられ、 C_{HOLD} は再び入力信号まで充電されます。

内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

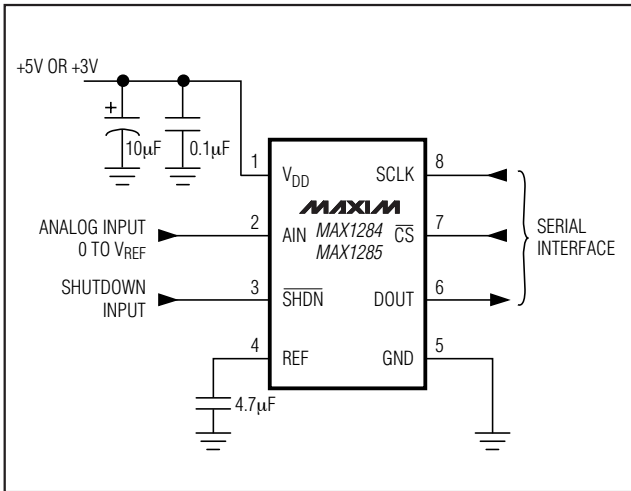


図3. 標準動作回路

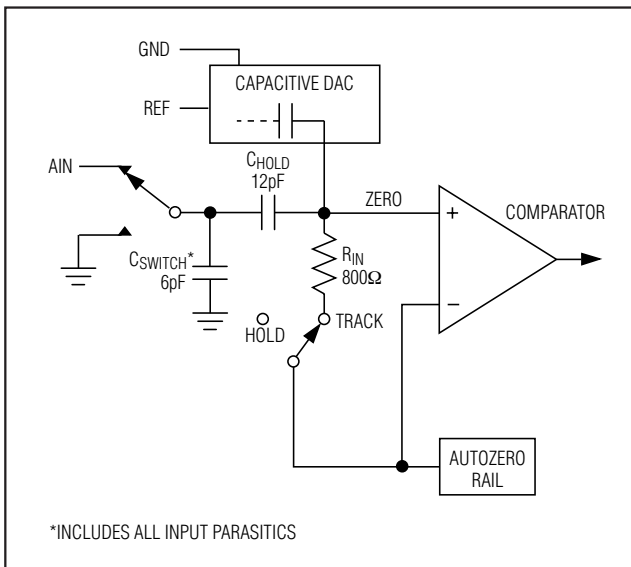


図4. 等価入力回路

T/Hが入力信号を取り込むのに要する時間は、入力容量が充電される速さの関数です。入力信号のソースインピーダンスが高いとアキュジション時間が長くなるため、変換と変換の間隔を長くする必要があります。アキュジション時間(t_{ACQ})は素子が信号を取込むのに要する最大時間であり、信号の取込みに必要な最小時間です。 t_{ACQ} は、次式で計算されます。

$$t_{ACQ} = 9 (R_S + R_{IN}) \times 12\text{pF}$$

ここで、 $R_{IN} = 800\Omega$ 、 R_S = 入力信号のソースインピーダンス、そして t_{ACQ} は必ず468ns以上(MAX1284)又は625ns以上(MAX1285)とします。ソースインピーダンス

が $2k\Omega$ 以下であれば、ADCのAC性能に大きな影響はありません。

アナログ入力に $0.01\mu\text{F}$ のコンデンサを接続すると、これより高いソースインピーダンスも可能になります。入力コンデンサと入力ソースインピーダンスによってRCフィルタが形成されるため、ADCの信号帯域幅が制限されることに注意して下さい。

入力帯域幅

ADCの入力トラック回路の小信号帯域幅は6MHz (MAX1284)又は3MHz(MAX1285)であるため、アンダーサンプリング技法を使用することにより帯域幅がADCのサンプリングレートを超える周期信号を測定し、高速トランジェント現象を数値化できます。不要な高周波信号のエイリアシングが目的の周波数帯域に入るのを防ぐため、アンチエイリアシングフィルタリングを推奨します。

アナログ入力保護

内部保護ダイオードによりアナログ入力が V_{DD} とGNDにクランプされているため、チャンネル入力ピンは $(GND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で、損傷を起こすことなくスイングできます。

アナログ入力が電源を50mV以上超える場合は、入力電流を2mAまでに制限して下さい。

内部リファレンス

MAX1284/MAX1285は、2.5Vにトリミングされたオンチップ電圧リファレンスを備えています。内部リファレンス出力はREFに接続されている他、内部容量性DACも駆動しています。この出力は他の部品のリファレンス電圧ソースとして使用することができます。4.7µFコンデンサでREFをバイパスして下さい。大きなコンデンサを使うと、シャットダウン解除時のウェイクアップ時間が増加します(「SHDN使用による消費電流の低減」を参照)。内部リファレンスはシャットダウン時($\overline{\text{SHDN}} = 0$)にディセーブルされます。

シリアルインタフェース

パワーアップ後の初期化及び変換開始

電源が最初に投入された時に $\overline{\text{SHDN}}$ がローになっていない場合は、放電状態の4.7µFリファレンスバイパスコンデンサが仕様の精度に必要な充電状態になるまでに最大2msを要します。この期間は変換を実行しないで下さい。

内部リファレンス付、400ksps/300ksps、単一電源、低電力シリアル12ビットADC

変換は、 \overline{CS} をローにすることによって開始します。 \overline{CS} の立下がりエッジでT/Hはホールドモードに入り、変換が開始されます。その後、データは外部クロックによってシリアルにシフトアウトされます。

SHDN使用による消費電流の低減

MAX1284/MAX1285を変換と変換の間でシャットダウンすることによって、消費電力を大幅に低減できます。これは、図5の平均消費電流対変換レートのグラフに示されています。ウェイクアップ時間(t_{WAKE})は、 \overline{SHDN} が解除されてから変換を開始できるようになるまでの時間です(図6)。この時間はシャットダウン期間に依存します(図7)。これは、4.7 μ sリファレンスバイパスコンデンサはシャットダウン中に2msほどかけてゆっくりと電荷を失うためです。

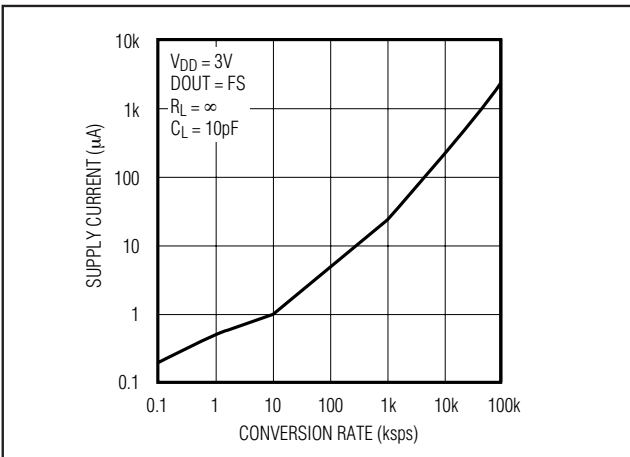


図5. 消費電流対変換レート

タイミング及び制御

変換開始及びデータ読み取り動作は、 \overline{CS} 及びSCLKデジタル入力によって制御されます。図8及び図9のタイミング図に、シリアルインタフェースの動作がまとめられています。

\overline{CS} の立下がりエッジにより変換シーケンスが開始されます。T/H段により入力電圧が保持され、ADCが変換を開始し、DOUTがハイインピーダンスからロジックローに変わります。SCLKは変換プロセスを駆動するために使用され、変換の各ビットが決定されるごとにデータをシフトアウトします。

SCLKは、3番目のSCLKパルスの立下がりエッジの後でデータをシフトアウトし始めます。DOUTはSCLKの立下がりエッジの20ns後で遷移します。3番目の立下がりクロックエッジにより、DOUTに変換のMSBが出てきて、残りのビットがそれに続きます。データビットが12個と先頭に3つのゼロがあるため、これらのビットをシフトアウトするには最低15個の立下がりクロックエッジが必要です。変換結果がクロックアウトされた後及び \overline{CS} の立下がりエッジの前における余分のクロックパルスは、DOUTにゼロの列を生成するだけでコンバータの動作には影響しません。

変換のLSB読み込みの後に、 \overline{CS} をハイにします。最大のスループットを実現するためには、 \overline{CS} を再びローにして、仕様で指定された最小時間(t_{CS})の直後に次の変換を開始して下さい。

出力コーディング及び伝達関数

MAX1284/MAX1285のデータ出力はバイナリです。図10は公称伝達関数を示しています。コード遷移は、隣接する整数LSB値同士の間で起こります。 $V_{REF} = +2.5V$ 、1LSB = 610 μ V(即ち2.500V/4096)です。

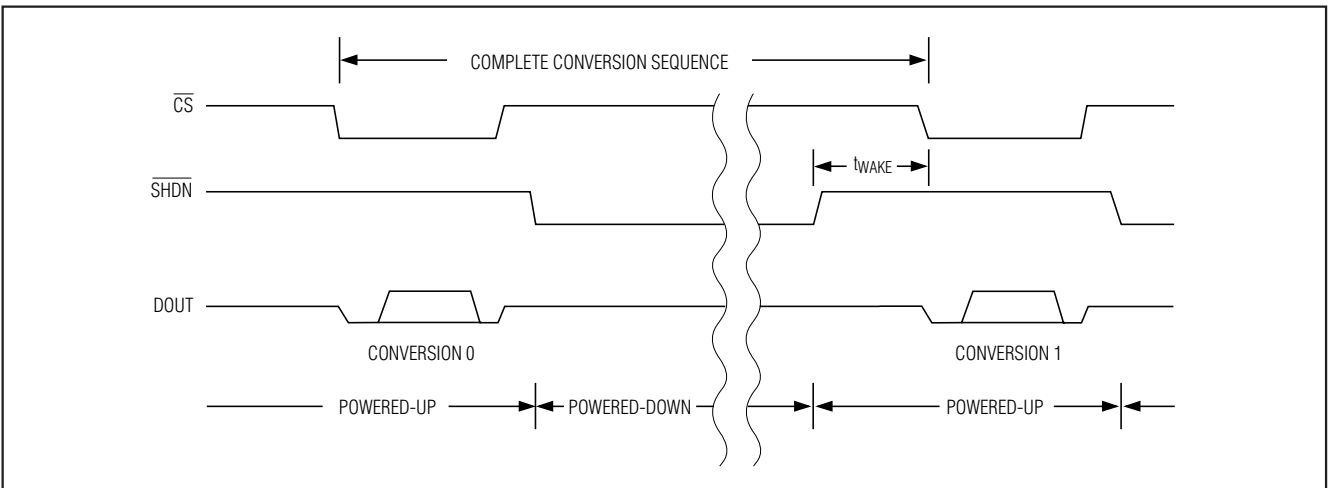


図6. シャットダウンシーケンス

内部リファレンス付、400kps/300kps、単一電源、 低電力シリアル12ビットADC

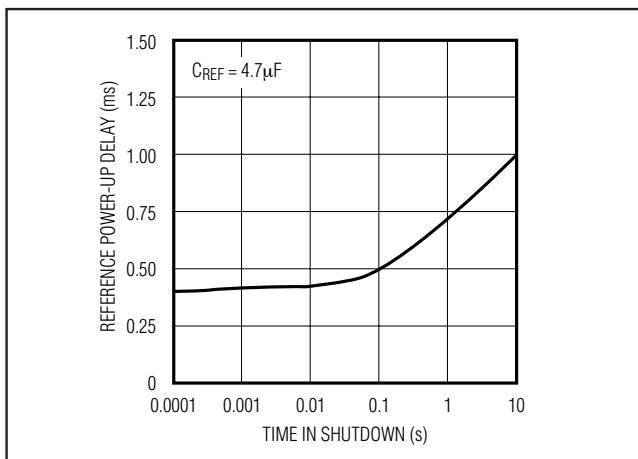


図7. リファレンスパワーアップ対シャットダウン時間

アプリケーション情報

標準インタフェースへの接続

MAX1284/MAX1285シリアルインタフェースは、SPI、QSPI及びMICROWIREと完全にコンパチブルです(図11)。

シリアルインタフェースが使用できる場合は、CPUのシリアルインタフェースをマスターモードに設定し、CPUがシリアルクロックを発生できるようにして下さい。選択できるクロック周波数は、6.4MHz(MAX1284)又は4.8MHz(MAX1285)までとなっています。

- 1) CPUの汎用I/Oラインを使用して、 \overline{CS} をローにします。SCLKは、ローに維持します。
- 2) SCLKを少なくとも15クロックサイクル作動させます。最初の2クロックではDOUTにゼロが出てきます。DOUTの出力データは、3番目のSCLKの上上がりエッジ後20ns遷移し、MSBを先頭にした

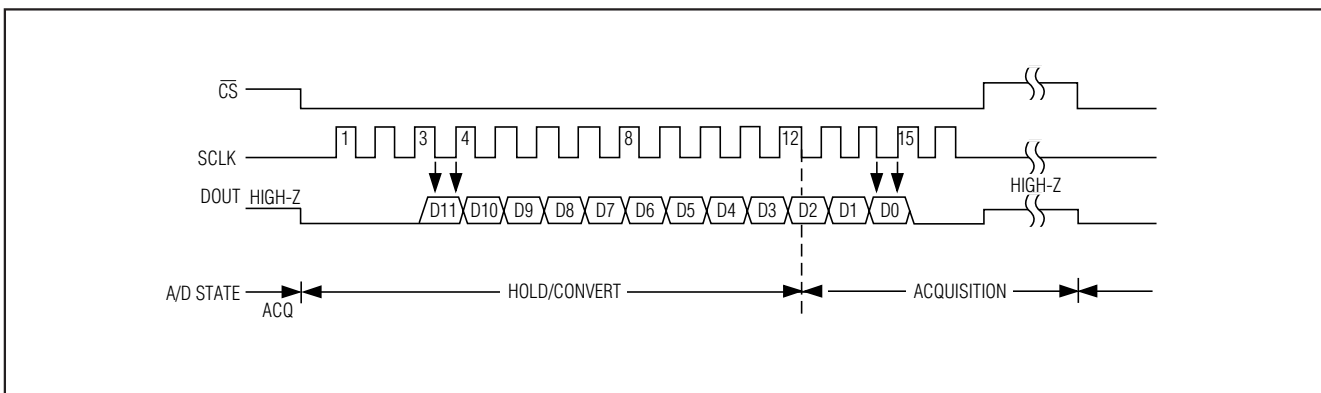


図8. インタフェースタイミングシーケンス

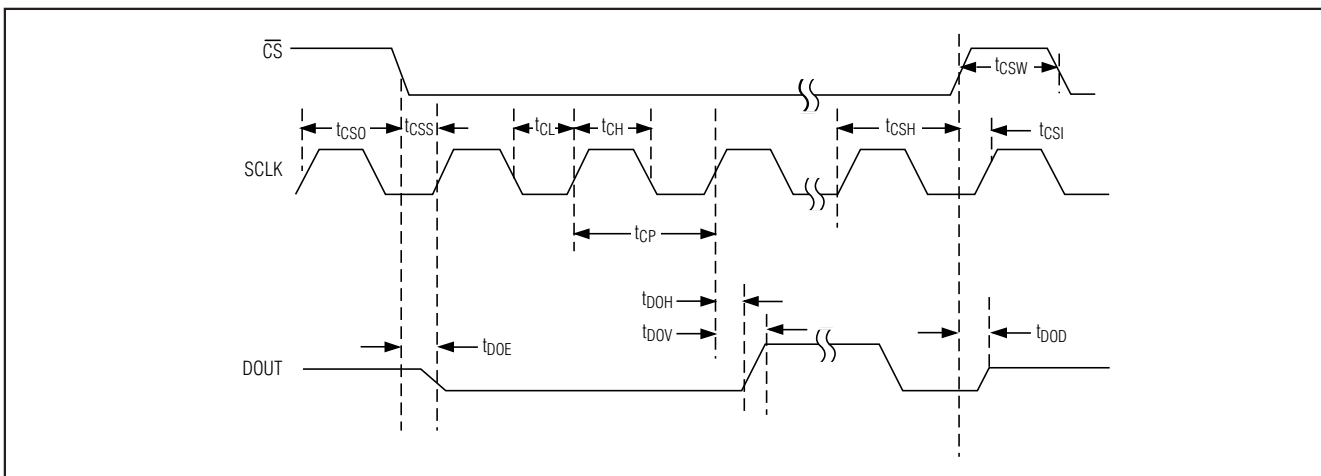


図9. シリアルインタフェースタイミングの詳細図

内部リファレンス付、400ksp/s/300ksp/s、単一電源、低電力シリアル12ビットADC

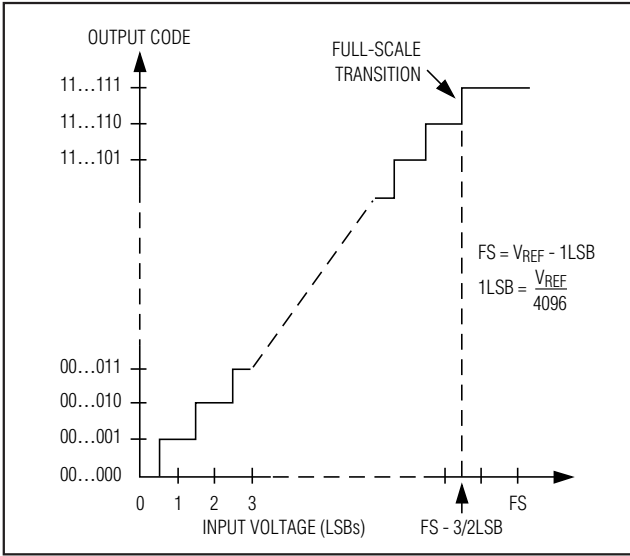


図10. ユニポーラ伝達関数(フルスケール(FS) = $V_{REF} - 1LSB$ 、ゼロスケール(ZS) = GND)

フォーマットで出てきます。SCLKからDOUTへの有効タイミング特性を守って下さい。データは、SCLKの立上がりエッジで μP に同期入力できます。

- 15番目の立上がりクロックエッジ以後に \overline{CS} をハイにします。 \overline{CS} がローに留まると、LSBの後にゼロの列がクロックアウトされます。
- $\overline{CS} = \text{ハイ}$ の状態、仕様で指定された最小時間(t_{CS})待った後で \overline{CS} をローにし、新しい変換を開始します。変換が完了する前に \overline{CS} をハイにして変換を中断した場合は、新しい変換を開始する前に最小アキュイジション時間(t_{ACQ})待ちます。

全てのデータビットが同期出力されるまでは、 \overline{CS} をローに維持する必要があります。図8に示すように、データは2バイトずつ又は連続的に出力することができます。これらのバイトは、先頭の3つのゼロ及び後尾の3つのゼロにはさまれた変換結果を含んでいます。

SPI及びMICROWIRE

SPI又はQSPIを使用する場合は、CPOL = 0及びCPHA = 0に設定して下さい。変換は、 \overline{CS} の立下がりエッジで開始されます。DOUTがローになり、変換が進行中であることを知らせます。ADCから完全な12ビットを取り出すには、2つの連続した1バイト読取り動作が必要です。DOUTの出力データはSCLKの立上がりエッジで遷移し、SCLKの立上がりエッジで μP に同期入力されます。

最初のバイトには、先頭ビットの3つのゼロ及び5ビットの変換結果が含まれます。2番目のバイトには、残りの7ビット及び後に続く1つのゼロが含まれます。接続については図11、タイミングについては図12を参照して下さい。

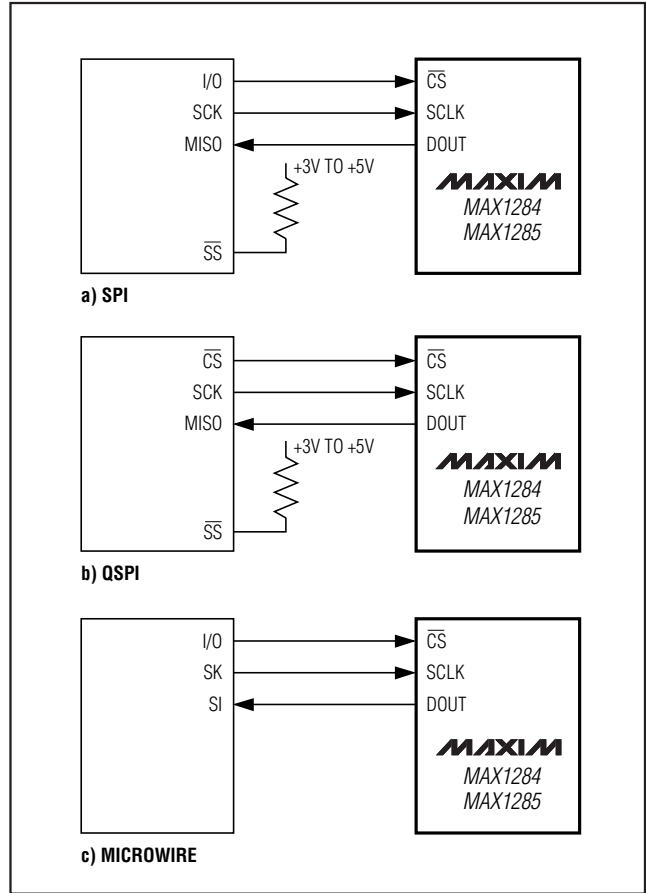


図11. MAX1284/MAX1285への一般的なシリアルインタフェース接続

QSPI

SPIはADCから12ビットのデータを取り込むために2つの1バイト読取り動作を必要としますが、QSPIではデータを同期入力するために必要なクロックサイクル数を最小限に抑えられます。MAX1284/MAX1285は、12ビットのデータを同期出力するために μP からのクロックを15サイクル分必要とします。図13にCPOL = 0及びCPHA = 1を使用した伝達を示します。変換結果には、2つのゼロとそれに続く12ビットのデータ(MSBを先頭にしたフォーマット)が含まれています。

レイアウト、グラウンド及びバイパス

最高の性能を得るには、プリント回路基板を使用して下さい。ワイヤラップボードは推奨できません。ボードレイアウトは、デジタル信号ラインとアナログ信号ラインが分離されるようにします。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないで下さい。又、デジタルラインがADCパッケージの下に来ないようにして下さい。

内部リファレンス付、400kps/300kps、単一電源、 低電力シリアル12ビットADC

図14に、推奨されるシステムグランド接続法を示します。一点アナロググランド(スターグランドポイント)をGNDのところを設定し、ロジックグランドからは分離します。ノイズをさらに減らすために、その他全てのアナロググランド及びDGNDをスターグランドに接続して下さい。このグランドには、他のデジタルシステムグランドを接続しないで下さい。ノイズを排除するためにスターグランドから電源へのグランドリターンはできるだけ短くし、また、低インピーダンスにして下さい。

V_{DD} 電源内の高周波ノイズが、ADC内の高速コンパレータに影響を与える可能性があります。この電源は、 $0.1\mu\text{F}$ 及び $10\mu\text{F}$ コンデンサでスターグランドにバイパスして下さい。最高の電源ノイズ除去比を得るには、コンデンサのリード線をできるだけ短くして下さい。電源ノイズの影響を減らすために、 10Ω 抵抗をローパスフィルタとして接続して下さい(図14)。

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィット(実際の伝達曲線に最も近い近似)あるいはオフセット及び利得誤差を nul(ゼロ)にした後に伝達関数の終点間を結んだ線です。MAX1284/MAX1285の静的直線性パラメータは、終点間法により測定されています。

微分非直線性

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

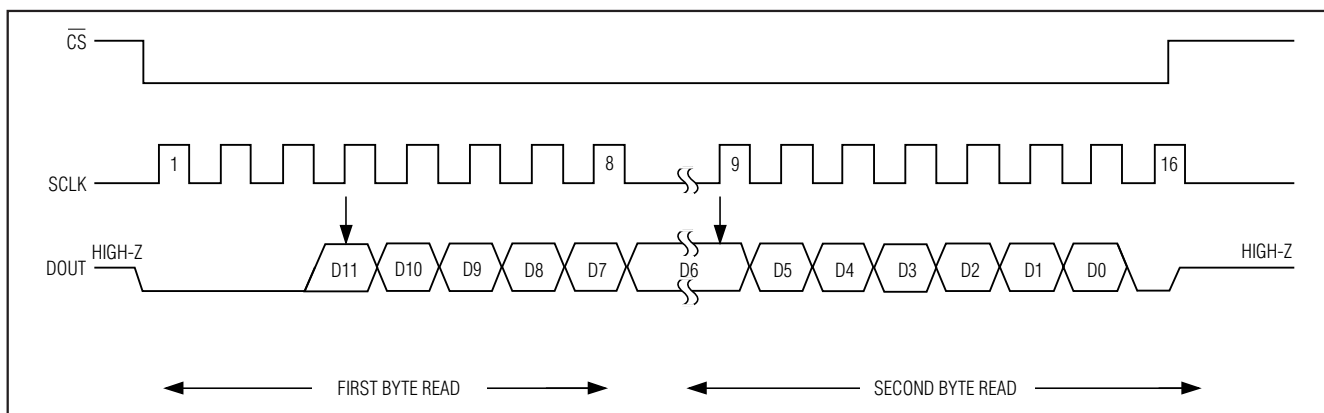


図12. SPI/Microwireシリアルインタフェースタイミング(CPOL = CPHA = 0)

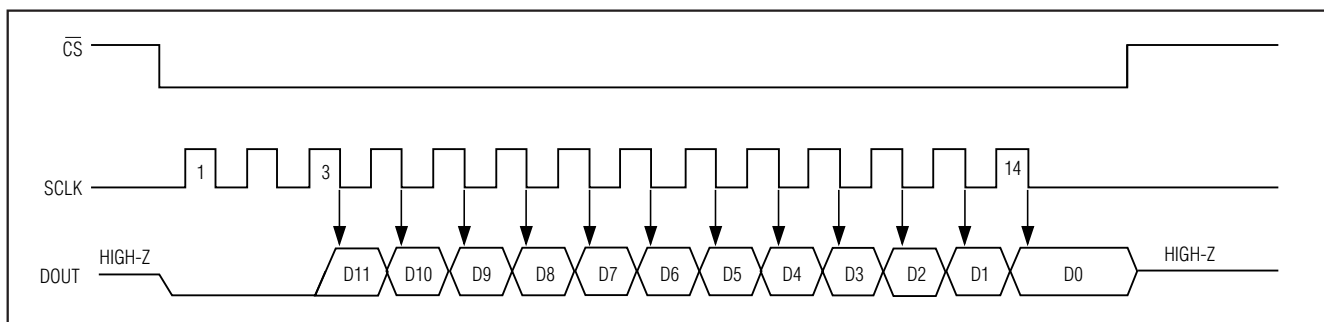


図13. QSPIシリアルインタフェースタイミング(CPOL = 0、CPHA = 1)

内部リファレンス付、400ksps/300ksps、単一電源、低電力シリアル12ビットADC

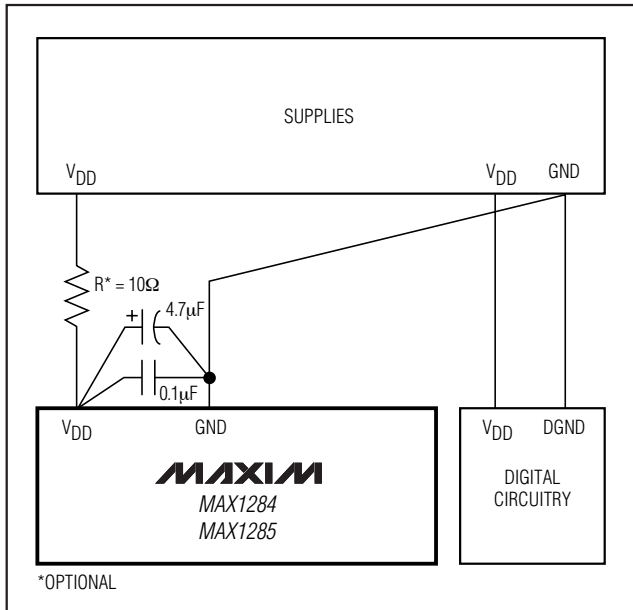


図14. 電源接地条件

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプル同士の時間間隔のばらつきです。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上がり時とサンプルが実際にとられる時点の間の時間です。

信号対雑音比(SNR)

デジタルサンプルから完ぺきに再構築された波形の場合、理論的SNRはフルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRの計算にはRMS信号と

RMSノイズの比をとります。RMSノイズは、全てのスペクトル成分から基本波、最初の5つの高調波及びDCオフセットを差し引いたものです。

信号対雑音+歪み

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS振幅の比です。

$$\text{SINAD(dB)} = 20 \times \log(\text{信号}_{\text{RMS}}/\text{ノイズ}_{\text{RMS}})$$

実効ビット数

実効ビット数(ENOB)は、特定の入力周波数及びサンプリング速度におけるADCの全体的な精度を示します。理想的なADCのエラーは、数値化エラーのみに起因します。入力範囲がADCのフルスケール範囲に等しい場合の実効ビット数は次式で計算できます。

$$\text{ENOB} = \frac{(\text{SINAD} - 1.76)}{6.02}$$

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \times \log\left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}\right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMSの振幅と次に大きな歪み成分のRMS値の比です。

チップ情報

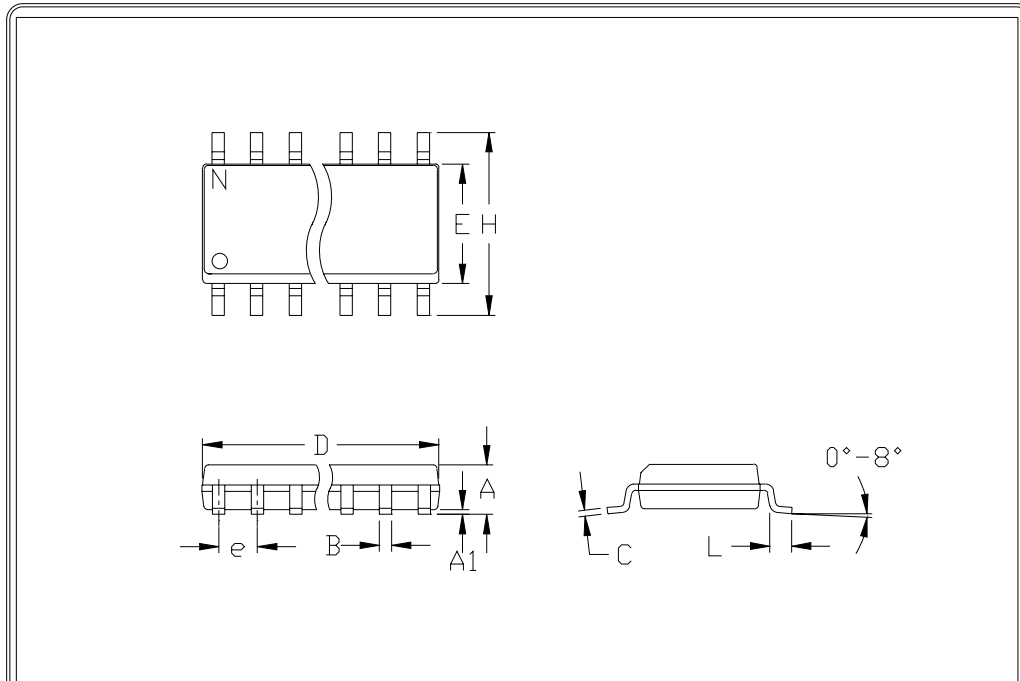
TRANSISTOR COUNT: 4286
PROCESS: BiCMOS

内部リファレンス付、400ksps/300ksps、単一電源、 低電力シリアル12ビットADC

MAX1284/MAX1285

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



| | INCHES | | MILLIMETERS | |
|----|--------|-------|-------------|------|
| | MIN | MAX | MIN | MAX |
| A | 0.053 | 0.069 | 1.35 | 1.75 |
| A1 | 0.004 | 0.010 | 0.10 | 0.25 |
| B | 0.014 | 0.019 | 0.35 | 0.49 |
| C | 0.007 | 0.010 | 0.19 | 0.25 |
| e | 0.050 | | 1.27 | |
| E | 0.150 | 0.157 | 3.80 | 4.00 |
| H | 0.228 | 0.244 | 5.80 | 6.20 |
| h | 0.010 | 0.020 | 0.25 | 0.50 |
| L | 0.016 | 0.050 | 0.40 | 1.27 |

| | INCHES | | MILLIMETERS | | N | MS012 |
|---|--------|-------|-------------|-------|----|-------|
| | MIN | MAX | MIN | MAX | | |
| D | 0.189 | 0.197 | 4.80 | 5.00 | 8 | A |
| D | 0.337 | 0.344 | 8.55 | 8.75 | 14 | B |
| D | 0.386 | 0.394 | 9.80 | 10.00 | 16 | C |

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
3. LEADS TO BE COPLANAR WITHIN .102mm (.004")
4. CONTROLLING DIMENSION: MILLIMETER
5. MEETS JEDEC MS012-XX AS SHOWN IN ABOVE TABLE
6. N = NUMBER OF PINS



PACKAGE FAMILY OUTLINE: SOIC .150"

1/1

21-0041 A
DOCUMENT CONTROL NUMBER REV

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 15

© 2000 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.