

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

概要

MAX1282/MAX1283は、4チャンネルアナログ入力マルチプレクサ、広帯域幅のトラック/ホールド(T/H)、シリアルインタフェースに高速変換及び低電力消費特性を加えた12ビットのアナログデジタルコンバータ(ADC)です。MAX1282は+4.5V~+5.5Vの単一電源で動作し、MAX1283は+2.7V~+3.6Vの単一電源で動作します。いずれもアナログ入力はソフトウェアによりユニポーラ/バイポーラ及びシングルエンド/差動動作に設定できます。

4線シリアルインタフェースは、外部ロジック無しでSPI™/QSPI™/MICROWIRE™機器に直接接続できます。シリアルストローブ出力は、TMS320ファミリのデジタル信号プロセッサへの直接接続を可能にします。MAX1282/MAX1283は、外部シリアルインタフェースクロックを使用して逐次比較型のアナログデジタル変換を行います。これらの製品は、いずれも+2.5Vリファレンス及び電圧調整範囲(1.5%のリファレンスバッファアンプを備えています。1V~V_{DD}の範囲の外部リファレンスを使用することもできます。

MAX1282/MAX1283はハードによるSHDNピン及びソフトウェア選択による4つのパワーモード(通常動作、パワーセーブ(REDP)、高速パワーダウン(FASTPD)、フルパワーダウン(FULLPD))を備えており、変換の最後で自動的にシャットダウンするか、低電力で動作するように設定できます。パワーダウンモードを使用している場合、シリアルインタフェースにアクセスすると、自動的に装置がパワーアップし、ターンオンが速いために変換と変換の間にシャットダウンできます。

MAX1282/MAX1283は16ピンのTSSOPパッケージで提供されています。

アプリケーション

- ポータブルデータロギング
- データ収集
- 医療機器
- バッテリー駆動機器
- ペンディジタイザ
- プロセス制御

標準動作回路はデータシートの最後に記載されています。

SPI及びQSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

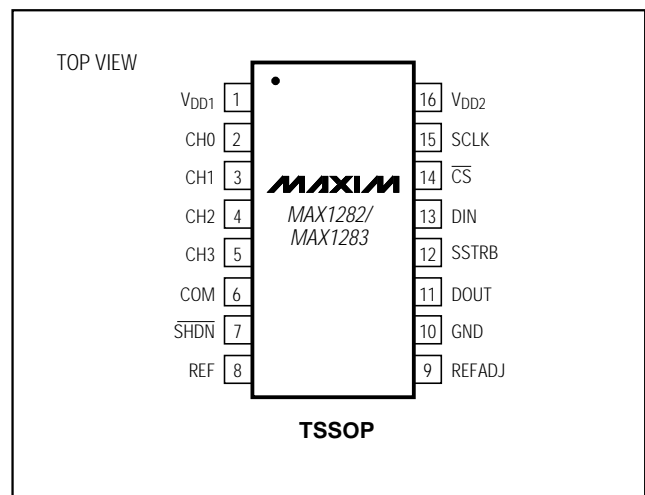
特長

- ◆ 入力：4チャンネルシングルエンド又は2チャンネル疑似差動入力
- ◆ 内蔵マルチプレクサ及びトラック/ホールド
- ◆ 単一電源動作
 - +4.5V~+5.5V(MAX1282)
 - +2.7V~+3.6V(MAX1283)
- ◆ +2.5Vリファレンス内蔵
- ◆ サンプリングレート：400kHz (MAX1282)
- ◆ 低電力：2.5mA (400ksps)
 - 1.3mA(REDP)
 - 0.9mA(FASTPD)
 - 2µA(FULLPD)
- ◆ 4線シリアルインタフェース：SPI/QSPI/MICROWIRE/TMS320コンパチブル
- ◆ ユニポーラ又はバイポーラ入力：ソフトウェアで設定
- ◆ パッケージ：16ピンTSSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1282BCUE	0°C to +70°C	16 TSSOP	±1
MAX1282BEUE	-40°C to +85°C	16 TSSOP	±1
MAX1283BCUE	0°C to +70°C	16 TSSOP	±1
MAX1283BEUE	-40°C to +85°C	16 TSSOP	±1

ピン配置



300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

ABSOLUTE MAXIMUM RATINGS

$V_{DD_}$ to GND	-0.3V to +6V	Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
V_{DD1} to V_{DD2}	-0.3V to +0.3V	16-Pin TSSOP (derate 6.7mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)	535mW
CH0-CH3, COM to GND	-0.3V to ($V_{DD_} + 0.3\text{V}$)	Operating Temperature Ranges	
REF, REFADJ to GND	-0.3V to $V_{DD_} + 0.3\text{V}$	MAX1282BCUE/MAX1283BCUE	0°C to $+70^\circ\text{C}$
Digital Inputs to GND	-0.3V to +6V	MAX1282BEUE/MAX1283BEUE	-40°C to $+85^\circ\text{C}$
Digital Outputs to GND	-0.3V to ($V_{DD_} + 0.3\text{V}$)	Storage Temperature Range	-60°C to $+150^\circ\text{C}$
Digital Output Sink Current	25mA	Lead Temperature (soldering, 10s)	$+300^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX1282

($V_{DD1} = V_{DD2} = +4.5\text{V}$ to $+5.5\text{V}$, COM = GND, $f_{\text{OSC}} = 6.4\text{MHz}$, 50% duty cycle, 16 clocks/conversion cycle (400ksps), external $+2.5\text{V}$ at REF, REFADJ = V_{DD1} , $T_A = T_{\text{MIN}}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL				± 1.0	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			± 1.0	LSB
Offset Error					± 6.0	LSB
Gain Error (Note 3)					± 6.0	LSB
Gain-Error Temperature Coefficient				± 1.6		ppm/ $^\circ\text{C}$
Channel-to-Channel Offset-Error Matching				± 0.2		LSB
DYNAMIC SPECIFICATIONS (100kHz sine-wave input, 2.5Vp-p, 400ksps, 6.4MHz clock, bipolar input mode)						
Signal-to-Noise plus Distortion Ratio	SINAD			70		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-81		dB
Spurious-Free Dynamic Range	SFDR			80		dB
Intermodulation Distortion	IMD	$f_{\text{IN1}} = 99\text{kHz}$, $f_{\text{IN2}} = 102\text{kHz}$		76		dB
Channel-to-Channel Crosstalk (Note 4)		200kHz, $V_{\text{IN}} = 2.5\text{Vp-p}$		-78		dB
Full-Power Bandwidth		-3dB point		6		MHz
Full-Linear Bandwidth		SINAD > 68dB		350		kHz
CONVERSION RATE						
Conversion Time (Note 5)	t_{CONV}		2.5			μs
Track/Hold Acquisition Time	t_{ACQ}				400	ns
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Serial Clock Frequency	f_{SCLK}		0.5		6.4	MHz
Duty Cycle			40		60	%

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

ELECTRICAL CHARACTERISTICS—MAX1282 (continued)

($V_{DD1} = V_{DD2} = +4.5V$ to $+5.5V$, $COM = GND$, $f_{OSC} = 6.4MHz$, 50% duty cycle, 16 clocks/conversion cycle (400ksps), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
ANALOG INPUTS (CH3–CH0, COM)							
Input Voltage Range, Single-Ended and Differential (Note 6)	$V_{CH_}$	Unipolar, $V_{COM} = 0$	V_{REF}			V	
		Bipolar, V_{COM} or $V_{CH_} = V_{REF}/2$, referenced to COM or $CH_$	$\pm V_{REF}/2$				
Multiplexer Leakage Current		On/off leakage current, V_{COM} , $V_{CH_} = 0$ or V_{DD1}	± 0.001	± 1		μA	
Input Capacitance			18			pF	
INTERNAL REFERENCE							
REF Output Voltage	V_{REF}	$T_A = +25^\circ C$	2.480	2.500	2.520	V	
REF Short-Circuit Current			15			mA	
REF Output Temperature Coefficient	TC V_{REF}		± 15			ppm/ $^\circ C$	
Load Regulation (Note 7)		0 to 1mA output load	0.05			2.0	mV/mA
Capacitive Bypass at REF			4.7	10			μF
Capacitive Bypass at REFADJ			0.01	10			μF
REFADJ Output Voltage			1.22			V	
REFADJ Input Range		For small adjustments, from 1.22V	± 100			mV	
REFADJ Buffer Disable Threshold		To power down the internal reference	1.4	$V_{DD1} - 1.0$			V
Buffer Voltage Gain			+2.05			V/V	
EXTERNAL REFERENCE (reference buffer disabled, reference applied to REF)							
REF Input Voltage Range		(Note 8)	1.0	$V_{DD1} + 50mV$			V
REF Input Current		$V_{REF} = 2.500V$, $f_{SCLK} = f_{MAX}$	200	350			μA
		$V_{REF} = 2.500V$, $f_{SCLK} = 0$	320				
		In full power-down mode, $f_{SCLK} = 0$	5				
DIGITAL INPUTS (DIN, SCLK, \overline{CS} , SHDN)							
Input High Voltage	V_{INH}		3.0			V	
Input Low Voltage	V_{INL}		0.8			V	
Input Hysteresis	V_{HYST}		0.2			V	
Input Leakage	I_{IN}	$V_{IN} = 0$ or V_{DD2}	± 1			μA	
Input Capacitance	C_{IN}		15			pF	
DIGITAL OUTPUTS (DOUT, SSTRB)							
Output Voltage Low	V_{OL}	$I_{SINK} = 5mA$	0.4			V	
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	4			V	
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD2}$	± 10			μA	
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD2}$	15			pF	

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

ELECTRICAL CHARACTERISTICS—MAX1282 (continued)

($V_{DD1} = V_{DD2} = +4.5V$ to $+5.5V$, COM = GND, $f_{OSC} = 6.4MHz$, 50% duty cycle, 16 clocks/conversion cycle (400ksps), external $+2.5V$ at REF, REFADJ = V_{DD1} , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Positive Supply Voltage (Note 9)	V_{DD1} , V_{DD2}		4.5		5.5	V
Supply Current	$I_{V_{DD1}+}$ $I_{V_{DD2}}$	$V_{DD1} =$ $V_{DD2} =$ 5.5V	Normal operating mode (Note 10)	2.5	4.0	mA
			Reduced-power mode (Note 11)	1.3	2.0	
			Fast power-down mode (Note 11)	0.9	1.5	
			Full power-down mode (Note 11)	2.0	10	
Power-Supply Rejection	PSR	$V_{DD1} = V_{DD2} = 5V \pm 10\%$, midscale input		± 0.5	± 2.0	mV

ELECTRICAL CHARACTERISTICS—MAX1283

($V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$, COM = GND, $f_{OSC} = 4.8MHz$, 50% duty cycle, 16 clocks/conversion cycle (300ksps), external $+2.5V$ at REF, REFADJ = V_{DD1} , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL				± 1.0	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			± 1.0	LSB
Offset Error					± 6.0	LSB
Gain Error (Note 3)					± 6.0	LSB
Gain-Error Temperature Coefficient				± 1.6		ppm/ $^{\circ}C$
Channel-to-Channel Offset-Error Matching				± 0.2		LSB
DYNAMIC SPECIFICATIONS (100kHz sine-wave input, 2.5Vp-p, 400ksps, 6.4MHz clock, bipolar input mode)						
Signal-to-Noise plus Distortion Ratio	SINAD			70		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-70		dB
Spurious-Free Dynamic Range	SFDR			72		dB
Intermodulation Distortion	IMD	$f_{IN1} = 73kHz$, $f_{IN2} = 77kHz$		76		dB
Channel-to-Channel Crosstalk (Note 4)		$f = 150kHz$, $V_{IN} = 2.5Vp-p$		-78		dB
Full-Power Bandwidth		-3dB point		3		MHz
Full-Linear Bandwidth		SINAD > 68dB		250		kHz

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

ELECTRICAL CHARACTERISTICS—MAX1283 (continued)

($V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$, $COM = GND$, $f_{OSC} = 4.8MHz$, 50% duty cycle, 16 clocks/conversion cycle (300ksps), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Conversion Time (Note 5)	t_{CONV}	Normal operating mode	3.3			μs
Track/Hold Acquisition Time	t_{ACQ}	Normal operating mode			625	ns
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Serial Clock Frequency	f_{SCLK}	Normal operating mode	0.5		4.8	MHz
Duty Cycle			40		60	%
ANALOG INPUTS (CH3–CH0, COM)						
Input Voltage Range, Single Ended and Differential (Note 6)	$V_{CH_}$	Unipolar, $V_{COM} = 0$			V_{REF}	V
		Bipolar, V_{COM} or $V_{CH_} = V_{REF}/2$, referenced to COM or $CH_$			$\pm V_{REF}/2$	
Multiplexer Leakage Current		On/off leakage current, $V_{CH_} = 0$ or V_{DD1}		± 0.001	± 1	μA
Input Capacitance				18		pF
INTERNAL REFERENCE						
REF Output Voltage	V_{REF}	$T_A = +25^\circ C$	2.480	2.500	2.520	V
REF Short-Circuit Current				15		mA
REF Output Temperature Coefficient	TC V_{REF}			± 15		ppm/ $^\circ C$
Load Regulation (Note 7)		0 to 0.75mA output load		0.1	2.0	mV/mA
Capacitive Bypass at REF			4.7		10	μF
Capacitive Bypass at REFADJ			0.01		10	μF
REFADJ Output Voltage				1.22		V
REFADJ Input Range		For small adjustments, from 1.22V		± 100		mV
REFADJ Buffer Disable Threshold		To power down the internal reference	1.4		$V_{DD1} - 1.0$	V
Buffer Voltage Gain				2.05		V/V
EXTERNAL REFERENCE (reference buffer disabled, reference applied to REF)						
REF Input Voltage Range		(Note 8)	1.0		$V_{DD1} + 50mV$	V
REF Input Current		$V_{REF} = 2.500V$, $f_{SCLK} = f_{MAX}$		200	350	μA
		$V_{REF} = 2.500V$, $f_{SCLK} = 0$			320	
		In full power-down mode, $f_{SCLK} = 0$			5	
DIGITAL INPUTS (DIN, SCLK, \overline{CS}, \overline{SHDN})						
Input High Voltage	V_{INH}		2.0			V
Input Low Voltage	V_{INL}				0.8	V
Input Hysteresis	V_{HYST}			0.2		V
Input Leakage	I_{IN}	$V_{IN} = 0$ or V_{DD2}			± 1	μA
Input Capacitance	C_{IN}			15		pF

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

ELECTRICAL CHARACTERISTICS—MAX1283 (continued)

($V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$, $COM = GND$, $f_{OSC} = 4.8MHz$, 50% duty cycle, 16 clocks/conversion cycle (300ksps), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DIGITAL OUTPUTS (DOUT, SSTRB)							
Output Voltage Low	V_{OL}	$I_{SINK} = 5mA$			0.4	V	
Output Voltage High	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_{DD2} - 0.5V$			V	
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD2}$			± 10	μA	
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD2}$		15		pF	
POWER SUPPLY							
Positive Supply Voltage (Note 9)	V_{DD1}, V_{DD2}		2.7		3.6	V	
Supply Current	$I_{V_{DD1} + V_{DD2}}$	$V_{DD1} = V_{DD2} = 3.6V$	Normal operating mode (Note 10)		2.5	3.5	mA
			Reduced-power mode (Note 11)		1.3	2.0	
			Fast power-down mode (Note 11)		0.9	1.5	
			Full power-down mode (Note 11)		2.0	10	μA
Power-Supply Rejection	PSR	$V_{DD1} = V_{DD2} = 2.7V$ to $3.6V$, midscale input		± 0.5	± 2.0	mV	

TIMING CHARACTERISTICS—MAX1282

(Figures 1, 2, 5, 6; $V_{DD1} = V_{DD2} = +4.5V$ to $+5.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Period	t_{CP}		156			ns
SCLK Pulse Width High	t_{CH}		62			ns
SCLK Pulse Width Low	t_{CL}		62			ns
DIN to SCLK Setup	t_{DS}		35			ns
DIN to SCLK Hold	t_{DH}		0			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		35			ns
SCLK Rise to \overline{CS} Rise Hold	t_{CSH}		0			ns
SCLK Rise to \overline{CS} Fall Ignore	t_{CSO}		35			ns
\overline{CS} Rise to SCLK Rise Ignore	t_{CS1}		35			ns
SCLK Rise to DOUT Hold	t_{DOH}	$C_{LOAD} = 20pF$	10	20		ns
SCLK Rise to SSTRB Hold	t_{STH}	$C_{LOAD} = 20pF$	10	20		ns
SCLK Rise to DOUT Valid	t_{DOV}	$C_{LOAD} = 20pF$			80	ns
SCLK Rise to SSTRB Valid	t_{STV}	$C_{LOAD} = 20pF$			80	ns
\overline{CS} Rise to DOUT Disable	t_{DOD}	$C_{LOAD} = 20pF$	10		65	ns
\overline{CS} Rise to SSTRB Disable	t_{STD}	$C_{LOAD} = 20pF$	10		65	ns
\overline{CS} Fall to DOUT Enable	t_{DOE}	$C_{LOAD} = 20pF$			65	ns
\overline{CS} Fall to SSTRB Enable	t_{STE}	$C_{LOAD} = 20pF$			65	ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

TIMING CHARACTERISTICS—MAX1283

(Figures 1, 2, 5, 6; $V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Period	t_{CP}		208			ns
SCLK Pulse Width High	t_{CH}		83			ns
SCLK Pulse Width Low	t_{CL}		83			ns
DIN to SCLK Setup	t_{DS}		45			ns
DIN to SCLK Hold	t_{DH}		0			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		45			ns
SCLK Rise to \overline{CS} Rise Hold	t_{CSH}		0			ns
SCLK Rise to \overline{CS} Fall Ignore	t_{CSO}		45			ns
\overline{CS} Rise to SCLK Rise Ignore	t_{CS1}		45			ns
SCLK Rise to DOUT Hold	t_{DOH}	$C_{LOAD} = 20pF$	13	20		ns
SCLK Rise to SSTRB Hold	t_{STH}	$C_{LOAD} = 20pF$	13	20		ns
SCLK Rise to DOUT Valid	t_{DOV}	$C_{LOAD} = 20pF$			100	ns
SCLK Rise to SSTRB Valid	t_{STV}	$C_{LOAD} = 20pF$			100	ns
\overline{CS} Rise to DOUT Disable	t_{DOD}	$C_{LOAD} = 20pF$	13		85	ns
\overline{CS} Rise to SSTRB Disable	t_{STD}	$C_{LOAD} = 20pF$	13		85	ns
\overline{CS} Fall to DOUT Enable	t_{DOE}	$C_{LOAD} = 20pF$			85	ns
\overline{CS} Fall to SSTRB Enable	t_{STE}	$C_{LOAD} = 20pF$			85	ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

Note 1: Tested at $V_{DD1} = V_{DD2} = V_{DD(MIN)}$, COM = GND, unipolar single-ended input mode.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

Note 3: Offset nulled.

Note 4: Ground the "on" channel; sine wave is applied to all "off" channels.

Note 5: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 6: The common-mode range for the analog inputs (CH3–CH0 and COM) is from GND to V_{DD1} .

Note 7: External load should not change during conversion for specified accuracy.

Note 8: ADC performance is limited by the converter's noise floor, typically 300 μ Vp-p. An external reference below 2.5V compromises the performance of the ADC.

Note 9: Electrical characteristics are guaranteed from $V_{DD1(MIN)} = V_{DD2(MIN)}$ to $V_{DD1(MAX)} = V_{DD2(MIN)}$. For operations beyond this range, see *Typical Operating Characteristics*. For guaranteed specifications beyond the limits, contact the factory.

Note 10: AIN = midscale, unipolar mode. MAX1282 tested with 20pF on DOUT, 20pF on SSTRB, and $f_{SCLK} = 6.4MHz$, 0 to 5V. MAX1283 tested with same loads, $f_{SCLK} = 4.8MHz$, 0 to 3V.

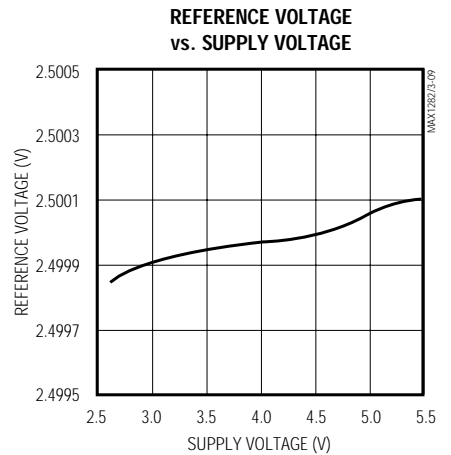
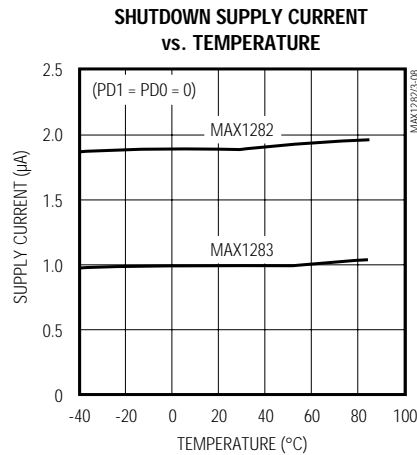
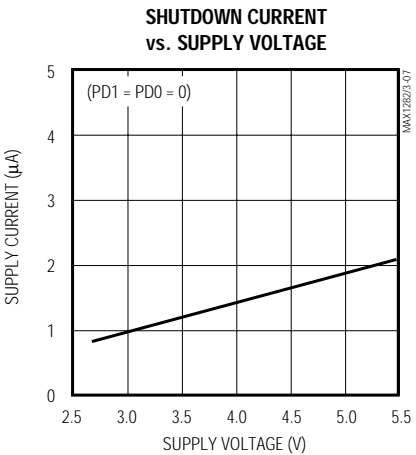
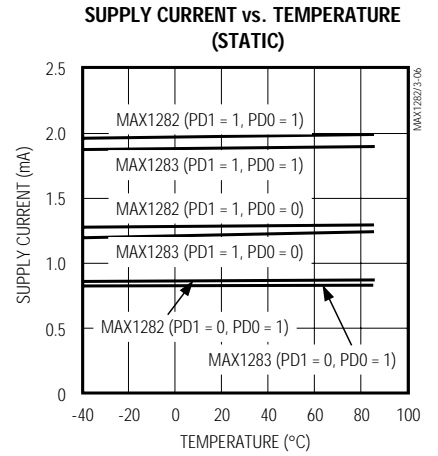
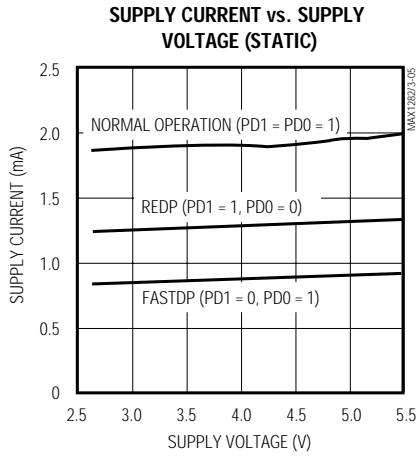
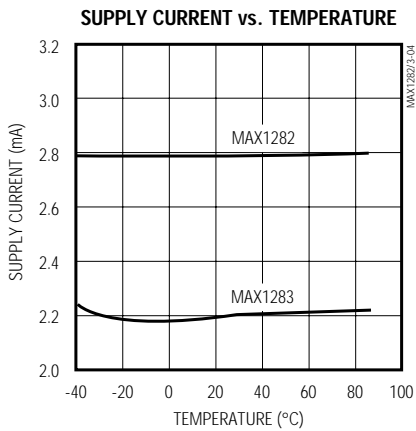
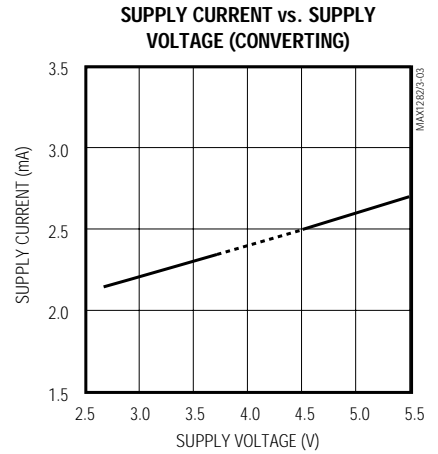
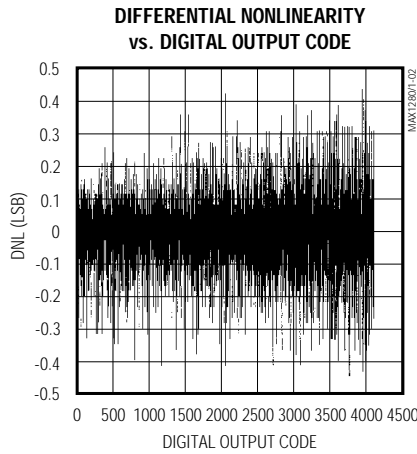
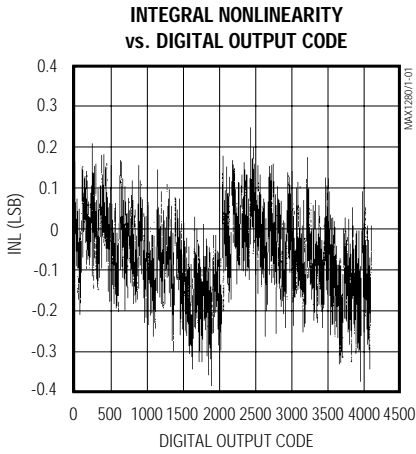
Note 11: SCLK = DIN = GND, $\overline{CS} = V_{DD1}$.

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

標準動作特性

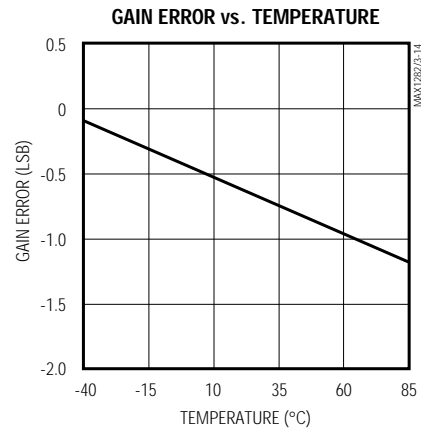
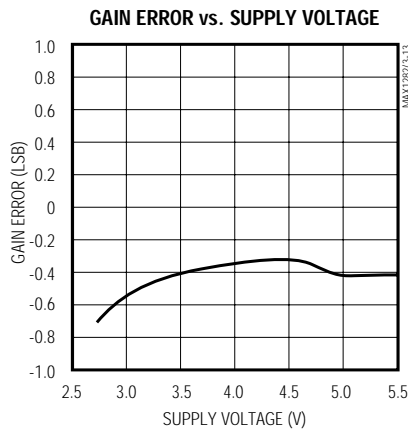
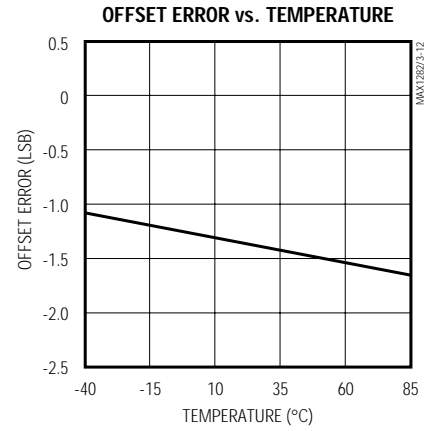
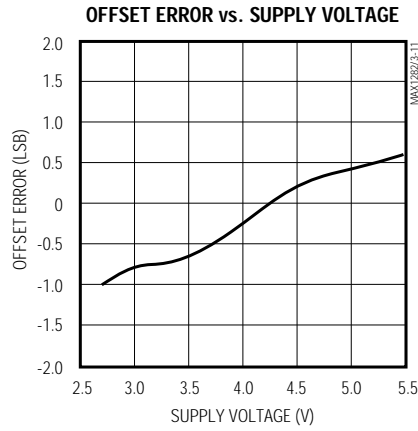
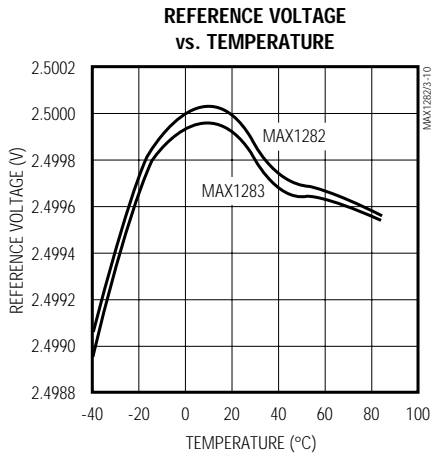
(MAX1282: $V_{DD1} = V_{DD2} = 5.0V$, $f_{SCLK} = 6.4MHz$; MAX1283: $V_{DD1} = V_{DD2} = 3.0V$, $f_{SCLK} = 4.8MHz$; $C_{LOAD} = 20pF$, $4.7\mu F$ capacitor at REF, $0.01\mu F$ capacitor at REFADJ, $T_A = +25^\circ C$, unless otherwise noted.)



300ksp/s/400ksp/s、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

標準動作特性(続き)

(MAX1282: $V_{DD1} = V_{DD2} = 5.0V$, $f_{SCLK} = 6.4MHz$; MAX1283: $V_{DD1} = V_{DD2} = 3.0V$, $f_{SCLK} = 4.8MHz$; $C_{LOAD} = 20pF$, $4.7\mu F$ capacitor at REF, $0.01\mu F$ capacitor at REFADJ, $T_A = +25^\circ C$, unless otherwise noted.)



MAX1282/MAX1283

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

端子説明

端子	名称	機能
1	V _{DD1}	正電源電圧
2-5	CH0-CH3	サンプリングアナログ入力
6	COM	アナログ入力のグラウンドリファレンス。シングルエンドモードでのCOMはゼロコード電圧を設定します。 ±0.5LSBの安定性が必要です。
7	$\overline{\text{SHDN}}$	アクティブローシャットダウン入力。 $\overline{\text{SHDN}}$ をローにすると消費電流2 μA (typ)までシャットダウンされます。
8	REF	リファレンスバッファ出力/ADCリファレンス入力。AD変換用のリファレンス電圧。内部リファレンスモードでは、リファレンスバッファは公称2.500V出力を生成し、REFADJで外部的に調整します。 外部リファレンスモードでは、REFADJをV _{DD1} に接続することで内部バッファをディセーブルします。
9	REFADJ	リファレンスバッファアンプ入力。リファレンスバッファアンプをディセーブルするにはREFADJをV _{DD1} に接続します。
10	GND	グラウンド
11	DO _{UT}	シリアルデータ出力。データはSCLKの立上りエッジでクロック出力されます。 $\overline{\text{CS}}$ がハイの時ハイインピーダンスになります。
12	SSTRB	シリアルストロブ出力。MSBの決定の前に1クロックサイクルだけパルスのハイになります。 $\overline{\text{CS}}$ がハイの時ハイインピーダンスになります。
13	DIN	シリアルデータ入力。データはSCLKの立上りエッジでクロック入力されます。
14	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローでない限り、データはDINにクロック入力されません。 $\overline{\text{CS}}$ がハイの時、DO _{UT} 及びSSTRBはハイインピーダンスになります。
15	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロック入力及び出力し、変換速度を設定します。 (デューティサイクルは40%~60%でなければなりません。)
16	V _{DD2}	正電源電圧

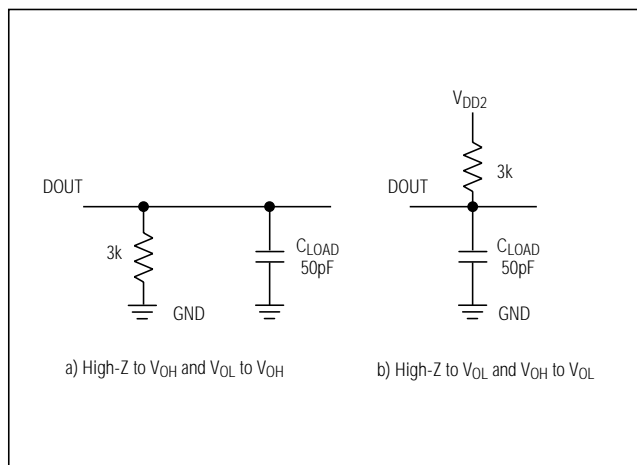


図1. イネーブル時間用の負荷回路

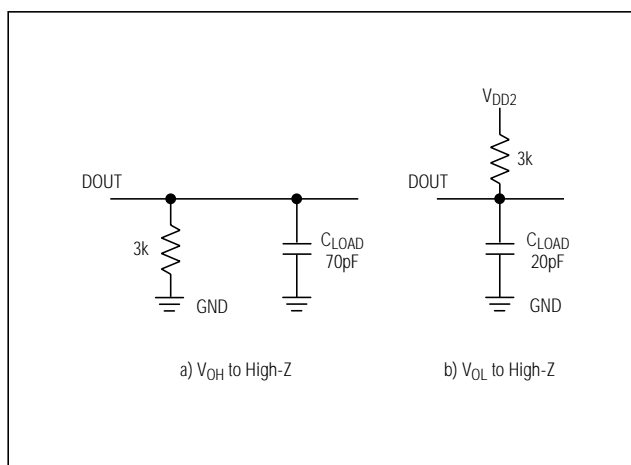


図2. ディセーブル時間用の負荷回路

300ksps/400ksps、単一電源、4チャンネルシリアル12ビットADC、内部リファレンス付

詳細

MAX1282/MAX1283アナログデジタルコンバータ(ADC)は逐次比較型の変換技法及び入力トラック/ホールド(T/H)回路を使用して、アナログ信号を12ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースがマイクロプロセッサ(μP)とのインタフェースを容易にしています。図3にMAX1282/MAX1283のファンクションダイアグラムを示します。

疑似差動入力

図4の入力等価回路は、T/H、入力マルチプレクサ、入力コンパレータ、スイッチドコンデンサDAC、及びリファレンスで構成されるMAX1282/MAX1283の入力回路構造を示しています。

シングルエンドモードにおいて、正入力(IN+)は選択された入力チャンネルに接続され、負入力(IN-)はCOMに設定されます。差動モードにおいては、IN+及びIN-はCH0/CH1及びCH2/CH3の組合せの中から選択されます。チャンネルの設定は表1及び表2を参考に行ってください。

MAX1282/MAX1283入力構成は、IN+の信号のみがサンプリングされるため疑似差動です。リターン側(IN-)は変換中サンプリングコンデンサに接続され、変換中はGNDに対して±0.5LSB(最適な結果を得るには±0.1LSB)以内で安定している必要があります。

選択したIN-に可変信号が適用される場合は、その振幅と周波数を制限して精度を保つ必要があります。次式で、±0.5LSBの精度を保つための信号の最大振幅と周波数の

関係を決定します。IN-の信号は正弦信号であると仮定すると、入力電圧は次のようにして求められます。

$$v_{IN-} = (V_{IN-})\sin(2\pi ft)$$

最大電圧の変化量は次のようにして求められます。

$$\max \frac{d(v_{IN-})}{dt} = V_{IN-} \cdot 2\pi f \leq \frac{1\text{LSB}}{t_{\text{CONV}}} = \frac{V_{\text{REF}}}{2^{12}t_{\text{CONV}}}$$

リファレンス電圧が+2.5Vで変換時間が2.5μs(15/f_{SCLK})の場合、IN-における0.65V_{p-p}、60Hzの信号は±0.5LSBの誤差を生じます。IN-でDCリファレンス電圧を使用する場合は、0.1μFのコンデンサをGNDに接続して入力のノイズを最小化して下さい。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルがコンデンサC_{HOLD}を充電します。アキュイジション期間は3 SCLKサイクル間だけ続き、入力制御ワードの最後のビットが入力された後のSCLKの立下りエッジで完了します。アキュイジション期間の終了時にT/Hスイッチが開き、C_{HOLD}の電荷をIN+の信号のサンプルとして保持します。変換期間は、入力マルチプレクサがC_{HOLD}をIN+からIN-にスイッチングした時から始まります。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを12ビット分解能の制限範囲でV_{DD1}/2に調節します。この動作は12pF × (V_{IN+} - V_{IN-})の電荷をC_{HOLD}からバイナリ重み付の容量性DACに移動するのと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

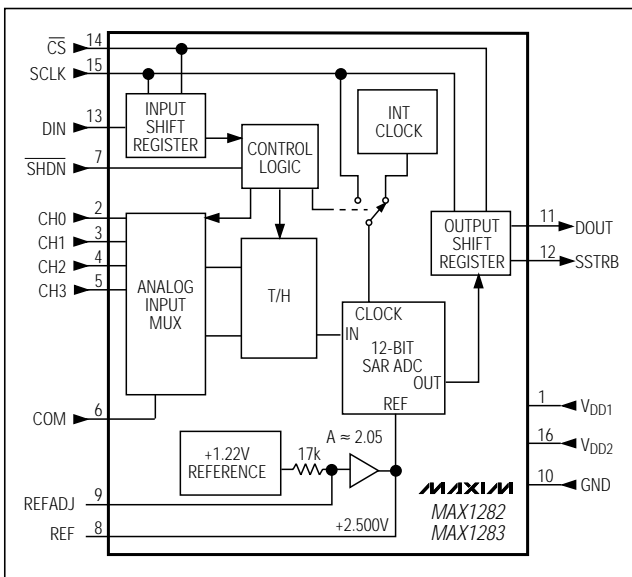


図3. ファンクションダイアグラム

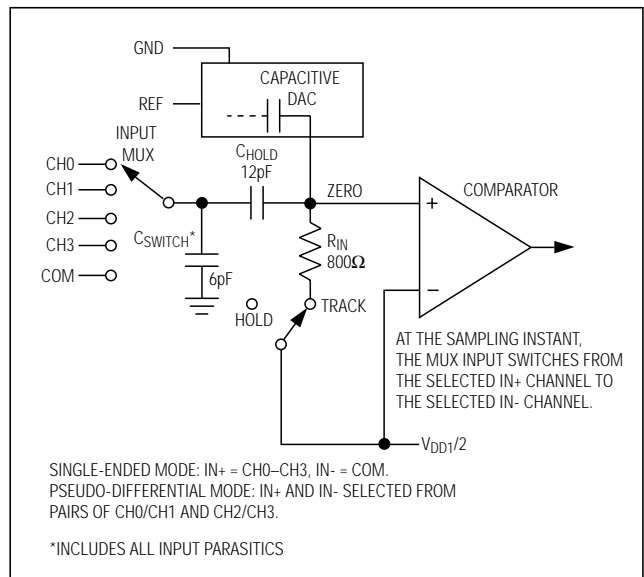


図4. 等価入力回路

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

表1. シングルエンドモードにおけるチャンネル選択(SGL/ $\overline{\text{DIF}} = 1$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	1	+				-
1	0	1		+			-
0	1	0			+		-
1	1	0				+	-

表2. 差動モードにおけるチャンネル選択(SGL/ $\overline{\text{DIF}} = 0$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	1	+	-		
0	1	0			+	-
1	0	1	-	+		
1	1	0			-	+

トラック/ホールド

T/Hは8ビット制御ワードの5番目のビットがシフトインされた後の立下りクロックエッジでトラッキングモードに入り、制御ワードの8番目のビットがシフトインされた後の立下りクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合はIN-がCOMに接続され、コンバータは“+”入力を変換します。コンバータが差動入力用に設定されている場合は[(IN+) - (IN-)]の差が変換されます。変換完了時に正入力が再びIN+に接続され、C_{HOLD}は入力信号電圧まで充電されます。

T/Hが入力信号を取り込むのに要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュイジション時間は長くなるため、変換と変換の間の時間を長くする必要があります。アキュイジション時間 t_{ACQ} は素子が信号を取り込むのに要する最大時間であり、信号の取込みに必要な最低時間でもあります。 t_{ACQ} は次式で計算されます。

$$t_{ACQ} = 9 \times (R_S + R_{IN}) \times 18pF$$

ここで、 $R_{IN} = 800$ 、 R_S = 入力信号のソースインピーダンス、 t_{ACQ} は必ず400ns以上(MAX1282)又は625ns以上(MAX1283)です。ソースインピーダンスが2k以下であれば、ADCのAC性能に大きな影響はありません。

入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は6MHz(MAX1282)又は3MHz(MAX1283)であるため、アンダーサンプリング技法を使用することによって、帯域幅がADCのサンプリングレート以上の周期信号を測定し、高速トランジェント現象を数値化できます。高周波信号が計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタを使用することを推奨します。

アナログ入力保護

内部保護ダイオードがアナログ入力を V_{DD1} とGNDにクランプしているため、チャンネル入力ピンは(GND - 0.3V) ~ ($V_{DD1} + 0.3V$)の範囲で損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が V_{DD1} を50mV以上越えないようにするか、GNDを50mV以上下回らないようにする必要があります。

アナログ入力が電源を50mV以上超えた場合は、入力電流を2mA以下に抑えて下さい。

変換開始方法

変換は制御バイトをDINにクロックインすることによって始まります。 $\overline{\text{CS}}$ がローの場合、SCLKクロックの各立上りエッジ毎にDINからMAX1282/MAX1283の内部シフトレジスタへと1ビットずつクロックインされます。 $\overline{\text{CS}}$ が下がった後で最初に来たロジック「1」のビットが制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロックインされたとしても一切影響はありません。表3に制御バイトのフォーマットを示します。

MAX1282/MAX1283は、SPI/QSPI/MICROWIRE機器とコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性とサンプリングエッジを選択して下さい(CPOL = 0及びCPHA = 0に設定)。MICROWIRE、SPI及びQSPIはいずれもバイトの送信とバイトの受信を同時に行います。「標準動作回路」を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を僅か3回行うだけで変換ができます(1回の8ビット転送ではADCを設定し、残り2回の8ビット転送では変換結果をクロックアウトします)。(MAX1282/MAX1283のQSPI接続法については、図16を参照して下さい。)

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

シンプルなソフトウェアインタフェース

CPUのシリアルインタフェースがマスターモードで動作し、CPUがシリアルクロックを発生させるようになっていることを確認して下さい。クロック周波数は500kHz~6.4MHz(MAX1282)又は4.8MHz(MAX1283)の範囲から選択して下さい。

- 1) 制御バイトを設定し、これをTB1と呼びます。TB1はバイナリの1XXXXXXというフォーマットになるはずで、ここで、Xは特定のチャンネル、選択された変換モード及びパワーモードを意味します。
- 2) CPUの汎用I/Oラインを使用し、 \overline{CS} をローにします。
- 3) TB1を送信し、同時に1バイトを受信します。受信したバイトをRB1と呼びます。RB1は無視します。
- 4) 全てがゼロで構成される1バイト(\$00 HEX)を送信し、同時にバイトRB2を受信します。
- 5) 全てがゼロで構成される1バイト(\$00 HEX)を送信し、同時にバイトRB3を受信します。
- 6) \overline{CS} をハイにします。

図5にこのシーケンスのタイミングを示します。バイトRB2及びRB3は、先頭のゼロ3個及び最後の1つのゼロに挟まれた変換結果を含んでいます。変換合計時間は、シリアルクロック周波数及び8ビット伝送間のアイドル時間の関数です。変換合計時間が120 μ sを越えないようにして、T/Hが過剰にドループするのを防いで下さい。

デジタル出力

ユニポーラ出力モードでは、出力はストレートなバイナリです(図13)。バイポーラ入力モードの場合、出力は2の補数形式になります(図14)。データはSCLKの立上りエッジでMSBを先頭にクロックアウトされます。

シリアルクロック

外部シリアルクロックはデータをシフトイン/アウトするだけでなく、アナログデジタル変換ステップの駆動も行います。SSTRBは制御バイトの最後のビットの後で、1クロック周期だけパルス的にハイになります。逐次比較用のビット決定はそれに続くSCLKの立下りエッジ12個でそれぞれ行われ、MSBを先頭にDOUTに出力されます(図5)。 \overline{CS} がハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次の \overline{CS} の立下りエッジでSSTRBはロジックローを出力します。図6に、シリアルインタフェースのタイミングの詳細を示します。

変換は120 μ s以内に完了する必要があります。完了しないと、サンプルアンドホールドコンデンサのドループが変換結果を劣化させます。

データフレーミング

\overline{CS} の立下りエッジでは変換は開始されません。DINにクロックインされる最初のロジックハイはスタートビットとして解釈され、これが制御バイトの最初のビットを定義付けします。変換は、制御バイトの8番目のビット(PD0ビット)がDINにクロックインされた後のSCLKの立下りエッジで開始されます。スタートビットの定義は以下の通りです。

コンバータがアイドル状態である任意の時間(例えば V_{DD1} 及び V_{DD2} が印可された後)に \overline{CS} がローの状態にDINにクロックインされてきた最初のハイビット。

又は

進行中の変換のビット6がDOUTピンにクロックされた後にDINにクロックインされてきた最初のハイビット(図7)。スタートビットが認識された後は、 \overline{SHDN} をローにすることによってのみ現在の變換を中止できます。

変換と変換の合間に \overline{CS} をローにした状態でMAX1282/MAX1283が動作できる最高速度は16クロック/変換です。図7に、16SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。 \overline{CS} がローでSCLKが連続的であれば、スタートビットは最初に16ゼロをクロックインすることにより保証されます。

アプリケーション情報

パワーオンリセット

最初に電源が入った時に \overline{SHDN} がローでなければ、内部パワーオンリセット回路が通常動作モードでMAX1282/MAX1283を起動します。この時、SSTRB = ローの状態に変換を開始できる状態にあります。電源が安定した後、内部リセット時間が10 μ sありますが、この期間に変換を行わないで下さい。 \overline{CS} がローの場合は、DINの最初のロジック1がスタートビットと見なされます。変換が行われるまで、DOUTはゼロをシフトアウトします。また、内部リファレンスを使用する場合は、リファレンスが安定化するまで待つて下さい。

パワーモード

変換と変換の間にコンバータを2つの低電流動作モードのどちらか又はフルパワーダウンモードにすると、電力を節約できます。パワーモードを選択するには、DIN制御バイトのビット1及びビット0を使用(表3及び表4)するか、 \overline{SHDN} をGNDに駆動してコンバータのハードウェアシャットダウンを強制して下さい。

ソフトウェアのパワーダウンモードは変換の完了後に有効になります。 \overline{SHDN} はどのソフトウェアパワーモードよりも優先し、進行中の変換を直ちに中止します。

300kps/400kps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

表3. 制御バイトフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0

BIT	NAME	DESCRIPTION															
7(MSB)	START	The first logic 1 bit after \overline{CS} goes low defines the beginning of the control byte.															
6 5 4	SEL2 SEL1 SEL0	These three bits select which of the eight channels are used for the conversion (Tables 1 and 2).															
3	UNI/BIP	1 = unipolar, 0 = bipolar. Selects unipolar or bipolar conversion mode. In unipolar mode, an analog input signal from 0 to V_{REF} can be converted; in bipolar mode, the differential signal can range from $-V_{REF}/2$ to $+V_{REF}/2$.															
2	SGL/DIF	1 = single ended, 0 = pseudo-differential. Selects single-ended or pseudo-differential conversions. In single-ended mode, input signal voltages are referred to COM. In pseudo-differential mode, the voltage difference between two channels is measured (Tables 1 and 2).															
1 0(LSB)	PD1 PD0	Select operating mode. <table border="1"> <thead> <tr> <th>PD1</th> <th>PD0</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Full power-down</td> </tr> <tr> <td>0</td> <td>1</td> <td>Fast power-down</td> </tr> <tr> <td>1</td> <td>0</td> <td>Reduced power</td> </tr> <tr> <td>1</td> <td>1</td> <td>Normal operation</td> </tr> </tbody> </table>	PD1	PD0	Mode	0	0	Full power-down	0	1	Fast power-down	1	0	Reduced power	1	1	Normal operation
PD1	PD0	Mode															
0	0	Full power-down															
0	1	Fast power-down															
1	0	Reduced power															
1	1	Normal operation															

表4. ソフトウェア制御のパワーモード

PD1/PD0	MODE	TOTAL SUPPLY CURRENT		CIRCUIT SECTIONS*	
		CONVERTING (mA)	AFTER CONVERSION	INPUT COMPARATOR	REFERENCE
00	Full Power-Down (FULLPD)	2.5	2 μ A	Off	Off
01	Fast Power-Down (FASTPD)	2.5	0.9mA	Reduced Power	On
10	Reduced-Power Mode (REDP)	2.5	1.3mA	Reduced Power	On
11	Normal Operating	2.5	2.0mA	Full Power	On

* 変換と変換の合間の回路の動作。変換中は、回路は全て完全にパワーアップされます。

ソフトウェアパワーダウンモードでは、シリアルインタフェースは動作状態に留まり、新しい制御バイトが変換を開始してフルパワーモードに切り替わるのを待ちます。

変換が完了すると、新しい制御バイトが書き込まれるまで、装置はプログラムされたパワーモードに入ります。パワーアップ遅延はパワーダウン状態に依存します。ソフトウェア低電力モードは、遅いクロックレートで実行中に直ちに変換を開始できます(「パワーダウンシーケンス」参照)。パワーオンリセット中にソフトウェアのフルパワーダウンモード又はハードウェアシャットダウンを終了すると、装置が直ちにフルパワーモードになります。外部リファレンスを使用している場合には、2 μ s後に変換準備が整います。内部リファレンスを使用

している場合は、図8に示すように、フルパワーダウン(ソフトウェア又はハードウェア)後に通常のパワーアップ遅延時間だけ待つ必要があります。

ソフトウェアのパワーダウン

制御バイトのビットPD1及びPD0を使用すると、ソフトウェアのパワーダウンを起動できます。ソフトウェアのパワーダウンが発生すると、ADCは進行中の変換を完了し、指定された低自己消費電流状態(2 μ A、0.9mA又は1.3mA)までパワーダウンします。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1282/MAX1283はフルパワーモードになります。スタートビットに続いて、データ入力ワード又は制御バイトがやはり次のパワーダウン状態を

300ksp/s/400ksp/s、単一電源、4チャンネルシリアル12ビットADC、内部リファレンス付

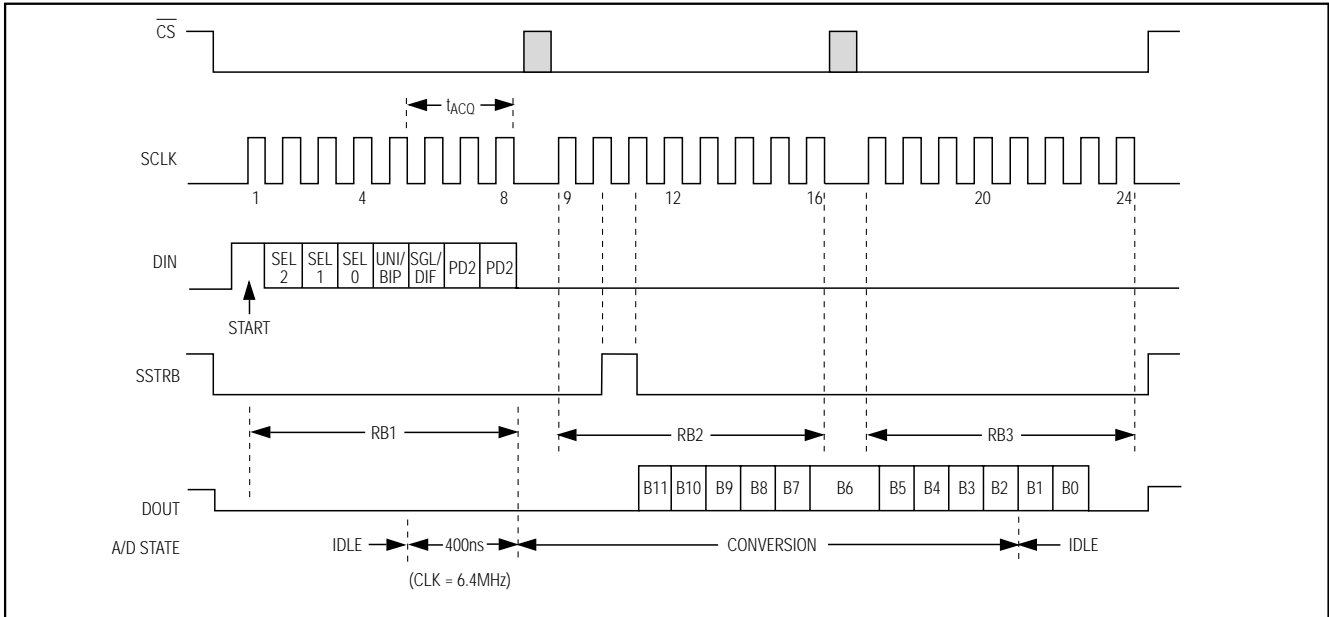


図5. シングル変換タイミング

判断します。例えば、DINワードがPD1 = 0及びPD0 = 1を含んでいる場合、0.9mAのパワーダウンが1回の変換後に始まります。表4は、4種類のパワーモード及び対応する消費電流と動作セクションの詳細をまとめたものです。

ハードウェアのパワーダウン

SHDNがローになると、コンバータはハードウェアのパワーダウン状態に入ります。ソフトウェアのパワーダウンモードとは異なり、変換は完了せず、SHDNがローになると同時に中止されます。外部リファレンスを使用している場合にSHDNを通常の動作に戻す場合、MAX1282/MAX1283はSHDNがアクティブにハイにされた後2µs以内に完全にパワーアップされます。内部リファレンスを使用している場合、変換はリファレンスが安定してから開始する必要があります。リファレンスの回復時間は、外部バイパスコンデンサ及び変換と変換の間の時間によって異なります。

パワーダウンシーケンス

最大サンプリングレートよりも遅い速度で動作している場合、MAX1282/MAX1283を自動パワーダウンモードに設定することにより電力を大幅に節約できます。図9及び図10に、平均消費電流とサンプリングレートの関係を示します。以下の各項では、様々なパワーダウンシーケンスについて説明します。その他のクロックレートとパワーダウンモードの組合せも他のアプリ

ケーションにおいて最低消費電力を達成できる場合があります。

フルパワーダウンモードの使用

フルパワーダウンモード(FULLPD)は、1秒間に1チャンネル当たり最大1000の変換において最低消費電力を達成します。図9aに、MAX1283でフルパワーダウンモード(PD1 = PD0 = 0)、内部リファレンス、最大クロック速度で制御された変換を使用した場合の1又は4チャンネル変換に対する消費電力を示します。REFADJの0.01µFバイパスコンデンサは内部17kΩリファレンス抵抗により、時定数170µsのRCフィルタを形成します。バイパスコンデンサが変換と変換の合間で完全に放電されている場合に完全12ビット精度を実現するには、パワーアップ後にこの時定数の9倍(この例では1.5ms)が必要です。フルパワーダウンモードではなく、高速パワーダウン(FASTPD)モード又はパワーセーブモード(REDP)でこの1.5msを待つと、消費電力を更に低減できます。これは、図11aのシーケンスを使用することにより達成できます。

図9bに、MAX1283でFULLPDモード(PD1 = PD0 = 0)、外部リファレンス、最大クロック速度で制御された変換を使用した場合の1又は4チャンネル変換に対する消費電力を示します。装置のパワーアップに1回のダミー変換が必要ですが、2回目の変換を開始するのに待ち時間は必要ありません。このため、フルサンプリングレートの半分までの低消費電力を達成できます。

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

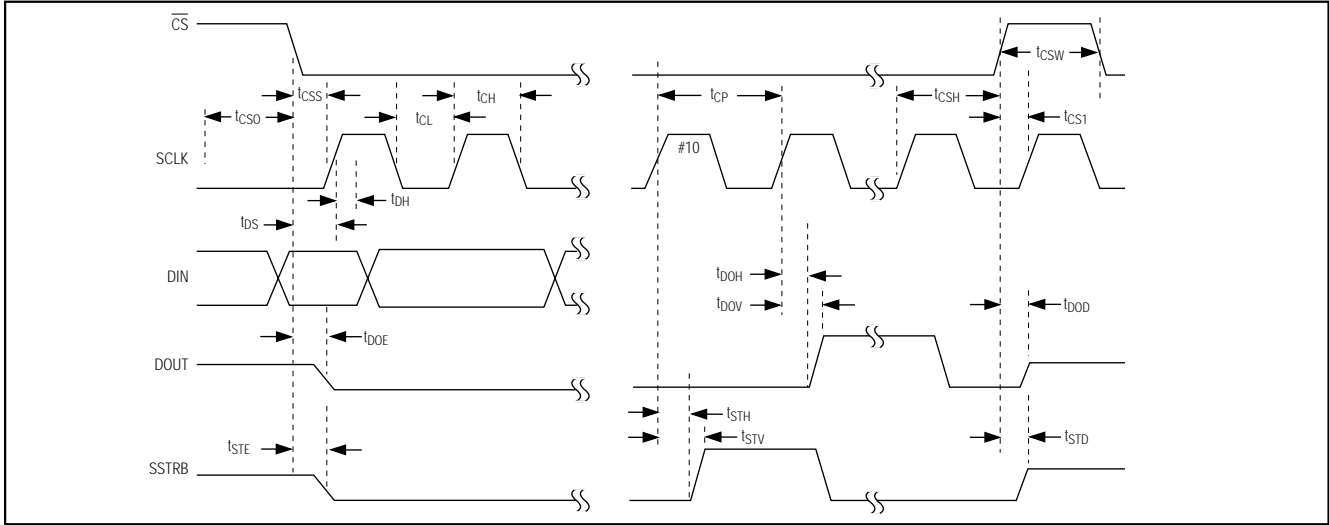


図6. シリアルインタフェースタイミングの詳細

高速パワーダウンモード及び パワーセーブモードの使用

FASTPDモード及びREDPモードは、最大サンプリングレートに近い速度において最も低い消費電力を達成します。図10にFASTPDモード(PD1 = 0、PD0 = 1)、REDPモード(PD1 = 1、PD0 = 0)及び比較のために通常の動作モード(PD = 1、PD0 = 1)におけるMAX1283の消費電力を示します。この図は、指定されたパワーダウンモード、内部リファレンス及び最大クロック速度で制御された変換を使用した消費電力を示しています。MAX1282/MAX1283では、FASTPD又はREDPのクロック速度を4.8MHzに制限する必要があります。MAX1282/MAX1283が長時間動作せず、尚且つ高速変換における断続的なバーストを必要とするアプリケーションでは、FULLPDモードにおいて更に電力を節約できます。図11bにFASTPD及びREDPのタイミングを示します。

内部及び外部リファレンス

MAX1282/MAX1283は、内部リファレンス又は外部リファレンスと共に使用できます。外部リファレンスはREF又はREFADJピンに直接接続できます。

MAX1282/MAX1283の内部バッファは、REFにおいて2.5Vを生成するよう設計されています。内部調整された1.22Vリファレンスは、2.05の利得でバッファに格納されます。

内部リファレンス

MAX1282/MAX1283の内部リファレンスでのフルスケール範囲は、ユニポーラ入力で2.5V、バイポーラ入力で±1.25です。内部リファレンス電圧は、図12の回路で±100mVまで調整できます。

外部リファレンス

MAX1282/MAX1283の外部リファレンスは、内部リファレンスバッファアンプの入力(REFADJ)又は出力(REF)に接続できます。REFADJ入力インピーダンスは17k (typ)です。REFにおけるDC入力抵抗は最低18kです。変換時には、REFの外部リファレンスは最大350µAのDC負荷電流を供給できなければならず、出力インピーダンスは10以下でなければなりません。リファレンスの出力インピーダンスがこれより高い場合やノイズが多い場合は、4.7µFのコンデンサでREFピンの近くにバイパスして下さい。

表5. フルスケール及びゼロスケール

UNIPOLAR MODE		BIPOLAR MODE		
Full Scale	Zero Scale	Positive Full Scale	Zero Scale	Negative Full Scale
$V_{REF} + V_{COM}$	V_{COM}	$V_{REF} / 2 + V_{COM}$	V_{COM}	$V_{REF} / 2 + V_{COM}$

300ksp/s/400ksp/s、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

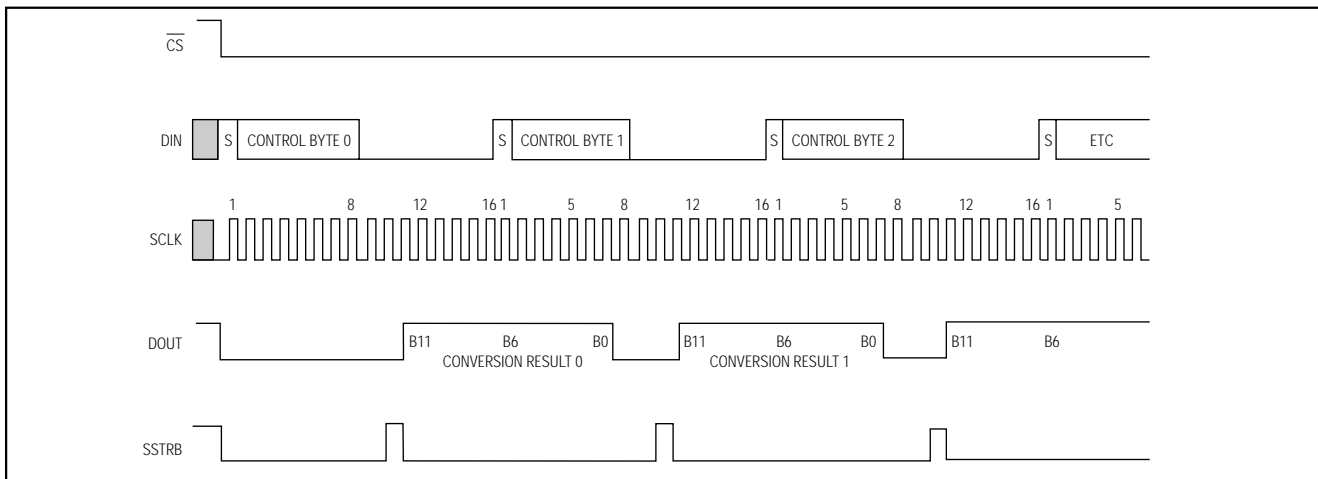


図7. 連続16クロック/変換タイミング

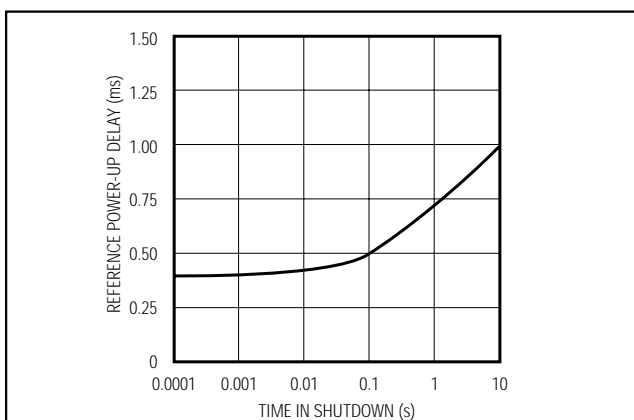


図8. リファレンスパワーアップ遅延対シャットダウン時間

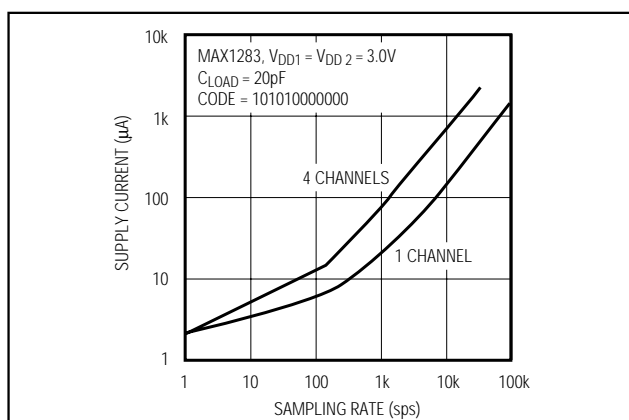


図9b. 平均消費電流対変換レート(FULLPD及び外部リファレンス使用)

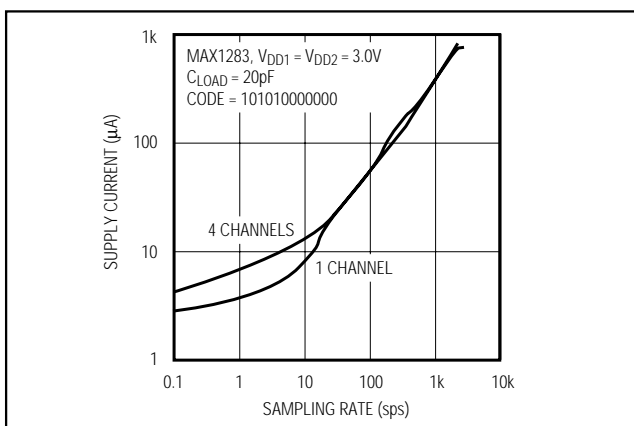


図9a. 平均消費電流対変換レート(FULLPD及び内部リファレンス使用)

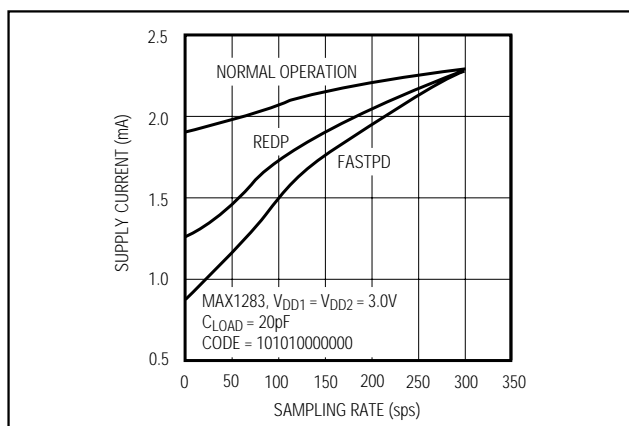


図10. 平均消費電流対サンプリングレート(FASTPD、REDP、及び通常動作)

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

REF入力を直接使用する場合は、REFADJをV_{DD1}に接続して内部バッファをディセーブルします。REFADJ入力を使用すると、外部リファレンスをバッファに格納する必要がなくなります。

伝達関数

表5に、ユニポーラモード及びバイポーラモードでのフルスケール電圧範囲を示します。

図13は通常のユニポーラ入力/出力(I/O)伝達関数を示し、図14はバイポーラI/O伝達関数を示します。コード遷移は隣り合う整数LSB値同士の間で発生します。出力コーディングはバイナリで、ユニポーラ動作の場合は1LSB = 0.61mV(2.500V/4096)、バイポーラ動作の場合は1LSB = 0.61mV[(2.500V/2)/4096]となります。

レイアウト、グラウンド及びバイパス

最高の性能を得るためにはプリント回路基板を使用して下さい。ワイヤラップ基板は推奨できません。基板のレイアウトは、デジタル信号ラインとアナログ信号ラインが分離されるようにして下さい。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないで下さい。又、デジタルラインがADCパッケージの下に来ないようにして下さい。

図15に、推奨されるシステムグラウンド接続法を示します。一点アナロググラウンド(星形グラウンドポイント)をGNDに設定し、アナロググラウンド全てを星形グラウンドに接続します。この点においてのみデジタルシステムグラウンドをこのグラウンドに接続して下さい。ノイズを最小限に抑えるために、星形グラウンドから電源へのグラウンドリターンはできるだけ短くし、また、低インピーダンスにして下さい。

V_{DD1}電源内の高周波ノイズがADC内の高速コンパレータに影響を与える可能性があります。この電源はMAX1282/MAX1283のV_{DD1}に近づけて、0.1µFコンデンサ及び10µFコンデンサで星形グラウンドにバイパスして下さい。最高の電源ノイズ除去比を得るためには、コンデンサのリード線をできるだけ短くして下さい。電源のノイズが特に大きい場合は、10Ω抵抗をローパスフィルタとして接続できます(図15)。

QSPIとの高速デジタルインタフェース

図16の回路を使用すると、MAX1282/MAX1283はQSPIとインタフェースすることができます(CPOL = 0、CPHA = 0)。このQSPI回路は4個の各チャンネルの全てで変換を行うように設定できます。QSPIはそれ自体がマイクロシーケンサを備えているため、変換結果はCPUに負担をかけることなくメモリに記憶されます。

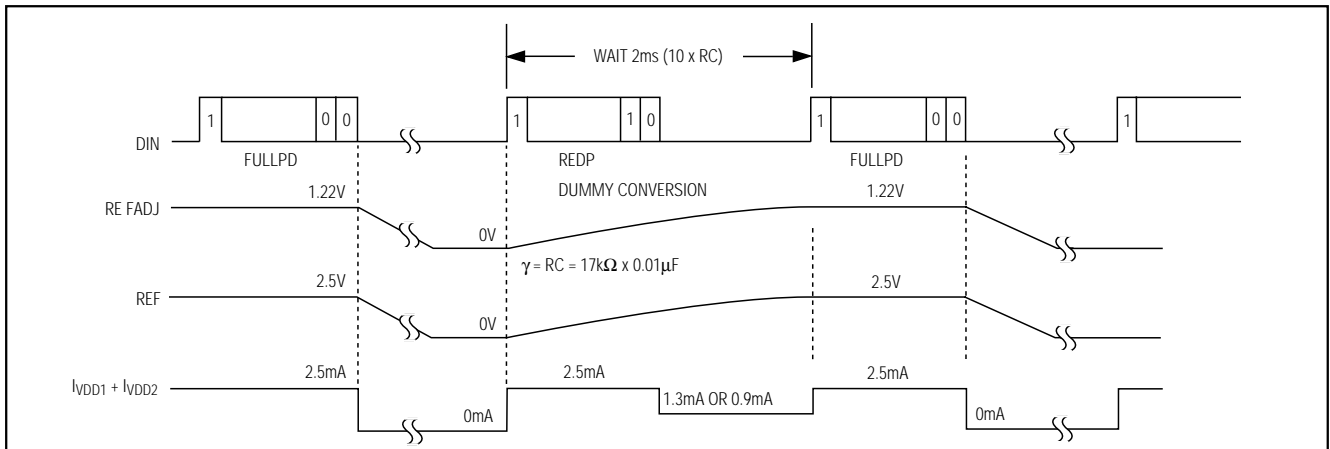


図11a. フルパワーダウンタイミング

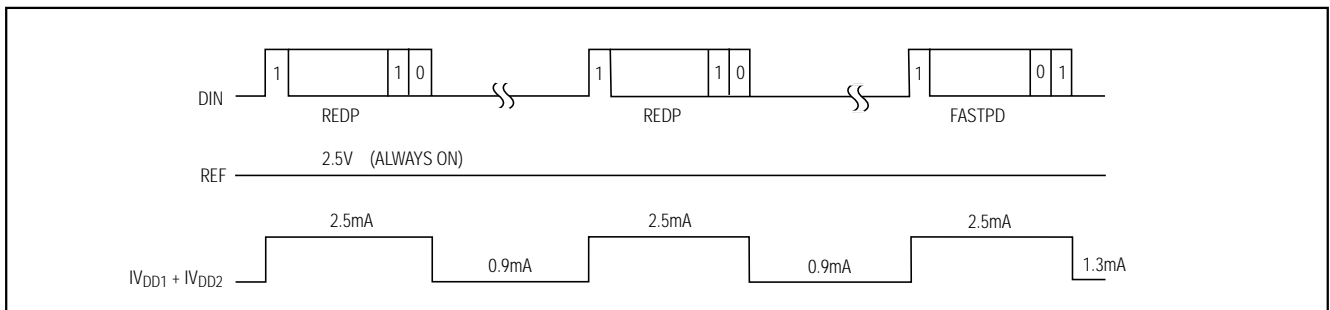


図11b. FASTPD及びREDPタイミング

300ksp/s/400ksp/s、単一電源、4チャンネルシリアル12ビットADC、内部リファレンス付

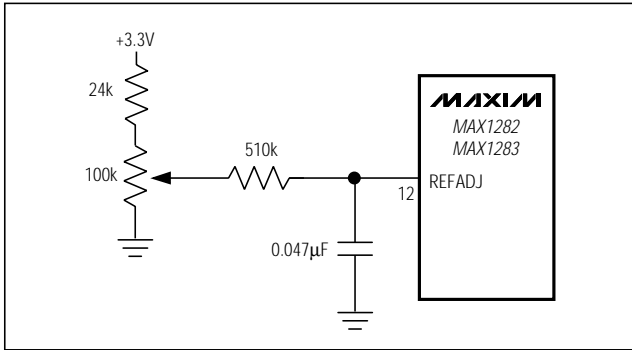


図12. MAX1282/MAX1283リファレンス調整回路

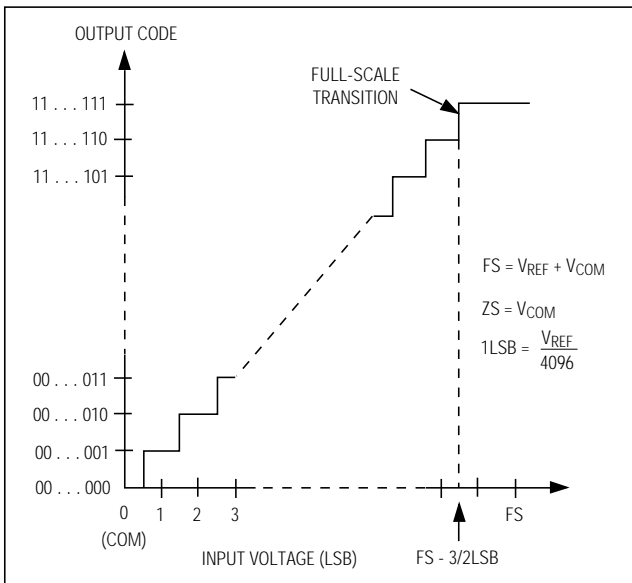


図13. ユニポーラの伝達関数、フルスケール(FS) = $V_{REF} + V_{COM}$ 、ゼロスケール(ZS) = V_{COM}

TMS320LC3xとのインタフェース

図17に、外部クロックモードでMAX1282/MAX1283をTMS320とインタフェースさせるためのアプリケーション回路を示します。このインタフェース回路のタイミング図を図18に示します。

MAX1282/MAX1283で変換を開始し、結果を読み取るための手段は以下の通りです。

- 1) TMS320はCLKX(送信クロック)がアクティブハイ出力クロック、CLKR(TMS320受信クロック)がアクティブハイ入力クロックとなるように設定します。TMS320のCLKXとCLKRは、MAX1282/MAX1283のSCLK入力と一緒にまとめて接続されています。

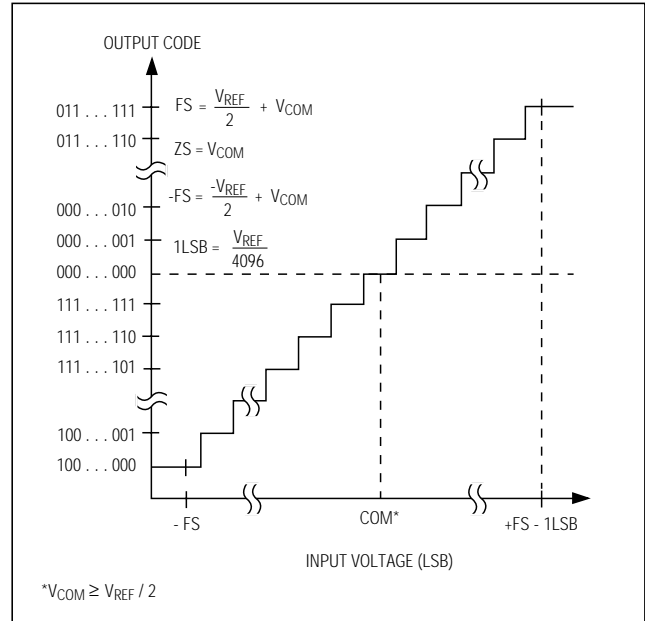


図14. バイポーラの伝達関数、フルスケール(FS) = $V_{REF}/2 + V_{COM}$ 、ゼロスケール(ZS) = V_{COM}

- 2) MAX1282/MAX1283の \overline{CS} ピンは、TMS320のXF_I/Oポートによってローに駆動されています。これは、MAX1282/MAX1283のDINピンにデータがクロックインできるようにするためです。
- 3) 変換を開始するために8ビットワード(1XXXXX11)をMAX1282/MAX1283に書き込み、素子を通常動作モードに設定します。特定のアプリケーションに適したXXXXXビット値を選択するには、表3を参照して下さい。
- 4) MAX1282/MAX1283のSSTRB出力は、TMS320のFSR入力を通じて監視されます。SSTRB出力の立下りエッジは、変換が進行中でデータを素子から受け取る準備ができていることを示します。
- 5) TMS320は、続くSCLK16個の各立上りエッジで1データビットずつ読み込みます。これらのデータビットは12ビットの変換結果を表しています。この後に続く4ビットは無視して下さい。
- 6) 次の変換が開始されるまでは \overline{CS} をハイにし、MAX1282/MAX1283をディセーブルします。

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

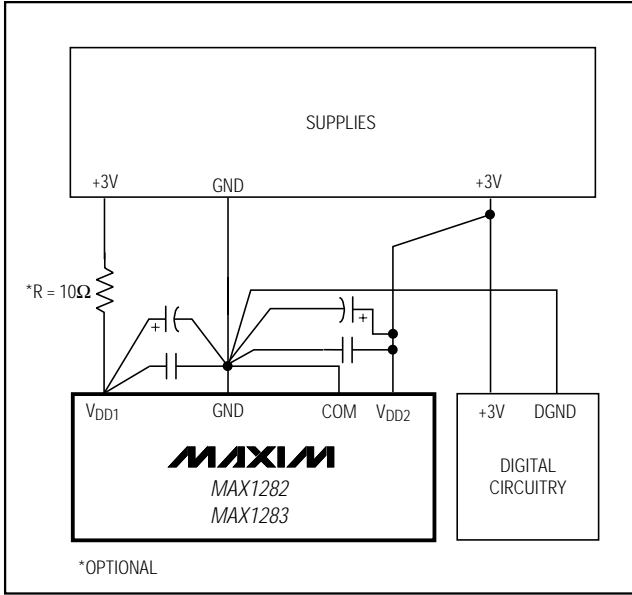


図15. 電源グランド接続図

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィットあるいはオフセット及び利得誤差をヌル(ゼロ)にした後に、伝達関数の終点間を結んだ線です。MAX1282/MAX1283の静的直線性パラメータは、終点法を使って測定されます。

微分非直線性

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNL誤差の仕様が1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

アパーチャ幅

アパーチャ幅(t_{AW})は、T/H回路が入力回路からホールドコンデンサを切断する(例えば、サンプリングブリッジをオフにし、T/H装置をホールドモードにする)のに要する時間です。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプルとサンプル間の時間のばらつきです。

アパーチャディレイ

アパーチャディレイ(t_{AD})は、サンプリングクロックの立下りエッジと、実際にサンプリングが行われた瞬間との間の時間です。

信号対雑音比(SNR)

デジタルサンプルから完璧に再構築された波形の場合、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRを計算する時はRMS信号とRMSノイズの比をとります。RMSノイズは基本波以外の全てのスペクトラル成分、最初の5つの高調波及びDCオフセットを含みます。

信号対雑音+歪み(SINAD)

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS等価値の比です。

$$SINAD(\text{dB}) = 20 \times \log(\text{信号}_{\text{RMS}} / \text{ノイズ}_{\text{RMS}})$$

実効ビット数

実効ビット数(ENOB)は、特定の入力周波数及びサンプリングレートにおけるADCの包括的な精度です。理想的なADCの誤差は、数値化ノイズのみからなっています。入力範囲がADCのフルスケール範囲に等しい場合、実効ビット数は次式で計算できます。

$$ENOB = (SINAD - 1.76) / 6.02$$

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \times \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_4^2 + V_5^2}}{V_1}$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と次に大きな歪み成分のRMS値の比です。

300ksp/s/400ksp/s、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

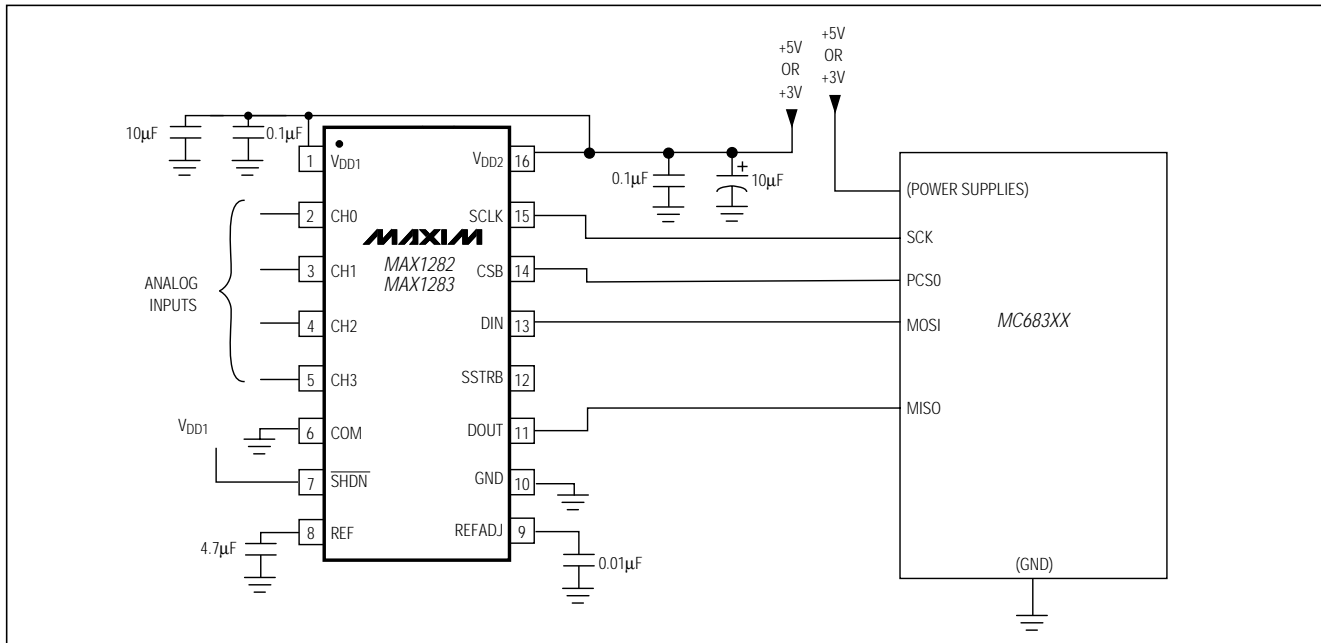


図16. QSPI接続図

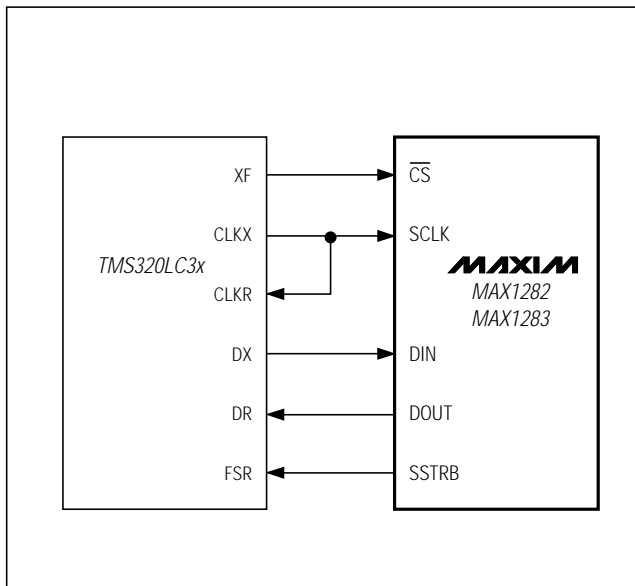


図17. MAX1282/MAX1283からTMS320への
シリアルインタフェース

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

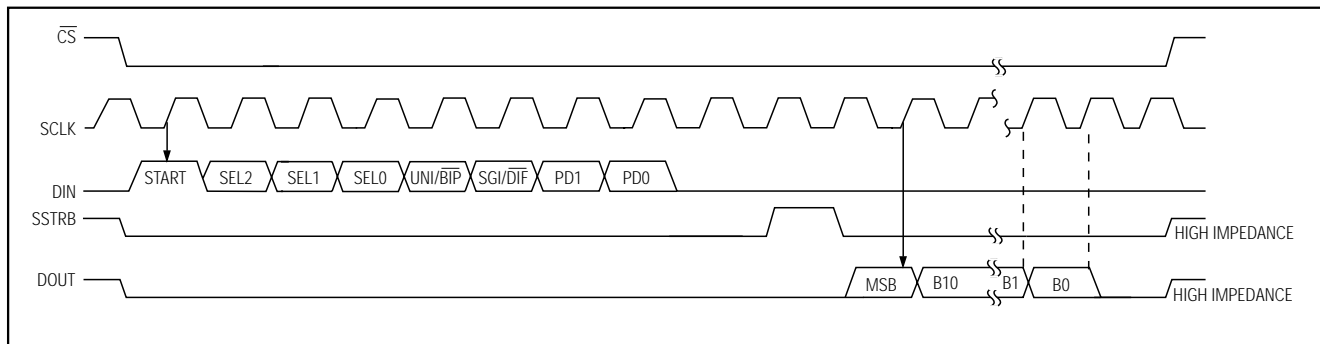
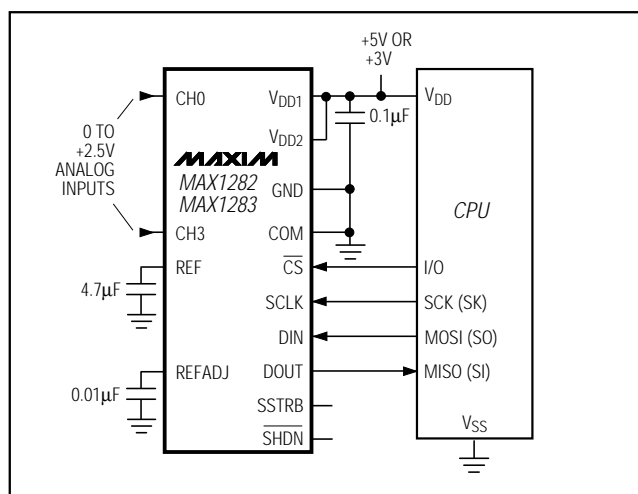


図18. MAX1282/MAX1283からTMS320へのシリアルインタフェース

標準動作回路



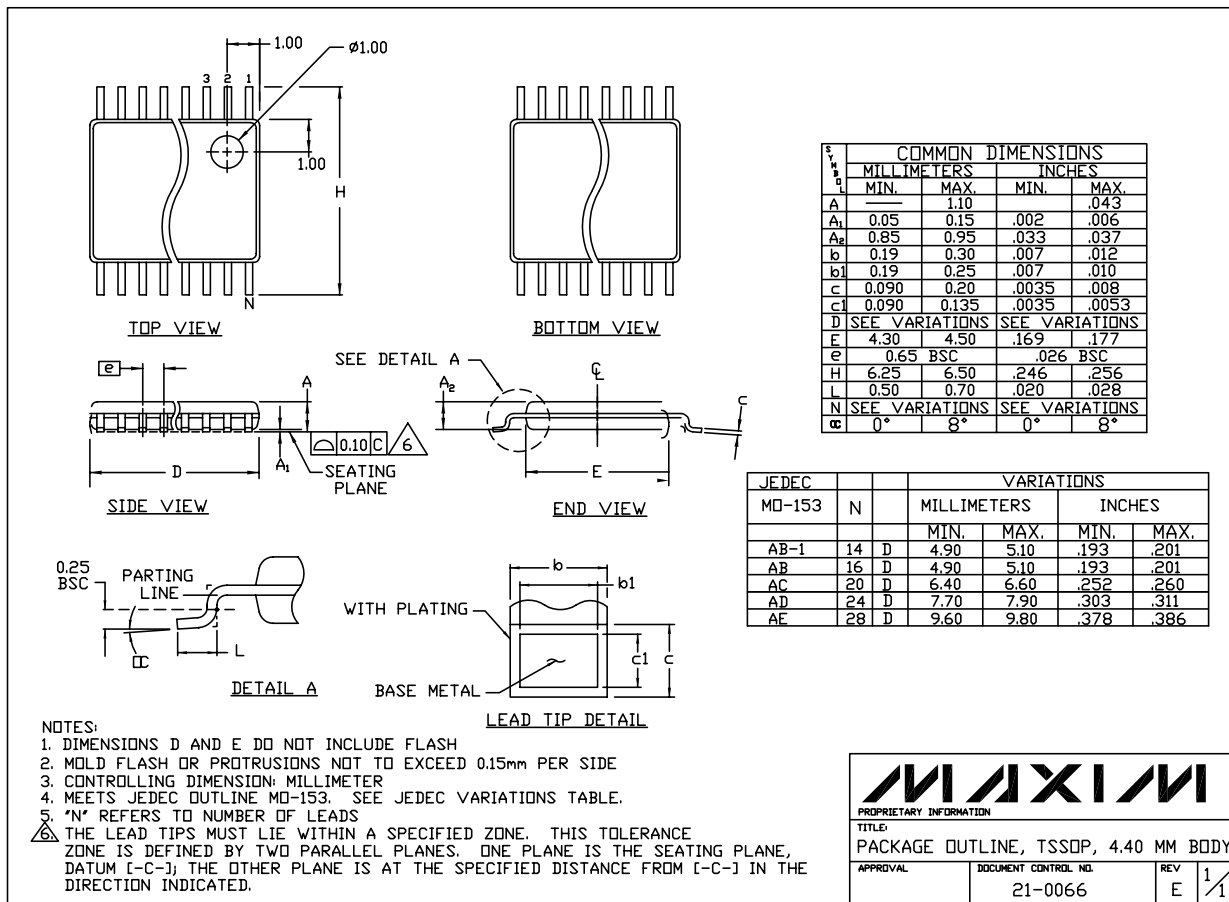
チップ情報

TRANSISTOR COUNT: 4286
PROCESS: BiCMOS

300ksp/s/400ksp/s、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

パッケージ

MAX1282/MAX1283



TSSOP: NO PADS: EPS

Note: The MAX1282/MAX1283 do not have an exposed die pad.

300ksps/400ksps、単一電源、4チャンネル シリアル12ビットADC、内部リファレンス付

MAX1282/MAX1283

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600