

デュアル、80MSPS、14ビット、
IF/ベースバンドADC

概要

MAX12558は、内蔵の量子化器を駆動する完全差動広帯域トラック/ホールド(T/H)入力を備えたデュアル、3.3V、14ビット、アナログ-デジタルコンバータ(ADC)です。MAX12558は、中間周波数(IF)およびベースバンドサンプリングアプリケーションにおける低電力、小型、および高ダイナミック性能用に最適化されています。このデュアルADCは、3.3Vの単一電源で動作し、消費電力がわずか756mWで、175MHzの入力周波数において71.7dB(typ)の信号対ノイズ比(SNR)性能を実現します。T/H入力段は、最高400MHzのシングルエンドまたは差動入力段で動作します。低動作電力に加えて、MAX12558はアイドル期間中の電力を330 μ Wに節減するパワーダウンモードを備えています。

フレキシブルなリファレンス構成によって、MAX12558は内蔵の2.048Vバンドギャップリファレンスの使用または外部リファレンスの受入れが可能であり、さらにリファレンスを2個のADC間で共用することもできます。このリファレンス構成では、フルスケールのアナログ入力範囲を $\pm 0.35V \sim \pm 1.15V$ に調整することができます。MAX12558は、設計を簡素化し差動アナログ入力回路の外付け部品点数を削減するためのコモンモードリファレンスを備えています。

MAX12558は、シングルエンドまたは差動入力クロックのいずれかをサポートします。ユーザが選択可能な1/2分周(DIV2)と1/4分周(DIV4)モードを使用すると、設計がフレキシブルになるとともにクロックジッタによる悪影響が軽減されることに役立ちます。クロックデューティサイクルの大幅な変動は、ADCの内蔵デューティサイクルイコライザ(DCE)によって補償されます。

MAX12558は、2つのパラレル、14ビット幅、CMOS対応出力を備えています。デジタル出力形式は、ピンの選択によって2の補数またはグレイコードのいずれかとすることができます。デジタル出力に対して分離した電源入力は、1.7V~3.6Vの電圧を受け入れて多様なロジックレベルに柔軟に対応します。MAX12558は、10mm x 10mm x 0.8mmのエクスポーズドパッド(EP)付き68ピンTQFNパッケージで提供され、拡張温度範囲(-40 $^{\circ}$ C ~ +85 $^{\circ}$ C)での動作が保証されています。

このADCの12ビット、ピンコンパチブルバージョンについては、MAX12528のデータシートを参照してください。その他の選択肢については選択ガイドをご覧ください。

アプリケーション

- IFおよびベースバンド通信レシーバ; セルラ、LMDS、ポイント間マイクロ波、MMDS、HFC、WLAN
- I/Qレシーバ
- 超音波および医療用画像処理
- ポータブル計測機器
- デジタルセットトップボックス
- 低電力データ収集

特長

- ◆ 最高400MHzまでの直接IFサンプリング
- ◆ 卓越したダイナミック性能
 - SNR: 74.4dB/71.7dB
 - ($f_{IN} = 70MHz/175MHz$ において)
 - SFDR: 84.2dBc/79dBc
 - ($f_{IN} = 70MHz/175MHz$ において)
- ◆ 3.3V低電力動作
 - 789mW(差動クロックモード)
 - 756mW(シングルエンドクロックモード)
- ◆ 完全差動またはシングルエンドアナログ入力
- ◆ 可変差動アナログ入力電圧
- ◆ 入力帯域幅: 750MHz
- ◆ リファレンス: 可変、内部または外部、共用
- ◆ 差動またはシングルエンドクロック
- ◆ 25%~75%のクロックデューティサイクルを許容
- ◆ ユーザが選択可能なDIV2およびDIV4クロックモード
- ◆ パワーダウンモード
- ◆ 2の補数またはグレイコードのCMOS出力
- ◆ アウトオブレンジおよびデータ有効のインジケータ
- ◆ 小型68ピンThin QFNパッケージ(10mm x 10mm x 0.8mm)
- ◆ 12ビット、ピンコンパチブルバージョンが入手可能(MAX12528)
- ◆ 評価キットが入手可能(MAX12558EVKITをご注文ください)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX12558ETK	-40 $^{\circ}$ C to +85 $^{\circ}$ C	68 Thin QFN-EP*	T6800-2
MAX12558ETK+	-40 $^{\circ}$ C to +85 $^{\circ}$ C	68 Thin QFN-EP*	T6800-2

*EP = エクスポーズドパッド

+は鉛フリーパッケージを示します。

選択ガイド

PART	SAMPLING RATE (MSPS)	RESOLUTION (Bits)
MAX12559**	95	14
MAX12558	80	14
MAX12557	65	14
MAX12529**	95	12
MAX12528	80	12
MAX12527	65	12

** 開発中の製品。入手性についてはお問い合わせ下さい。

ピン配置はデータシートの最後に記載されています。

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +3.6V
OV _{DD} to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V
INAP, INAN to GND ...	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V
INBP, INBN to GND ...	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V
CLKP, CLKN to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V
REFIN, REFOUT to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V
REFAP, REFAN, COMA to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V
REFBP, REFBN, COMB to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V

DIFFCLK/SECLK, G/T, PD, SHREF, DIV2, DIV4 to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +3.6V
D0A–D13A, D0B–D13B, DAV, DORA, DORB to GND	-0.3V to (OV _{DD} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
68-Pin Thin QFN, 10mm x 10mm x 0.8mm (derate 70mW/°C above +70°C)	4000mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3.3V, OV_{DD} = 2.0V, GND = 0, REFIN = REFOUT (internal reference), C_L ≈ 10pF at digital outputs, V_{IN} = -1dBFS (differential), DIFFCLK/SECLK = OV_{DD}, PD = GND, SHREF = GND, DIV2 = GND, DIV4 = GND, G/T = GND, f_{CLK} = 80MHz (50% duty cycle), T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			14			Bits
Integral Nonlinearity	INL	f _{IN} = 3MHz		±1.4		LSB
Differential Nonlinearity	DNL	f _{IN} = 3MHz, no missing codes over temperature (Note 2)	-1.0	±0.6	+1.2	LSB
Offset Error				±0.1	±0.7	%FSR
Gain Error		External reference, V _{REFIN} = 2.048V		±0.1	±4.6	%FSR
ANALOG INPUT (INAP, INAN, INBP, INBN)						
Differential Input Voltage Range	V _{DIFF}	Differential or single-ended inputs		±1.024		V
Common-Mode Input Voltage				V _{DD} / 2		V
Analog Input Resistance	R _{IN}	Each input, Figure 3		2.8		kΩ
Analog Input Capacitance	C _{PAR}	Fixed capacitance to ground, each input, Figure 3		2		pF
	C _{SAMPLE}	Switched capacitance, each input, Figure 3		4.5		
CONVERSION RATE						
Maximum Clock Frequency	f _{CLK}		80			MHz
Minimum Clock Frequency					5	MHz
Data Latency		Figure 5		8		Clock Cycles
DYNAMIC CHARACTERISTICS						
Small-Signal Noise Floor	SSNF	Input at -35dBFS	75.4	76.8		dBFS
Signal-to-Noise Ratio	SNR	f _{IN} = 3MHz	72.7	75.2		dB
		f _{IN} = 40MHz		74.7		
		f _{IN} = 70MHz		74.4		
		f _{IN} = 175MHz	69.9	71.7		

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L = 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 3MHz$	71.1	74.8		dB
		$f_{IN} = 40MHz$		73.5		
		$f_{IN} = 70MHz$		73.7		
		$f_{IN} = 175MHz$	68.6	70.6		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 3MHz$	73.8	86.9		dBc
		$f_{IN} = 40MHz$		81.9		
		$f_{IN} = 70MHz$		84.2		
		$f_{IN} = 175MHz$	72.8	79		
Total Harmonic Distortion	THD	$f_{IN} = 3MHz$		-85.3	-72.9	dBc
		$f_{IN} = 40MHz$		-79.7		
		$f_{IN} = 70MHz$		-81.7		
		$f_{IN} = 175MHz$		-77.1	-71.3	
Second Harmonic	HD2	$f_{IN} = 3MHz$		-87.3		dBc
		$f_{IN} = 40MHz$		-84.8		
		$f_{IN} = 70MHz$		-86.7		
		$f_{IN} = 175MHz$		-79.9		
Third Harmonic	HD3	$f_{IN} = 3MHz$		-91.4		dBc
		$f_{IN} = 40MHz$		-81.9		
		$f_{IN} = 70MHz$		-84.3		
		$f_{IN} = 175MHz$		-81.3		
3rd-Order Intermodulation Distortion	IM3	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		-86.5		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		-87.1		
Full-Power Bandwidth	FPBW	Input at $-0.2dBFS$, $-3dB$ rolloff		750		MHz
Aperture Delay	t_{AD}	Figure 5		1.2		ns
Aperture Jitter	t_{AJ}			< 0.1		pSRMS
Output Noise	n_{OUT}	INAP = INAN = COMA INBP = INBN = COMB		0.91		LSBRMS

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L = 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Overdrive Recovery Time		$\pm 10\%$ beyond full scale		1		Clock Cycle
INTERCHANNEL CHARACTERISTICS						
Crosstalk Rejection		f_{INA} or $f_{INB} = 70MHz$ at $-1dBFS$		95		dB
		f_{INA} or $f_{INB} = 175MHz$ at $-1dBFS$		87		
Gain Matching				± 0.01	± 0.1	dB
Offset Matching				± 0.01		%FSR
INTERNAL REFERENCE (REFOUT)						
REFOUT Output Voltage	V_{REFOUT}		2.000	2.048	2.080	V
REFOUT Load Regulation		$-1mA < I_{REFOUT} < +1mA$		35		mV/mA
REFOUT Temperature Coefficient	TC_{REF}			± 50		ppm/ $^{\circ}C$
REFOUT Short-Circuit Current		Short to V_{DD} —sinking		0.24		mA
		Short to GND —sourcing		2.1		
BUFFERED REFERENCE MODE (REFIN is driven by REFOUT or an external 2.048V single-ended reference source; $V_{REFAP}/V_{REFAN}/V_{COMA}$ and $V_{REFBP}/V_{REFBN}/V_{COMB}$ are generated internally)						
REFIN Input Voltage	V_{REFIN}			2.048		V
REFIN Input Resistance	R_{REFIN}			> 50		$M\Omega$
COM_ Output Voltage	V_{COMA} V_{COMB}	$V_{COM_} = V_{DD} / 2$	1.60	1.65	1.70	V
REF_P Output Voltage	V_{REFAP} V_{REFBP}	$V_{REF_P} = V_{DD} / 2 + (V_{REFIN} \times 3/8)$		2.418		V
REF_N Output Voltage	V_{REFAN} V_{REFBN}	$V_{REF_N} = V_{DD} / 2 - (V_{REFIN} \times 3/8)$		0.882		V
Differential Reference Voltage	V_{REFA} V_{REFB}	$V_{REF_} = V_{REF_P} - V_{REF_N}$	1.456	1.536	1.595	V
Differential Reference Temperature Coefficient	TC_{REF}			± 25		ppm/ $^{\circ}C$
UNBUFFERED EXTERNAL REFERENCE (REFIN = GND, $V_{REFAP}/V_{REFAN}/V_{COMA}$ and $V_{REFBP}/V_{REFBN}/V_{COMB}$ are applied externally, $V_{COMA} = V_{COMB} = V_{DD} / 2$)						
REF_P Input Voltage	V_{REFAP} V_{REFBP}	$V_{REF_P} - V_{COM_}$		+0.768		V
REF_N Input Voltage	V_{REFAN} V_{REFBN}	$V_{REF_N} - V_{COM_}$		-0.768		V
COM_ Input Voltage	$V_{COM_}$	$V_{COM_} = V_{DD} / 2$		1.65		V
Differential Reference Voltage	V_{REFA} V_{REFB}	$V_{REF_} = V_{REF_P} - V_{REF_N} = V_{REFIN} \times 3/4$		1.536		V

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/\overline{T} = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REF_P Sink Current	I_{REFAP} I_{REFBP}	$V_{REF_P} = 2.418V$		1.2		mA
REF_N Source Current	I_{REFAN} I_{REFBN}	$V_{REF_N} = 0.882V$		0.85		mA
COM_ Sink Current	I_{COMA} I_{COMB}	$V_{COM_} = 1.65V$		0.85		mA
REF_P, REF_N Capacitance	C_{REF_P} , C_{REF_N}			13		pF
COM_ Capacitance	$C_{COM_}$			6		pF
CLOCK INPUTS (CLKP, CLKN)						
Single-Ended Input High Threshold	V_{IH}	$DIFFCLK/\overline{SECLK} = GND$, $CLKN = GND$	$0.8 \times V_{DD}$			V
Single-Ended Input Low Threshold	V_{IL}	$DIFFCLK/\overline{SECLK} = GND$, $CLKN = GND$			$0.2 \times V_{DD}$	V
Minimum Differential Clock Input Voltage Swing		$DIFFCLK/\overline{SECLK} = OV_{DD}$		0.2		V_{P-P}
Differential Input Common-Mode Voltage		$DIFFCLK/\overline{SECLK} = OV_{DD}$		$V_{DD} / 2$		V
CLKP, CLKN Input Resistance	R_{CLK}	Each input, Figure 4		5		$k\Omega$
CLKP, CLKN Input Capacitance	C_{CLK}			2		pF
DIGITAL INPUTS (DIFFCLK/SECLK, G/T, PD, DIV2, DIV4, SHREF)						
Input High Threshold	V_{IH}		$0.8 \times OV_{DD}$			V
Input Low Threshold	V_{IL}				$0.2 \times OV_{DD}$	V
Input Leakage Current		OV_{DD} applied to input			± 5	μA
		Input connected to ground			± 5	
Digital Input Capacitance	C_{DIN}			5		pF
DIGITAL OUTPUTS (D0A–D13A, D0B–D13B, DORA, DORB, DAV)						
Output-Voltage Low	V_{OL}	D0A–D13A, D0B–D13B, DORA, DORB: $I_{SINK} = 200\mu A$			0.2	V
		DAV: $I_{SINK} = 600\mu A$			0.2	
Output-Voltage High	V_{OH}	D0A–D13A, D0B–D13B, DORA, DORB: $I_{SOURCE} = 200\mu A$	$OV_{DD} - 0.2$			V
		DAV: $I_{SOURCE} = 600\mu A$	$OV_{DD} - 0.2$			
Tri-State Leakage Current (Note 3)	I_{LEAK}	OV_{DD} applied to input			± 5	μA
		Input connected to ground			± 5	

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
D0A–D13A, DORA, D0B–D13B, and DORB Tri-State Output Capacitance (Note 3)	C_{OUT}			3		pF
DAV Tri-State Output Capacitance (Note 3)	C_{DAV}			6		pF
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		3.15	3.30	3.60	V
Digital Output Supply Voltage	OV_{DD}		1.70	2.0	V_{DD}	V
Analog Supply Current	I_{VDD}	Normal operating mode $f_{IN} = 175MHz$ single-ended clock ($DIFFCLK/SECLK = GND$)		229		mA
		Normal operating mode $f_{IN} = 175MHz$ differential clock ($DIFFCLK/SECLK = OV_{DD}$)		239	273	
		Power-down mode ($PD = OV_{DD}$) clock idle		0.1		
Analog Power Dissipation	P_{VDD}	Normal operating mode $f_{IN} = 175MHz$ single-ended clock ($DIFFCLK/SECLK = GND$)		756		mW
		Normal operating mode $f_{IN} = 175MHz$ differential clock ($DIFFCLK/SECLK = OV_{DD}$)		789	900	
		Power-down mode ($PD = OV_{DD}$) clock idle		0.33		
Digital Output Supply Current	I_{OVDD}	Normal operating mode $f_{IN} = 175MHz$, $C_L \approx 10pF$		22.6		mA
		Power-down mode ($PD = OV_{DD}$) clock idle		0.004		

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/\bar{T} = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 5)						
Clock Pulse-Width High	t_{CH}			6.2		ns
Clock Pulse-Width Low	t_{CL}			6.2		ns
Data-Valid Delay	t_{DAV}	(Note 4)		5.8		ns
Data Setup Time Before Rising Edge of DAV	t_{SETUP}	(Notes 4, 5), $OV_{DD} = 1.8V$	5.5			ns
Data Hold Time After Rising Edge of DAV	t_{HOLD}	(Notes 4, 5), $OV_{DD} = 1.8V$	5.5			ns
Wake-Up Time from Power-Down	t_{WAKE}	$V_{REFIN} = 2.048V$		10		ms

Note 1: Specifications $\geq +25^{\circ}C$ guaranteed by production test, $< +25^{\circ}C$ guaranteed by design and characterization.

Note 2: Guaranteed by design and characterization. Device tested for performance during production test.

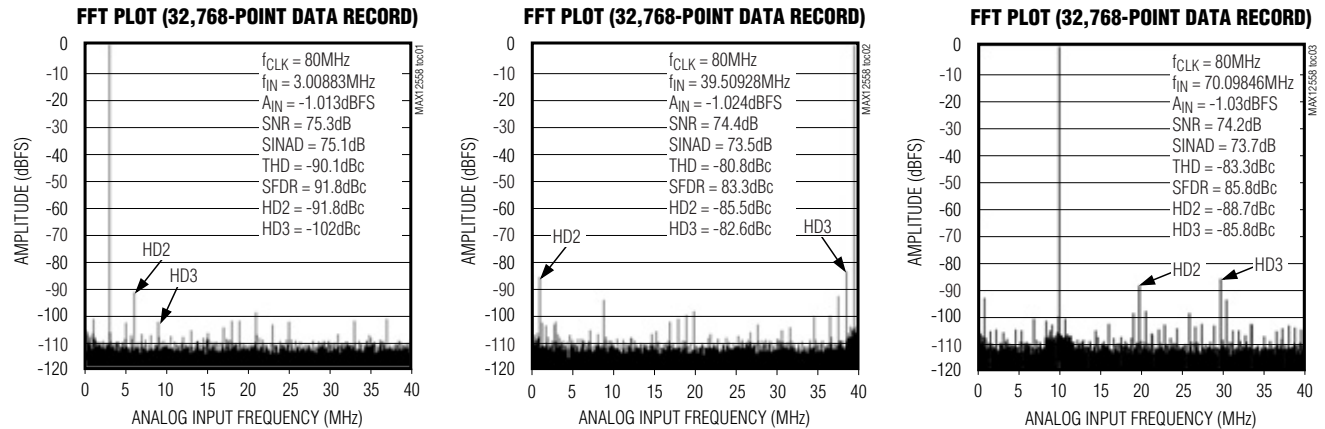
Note 3: During power-down, DOA–D13A, D0B–D13B, DORA, DORB, and DAV are high impedance.

Note 4: Data outputs settle to V_{IH} or V_{IL} .

Note 5: Guaranteed by design and characterization.

標準動作特性

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = +25^{\circ}C$, unless otherwise noted.)



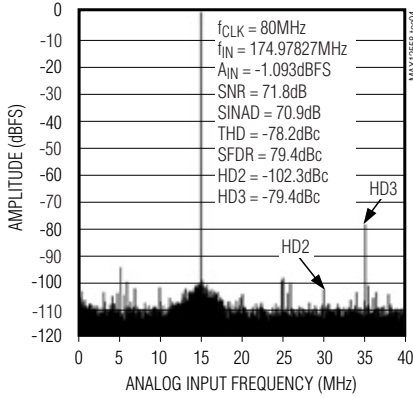
デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

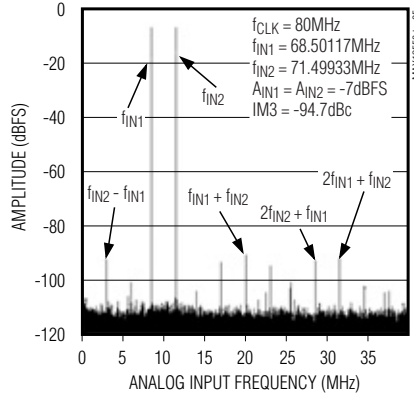
標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

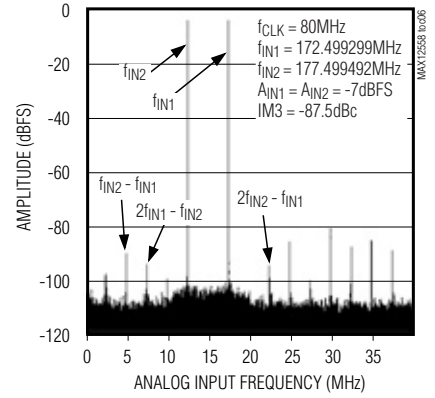
FFT PLOT (32,768-POINT DATA RECORD)



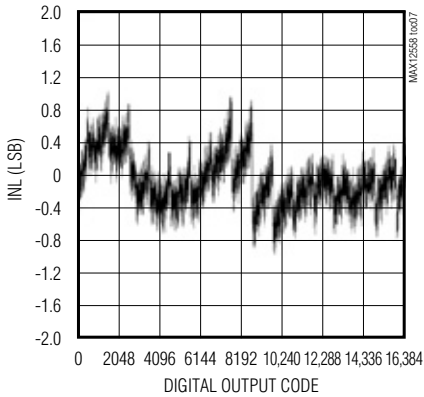
TWO-TONE IMD PLOT (32,768-POINT DATA RECORD)



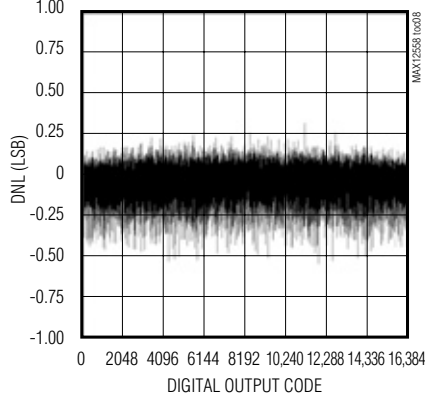
TWO-TONE IMD PLOT (32,768-POINT DATA RECORD)



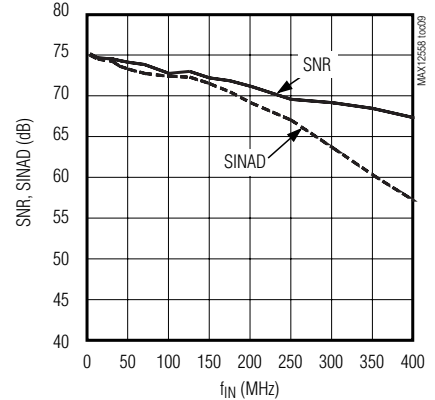
INTEGRAL NONLINEARITY vs. DIGITAL OUTPUT CODE



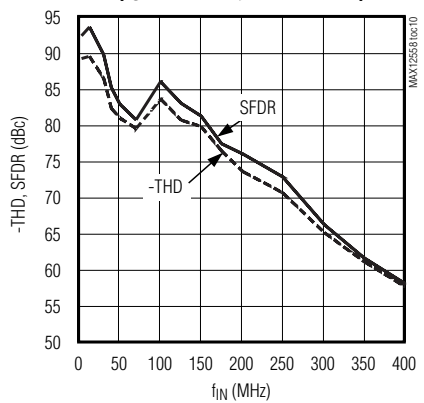
DIFFERENTIAL NONLINEARITY vs. DIGITAL OUTPUT CODE



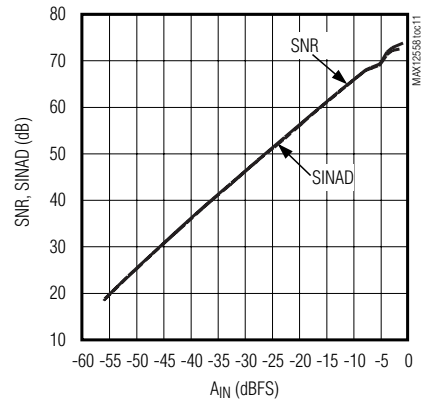
SNR, SINAD vs. ANALOG INPUT FREQUENCY ($f_{CLK} = 80MHz$, $A_{IN} = -1dBFS$)



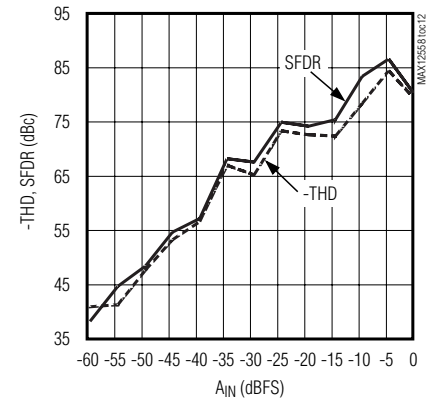
-THD, SFDR vs. ANALOG INPUT FREQUENCY ($f_{CLK} = 80MHz$, $A_{IN} = -1dBFS$)



SNR, SINAD vs. ANALOG INPUT AMPLITUDE ($f_{CLK} = 80MHz$, $f_{IN} = 70MHz$)



-THD, SFDR vs. ANALOG INPUT AMPLITUDE ($f_{CLK} = 80MHz$, $f_{IN} = 70MHz$)



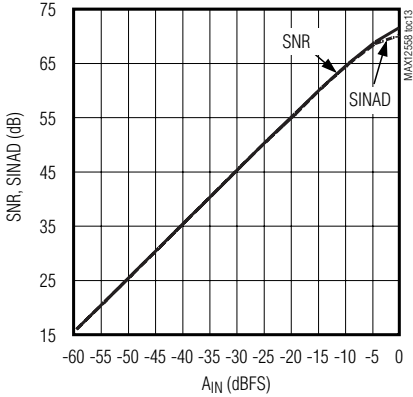
デュアル、80MSPs、14ビット、 IF/ベースバンドADC

MAX12558

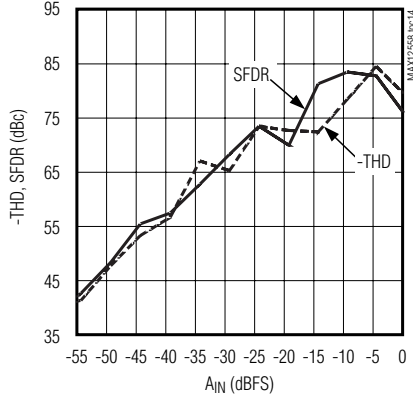
標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

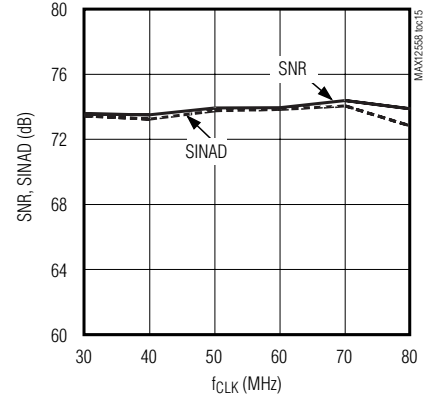
SNR, SINAD vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)



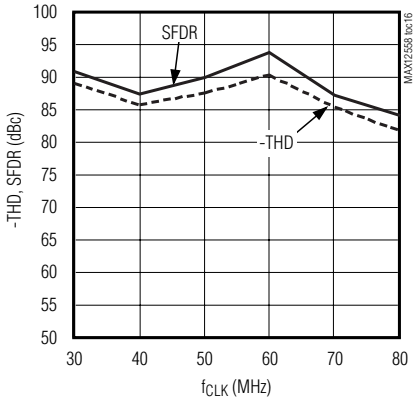
-THD, SFDR vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)



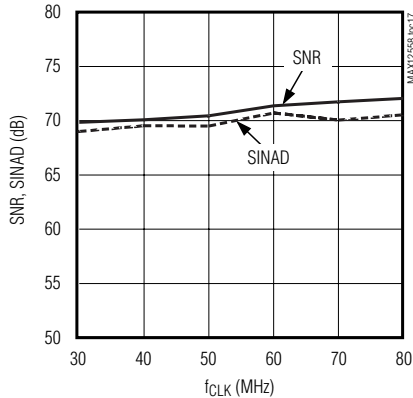
SNR, SINAD vs. CLOCK SPEED
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)



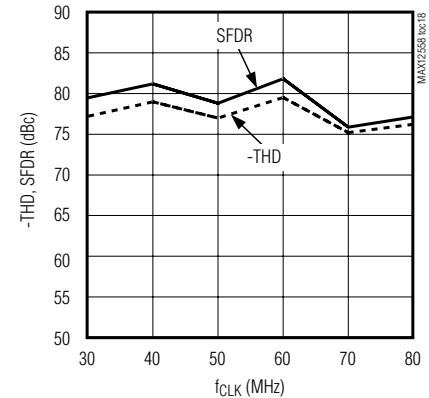
-THD, SFDR vs. CLOCK SPEED
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)



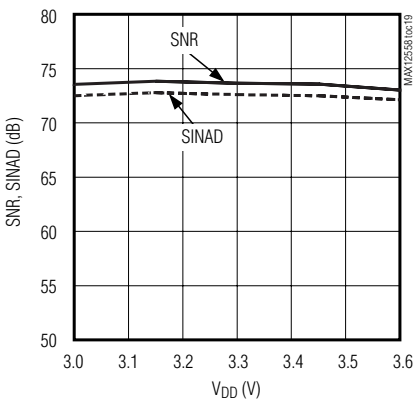
SNR, SINAD vs. CLOCK SPEED
($f_{IN} = 175MHz$, $A_{IN} = -1dBFS$)



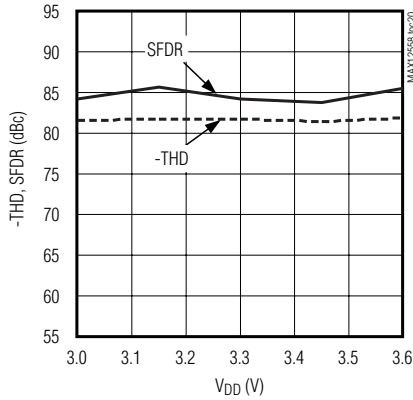
-THD, SFDR vs. CLOCK SPEED
($f_{IN} = 175MHz$, $A_{IN} = -1dBFS$)



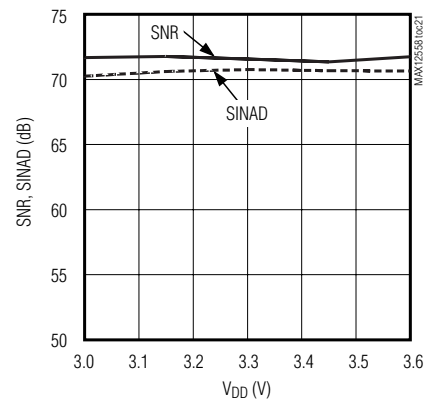
SNR, SINAD vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 70MHz$)



-THD, SFDR vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 70MHz$)



SNR, SINAD vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)

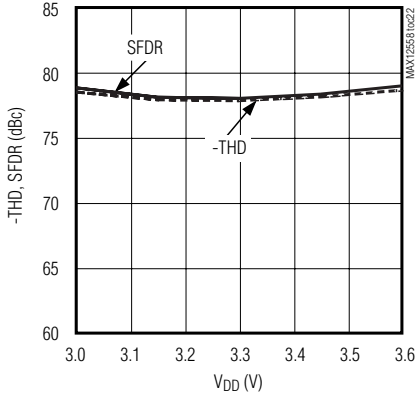


デュアル、80Msps、14ビット、IF/ベースバンドADC

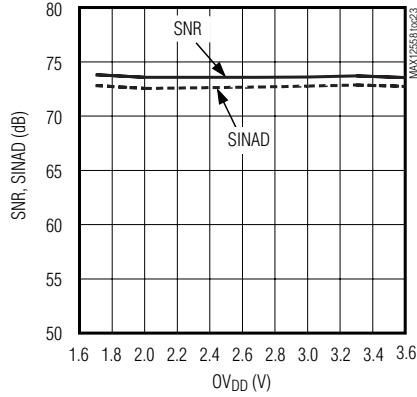
標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

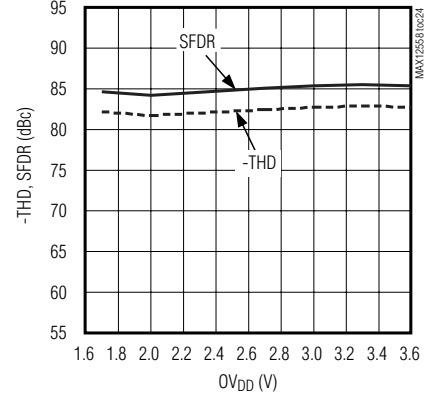
-THD, SFDR vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)



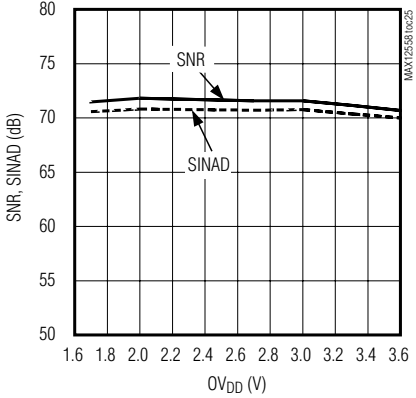
SNR, SINAD vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 70MHz$)



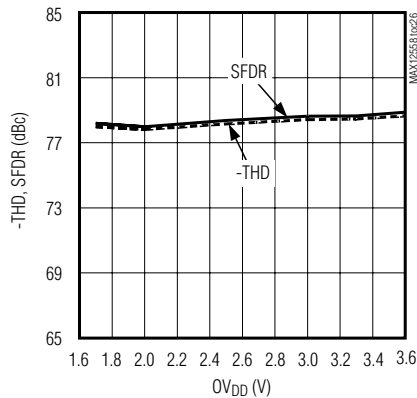
-THD, SFDR vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 70MHz$)



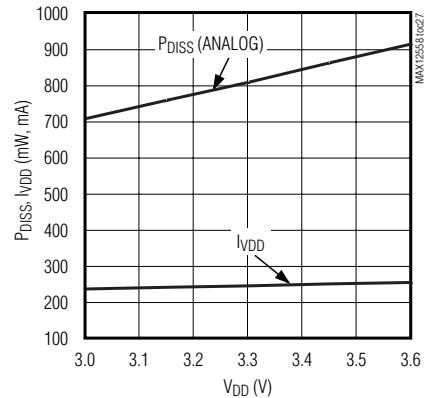
SNR, SINAD vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)



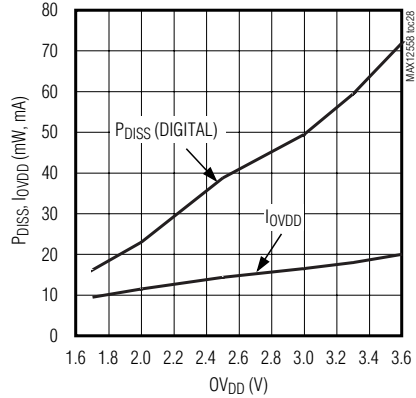
-THD, SFDR vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)



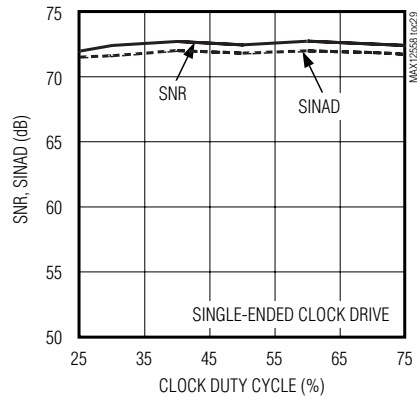
P_{DISS} (ANALOG), I_{VDD} vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)



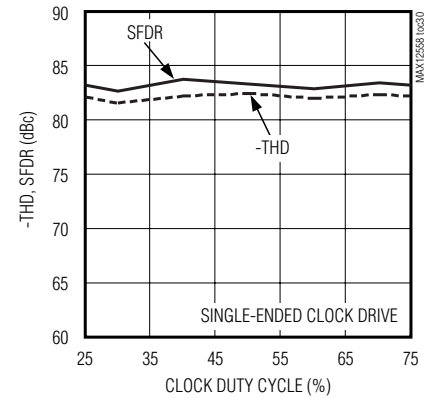
P_{DISS} (DIGITAL), I_{OVDD} vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 80MHz$, $f_{IN} = 175MHz$)



SNR, SINAD vs. CLOCK DUTY CYCLE
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)



-THD, SFDR vs. CLOCK DUTY CYCLE
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)

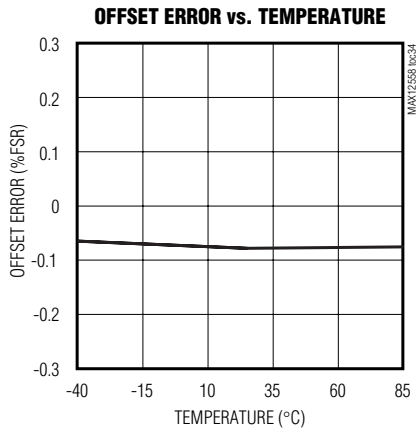
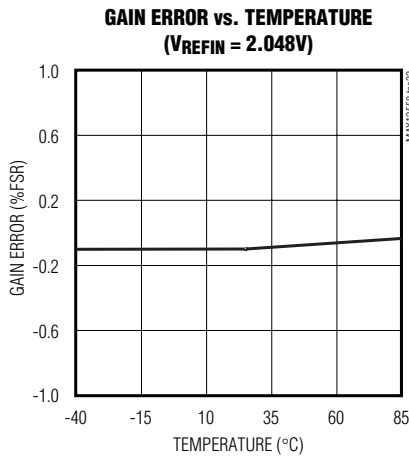
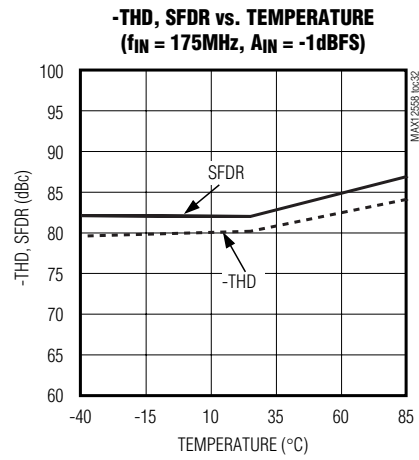
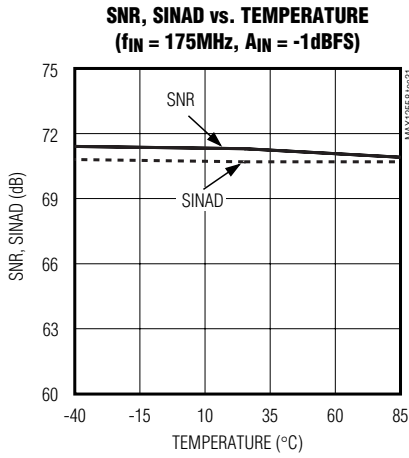


デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 80MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)



デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

端子説明

端子	名称	機能
1, 4, 5, 9, 13, 14, 17	GND	コンバータグランド。すべてのグランドピンとエクスポーズドパッド(EP)を互いに接続してください。
2	INAP	チャンネルA正アナログ入力
3	INAN	チャンネルA負アナログ入力
6	COMA	チャンネルAコモンモード電圧I/O。COMAを0.1μFのコンデンサでGNDにバイパスしてください。
7	REFAP	チャンネルA正リファレンスI/O。チャンネルAの変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ です。REFAPを0.1μFのコンデンサでGNDにバイパスしてください。4.7μFと0.1μFのバイパスコンデンサをREFAPとREFANの間に接続してください。0.1μFのREFAP-REFAN間コンデンサは、プリント基板上のデバイスと同じ側でデバイスにできる限り近く配置してください。
8	REFAN	チャンネルA負リファレンスI/O。チャンネルAの変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ です。REFANを0.1μFのコンデンサでGNDにバイパスしてください。4.7μFと0.1μFのバイパスコンデンサをREFAPとREFANの間に接続してください。0.1μFのREFAP-REFAN間コンデンサは、プリント基板上のデバイスと同じ側でデバイスにできる限り近く配置してください。
10	REFBN	チャンネルB負リファレンスI/O。チャンネルBの変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ です。REFBNを0.1μFのコンデンサでGNDにバイパスしてください。4.7μFと0.1μFのバイパスコンデンサをREFBPとREFBNの間に接続してください。0.1μFのREFBP-REFBN間コンデンサは、プリント基板上のデバイスと同じ側でデバイスにできる限り近く配置してください。
11	REFBP	チャンネルB正リファレンスI/O。チャンネルBの変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ です。REFBPを0.1μFのコンデンサでGNDにバイパスしてください。4.7μFと0.1μFのバイパスコンデンサをREFBPとREFBNの間に接続してください。0.1μFのREFBP-REFBN間コンデンサは、プリント基板上のデバイスと同じ側でデバイスにできる限り近く配置してください。
12	COMB	チャンネルBコモンモード電圧I/O。COMBを0.1μFのコンデンサでGNDにバイパスしてください。
15	INBN	チャンネルB負アナログ入力
16	INBP	チャンネルB正アナログ入力
18	DIFFCLK/ SECLK	差動/シングルエンド入力クロック駆動。この入力は、シングルエンドまたは差動クロック入力駆動のいずれかを選択します。 DIFFCLK/SECLK = GND : シングルエンドクロック入力駆動を選択します。 DIFFCLK/SECLK = OV _{DD} : 差動クロック入力駆動を選択します。
19	CLKN	負クロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV _{DD})では、差動クロック信号をCLKPとCLKNの間に印加してください。シングルエンドクロックモード(DIFFCLK/SECLK = GND)では、クロック信号をCLKPに印加して、CLKNをGNDに接続してください。
20	CLKP	正クロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV _{DD})では、差動クロック信号をCLKPとCLKNの間に印加してください。シングルエンドクロックモード(DIFFCLK/SECLK = GND)では、シングルエンドクロック信号をCLKPに印加して、CLKNをGNDに接続してください。
21	DIV2	1/2クロック分周器デジタル制御入力。詳しくは、表2をご覧ください。
22	DIV4	1/4クロック分周器デジタル制御入力。詳しくは、表2をご覧ください。
23-26, 61, 62, 63	V _{DD}	アナログ電源入力。V _{DD} を3.15V~3.60V電源に接続してください。V _{DD} を10μF以上と0.1μFの組合せの並列コンデンサでGNDにバイパスしてください。すべてのV _{DD} ピンを同一電位に接続してください。
27, 43, 60	OV _{DD}	出力ドライバ電源入力。OV _{DD} を1.7V~V _{DD} の電源に接続してください。OV _{DD} を10μF以上と0.1μFの組合せの並列コンデンサでGNDにバイパスしてください。

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

端子説明(続き)

端子	名称	機能
28	D0B	チャンネルB CMOSデジタル出力、ビット0(LSB)
29	D1B	チャンネルB CMOSデジタル出力、ビット1
30	D2B	チャンネルB CMOSデジタル出力、ビット2
31	D3B	チャンネルB CMOSデジタル出力、ビット3
32	D4B	チャンネルB CMOSデジタル出力、ビット4
33	D5B	チャンネルB CMOSデジタル出力、ビット5
34	D6B	チャンネルB CMOSデジタル出力、ビット6
35	D7B	チャンネルB CMOSデジタル出力、ビット7
36	D8B	チャンネルB CMOSデジタル出力、ビット8
37	D9B	チャンネルB CMOSデジタル出力、ビット9
38	D10B	チャンネルB CMOSデジタル出力、ビット10
39	D11B	チャンネルB CMOSデジタル出力、ビット11
40	D12B	チャンネルB CMOSデジタル出力、ビット12
41	D13B	チャンネルB CMOSデジタル出力、ビット13(MSB)
42	DORB	チャンネルBデータアウトオブレインジケータ。DORBデジタル出力は、チャンネルBアナログ入力電圧が範囲から外れていることを示します。 DORB = 1 : デジタル出力がフルスケール範囲を超えています。 DORB = 0 : デジタル出力がフルスケール範囲内にあります。
44	DAV	データ有効デジタル出力。DAVの立上りエッジは、データがデジタル出力に存在することを示します。MAX12558の評価キットは、DAVを利用してデータを外部のバックエンドデジタルロジックにラッチします。
45	D0A	チャンネルA CMOSデジタル出力、ビット0(LSB)
46	D1A	チャンネルA CMOSデジタル出力、ビット1
47	D2A	チャンネルA CMOSデジタル出力、ビット2
48	D3A	チャンネルA CMOSデジタル出力、ビット3
49	D4A	チャンネルA CMOSデジタル出力、ビット4
50	D5A	チャンネルA CMOSデジタル出力、ビット5
51	D6A	チャンネルA CMOSデジタル出力、ビット6
52	D7A	チャンネルA CMOSデジタル出力、ビット7
53	D8A	チャンネルA CMOSデジタル出力、ビット8
54	D9A	チャンネルA CMOSデジタル出力、ビット9
55	D10A	チャンネルA CMOSデジタル出力、ビット10
56	D11A	チャンネルA CMOSデジタル出力、ビット11
57	D12A	チャンネルA CMOSデジタル出力、ビット12
58	D13A	チャンネルA CMOSデジタル出力、ビット13(MSB)
59	DORA	チャンネルAデータアウトオブレインジケータ。DORAデジタル出力は、チャンネルAアナログ入力電圧が範囲から外れていることを示します。 DORA = 1 : デジタル出力がフルスケール範囲を超えています。 DORA = 0 : デジタル出力がフルスケール範囲内にあります。
64	G/ \bar{T}	出力形式選択デジタル入力 G/ \bar{T} = GND : 2の補数出力形式が選択されます。 G/ \bar{T} = OV _{DD} : グレイコード出力形式が選択されます。

デュアル、80Msps、14ビット、 IF/ベースバンドADC

端子説明(続き)

端子	名称	機能
65	PD	パワーダウンデジタル入力 PD = GND : ADCが完全に機能します。 PD = OV _{DD} : ADCがパワーダウンされます。
66	SHREF	共用リファレンスデジタル入力 SHREF = V _{DD} : 共用リファレンスがイネーブルされます。 SFREF = GND : 共用リファレンスがディセーブルされます。 リファレンスを共用するときは、V _{REFAP} = V _{REFBP} となるようにREFAPとREFBPを外部で互いに接続してください。同様に、リファレンスを共用するときは、V _{REFAN} = V _{REFBN} となるようにREFANとREFBNを外部で互いに接続してください。
67	REFOUT	内部リファレンス電圧出力。REFOUT出力電圧は2.048Vで、REFOUTは1mAを供給することができます。内部リファレンス動作の場合は、REFOUTをREFINにじかに接続するか、またはREFOUTから抵抗分圧器を使用してREFINの電圧を設定してください。REFOUTを0.1μF以上のコンデンサでGNDにバイパスしてください。外部リファレンス動作の場合、REFOUTは不要で、これを0.1μF以上のコンデンサでGNDにバイパスする必要があります。
68	REFIN	シングルエンドリファレンスアナログ入力。内部リファレンスおよびバッファ付き外部リファレンス動作の場合は、DC 0.7V~2.3Vのリファレンス電圧をREFINに印加してください。REFINを4.7μFのコンデンサでGNDにバイパスしてください。指定の動作電圧範囲で、REFINは50MΩ以上の入力インピーダンスを持っており差動リファレンス電圧(V _{REF_P} - V _{REF_N})はREFINから生成されます。バッファなし外部リファレンス動作の場合は、REFINをGNDに接続してください。このモードでは、REF_P、REF_N、およびCOM_は、外部リファレンス電圧で動作するハイインピーダンス入力です。
—	EP	エクスポーズドパッド。EPは内部でGNDに接続されています。規定のダイナミック性能を実現するために、EPを外部でGNDに接続してください。

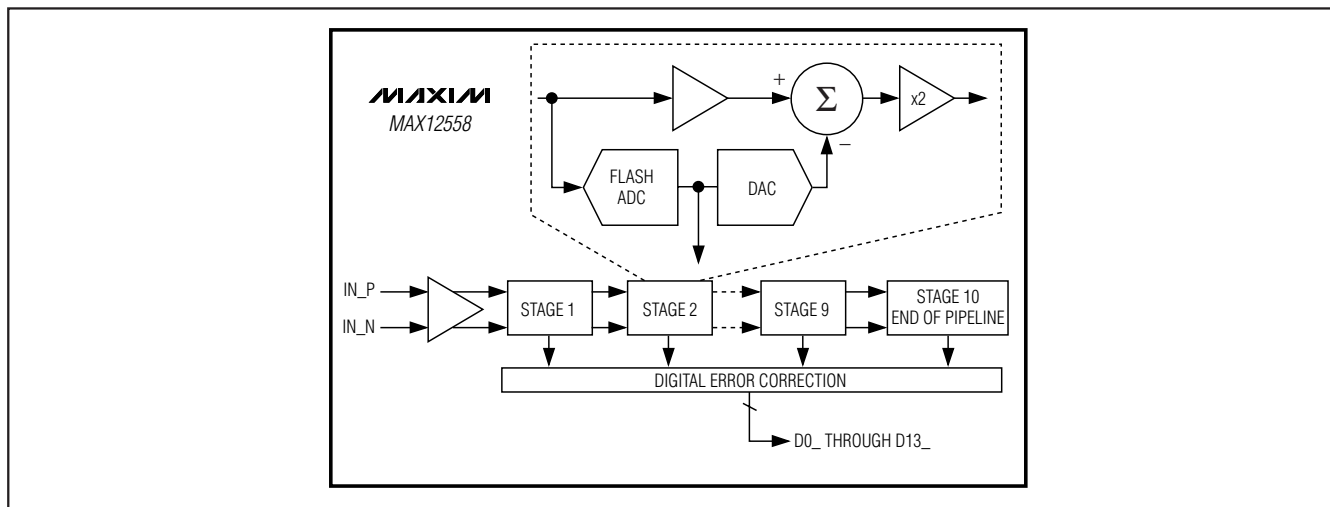


図1. パイプラインアーキテクチャ — ステージブロック

詳細

MAX12558には、消費電力を最小限に抑えながら高速変換が可能な10段から成る完全差動のパイプラインアーキテクチャ(図1)が採用されています。入力で行き入れられたサンプルは、1/2クロックサイクルごとにパイプラインステージを順次に移動します。入力から出力までの全待ち時間は8クロックサイクルです。

各パイプラインコンバータステージは、その入力電圧をデジタル出力コードに変換します。最終ステージを除く全ステージで、入力電圧とデジタル出力コードの間の誤差は乗算されて次のパイプラインステージに送られます。デジタル誤差補正は、各パイプラインステージでADCコンパレータのオフセットを補償し、ミッシングコードがないことを保証します。図2はMAX12558のファンクションダイアグラムを示します。

デュアル、80MSPS、14ビット、 IF/ベースバンドADC

MAX12558

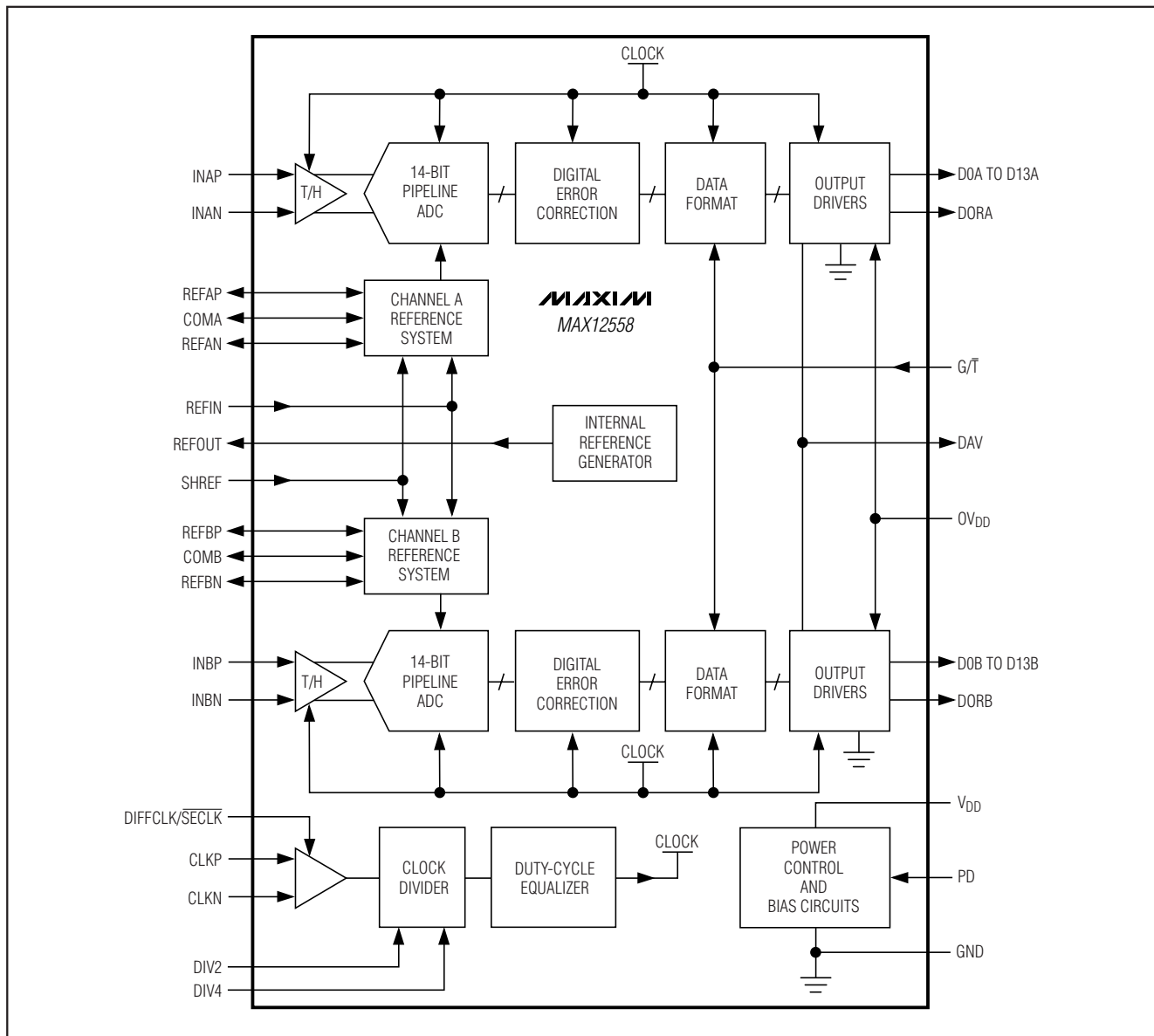


図2. ファンクションダイアグラム

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

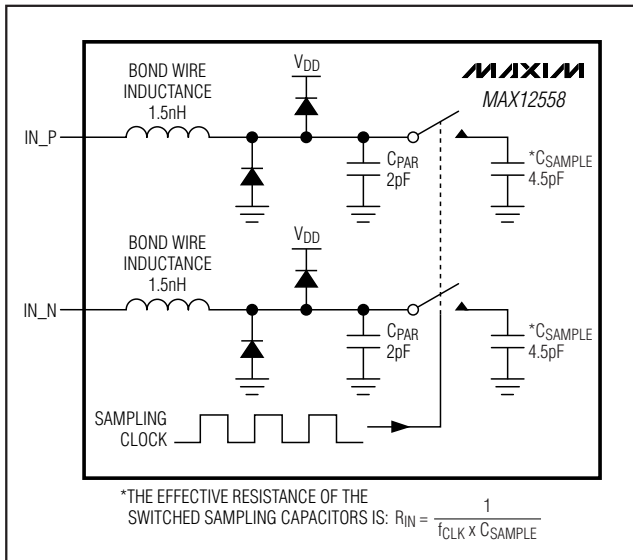


図3. 内部T/H回路

アナログ入力および入力トラック/ ホールド(T/H)アンプ

図3は、入力T/H回路の簡略化ファンクションダイアグラムを示します。この入力T/H回路は、175MHz以上の高いアナログ入力周波数(高IF)を受け入れるとともに $V_{DD} / 2$ のコモンモード入力電圧に対応します。

MAX12558のサンプリングクロックは、アナログ入力信号をサンプリングコンデンサに電荷として蓄えることが可能なスイッチトキャパシタ入力T/Hアーキテクチャ(図3)を制御します。これらのスイッチは、サンプリングクロックがハイ(トラックモード)のとき閉じており、サンプリングクロックがロー(ホールドモード)のとき開いています(図4)。アナログ入力信号ソースは、サンプリングコンデンサの充放電に必要なダイナミック電流を供給する必要があります。信号の劣化を防止するため、これらのコンデンサは、1クロックサイクルの1/2以内に1/2 LSBの精度まで充電される必要があります。MAX12558のアナログ入力は、差動またはシングルエンド入力駆動をサポートしています。差動入力での最適な性能を得るために、IN_PとIN_Nの入力インピーダンスを平衡させるとともにコモンモード電圧を中間電源電圧($V_{DD} / 2$)に設定してください。MAX12558は、内部リファレンスモードおよびバッファ付き外部リファレンスモードで動作するときCOM出力から $V_{DD} / 2$ の最適なコモンモード電圧を供給します。このCOM出力電圧は、図9、10、および11に示すように、入力回路網のバイアスとして使用することができます。

表1. リファレンスモード

V _{REFIN}	REFERENCE MODE
35% V _{REFOUT} to 100% V _{REFOUT}	Internal Reference Mode. REFIN is driven by REFOUT either through a direct short or a resistive divider. $V_{COM_} = V_{DD} / 2$ $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
0.7V to 2.3V	Buffered External Reference Mode. An external 0.7V to 2.3V reference voltage is applied to REFIN. $V_{COM_} = V_{DD} / 2$ $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
<0.5V	Unbuffered External Reference Mode. REF_P, REF_N, and COM_ are driven by external reference sources. The full-scale analog input range is $\pm(V_{REF_P} - V_{REF_N}) \times 2/3$.

リファレンス出力

内部バンドギャップリファレンスは、MAX12558で使用するすべての内部電圧およびバイアス電流の源です。パワーダウンロジック入力(PD)は、リファレンス回路をイネーブルし、ディセーブルします。MAX12558がパワーダウンされるとREFOUTはGNDに対して約17kΩとなります。電源がMAX12558に初めて印加されるときやPD(パワーダウン制御ライン)がハイからローに遷移するとき、リファレンス回路がパワーアップしてその最終値に整定するまでに10msを必要とします。

内部バンドギャップリファレンスは、REFOUTピンに温度係数が $\pm 50\text{ppm}/^\circ\text{C}$ の2.048V $\pm 1\%$ のバッファ付きリファレンス電圧を生成します。安定性確保のために、0.1 μF 以上のバイパスコンデンサをREFOUTからGNDに外付けしてください。REFOUTは、35mV/mAの負荷レギュレーションで外部回路に対して最大1mAをソースし、最大0.1mAをシンクします。短絡保護は、GNDへの短絡の場合は I_{REFOUT} を2.1mA(ソース電流)に制限し、 V_{DD} への短絡の場合は0.24mA(シンク電流)に制限します。REFOUTと同様に、REFINを4.7 μF のコンデンサでGNDにバイパスする必要があります。

リファレンスの設定

MAX12558のフルスケールアナログ入力範囲は $\pm 2/3 \times V_{REF}$ で、コモンモード入力範囲は $V_{DD} / 2 \pm 0.5\text{V}$ です。 V_{REF} はREFAP(REFBP)とREFAN(REFBN)の電圧差です。MAX12558は3つのリファレンス動作モードを備えています。電圧をREFIN(V_{REFIN})に設定すると、リファレンス動作モードが選択されます(表1)。

デュアル、80Msps、14ビット、 IF/ベースバンドADC

内部リファレンスモードでは、じかに短絡するか、または抵抗分圧器を通じてREFOUTをREFINに接続してください。 $V_{COM_} = V_{DD} / 2$ 、 $V_{REFP} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ 、および $V_{REFN} = V_{DD} / 2 - 3/8 \times V_{REFIN}$ であり、COM_、REF_P、およびREF_Nはローインピーダンス出力です。REF_P、REF_N、およびCOM_の各々を0.1 μ FのコンデンサでGNDにバイパスしてください。REF_Pを10 μ FのコンデンサでREF_Nにバイパスしてください。REFINとREFOUTを0.1 μ FのコンデンサでGNDにバイパスしてください。REFINの入カインピーダンスはきわめて大きい値です(50M Ω 以上)。抵抗分圧器を介してREFINを駆動する際は、REFOUTに負荷をかけないように10k Ω 以上の抵抗を使用してください。

バッファ付き外部リファレンスモードは、リファレンスソースがMAX12558の内部バンドギャップリファレンスでなく外部リファレンスから導かれることを除いて、内部リファレンスモードと事実上同じです。バッファ付き外部リファレンスモードでは、0.7V~2.3Vの安定したリファレンス電圧ソースをREFINに印加してください。 $V_{COM_} = V_{DD} / 2$ 、 $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ 、および $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$ の場合、ピンCOM_、REF_P、およびREF_Nはローインピーダンス出力です。REF_P、REF_N、およびCOM_の各々を0.1 μ FのコンデンサでGNDにバイパスしてください。REF_Pを4.7 μ FのコンデンサでREF_Nにバイパスしてください。

バッファなし外部リファレンスモードに入るためには、REFINをGNDに接続してください。REFINをGNDに接続すると、COM_、REF_P、およびREF_N用の内部リファレンスバッファが非アクティブになります。これらのバッファが非アクティブになると、COM_、REF_P、およびREF_Nはハイインピーダンス入力になり、独立した外部リファレンスソースで駆動する必要があります。 $V_{COM_}$ を $V_{DD} / 2 \pm 5\%$ に駆動し、 $V_{COM_} = (V_{REF_P} + V_{REF_N}) / 2$ となるようにREF_PとREF_Nを駆動してください。アナログ入力範囲は $\pm(V_{REF_P} - V_{REF_N}) \times 2/3$ です。REF_P、REF_N、およびCOM_の各々を0.1 μ FのコンデンサでGNDにバイパスしてください。REF_Pを4.7 μ FのコンデンサでREF_Nにバイパスしてください。すべてのリファレンスモードで、REFOUTとREFINをそれぞれ0.1 μ Fと4.7 μ FのコンデンサでGNDにバイパスしてください。

MAX12558は、ユーザがより優れたチャネル間マッチングを実現することが可能な共用リファレンスモードも備えています。リファレンスを共用する場合は(SHREF = V_{DD})、 $V_{REFAP} = V_{REFBP}$ となるようREFAPとREFBPを外部で互いに接続してください。同様に、リファレンス

を共用する場合は、 $V_{REFAN} = V_{REFBN}$ となるようREFANとREFBNを外部で互いに接続してください。

MAX12558の共用リファレンスモードをディセーブルするためには、SHREFをGNDに接続してください。この独立リファレンスモードでは、より優れたチャネル間アイソレーションが実現します。

詳しい推奨回路、およびバッファ付き/バッファなし外部リファレンスモードでのADCの駆動方法については、「アプリケーション情報」の項をご覧ください。

クロックデューティサイクルイコライザ

MAX12558はクロックデューティサイクルイコライザを内蔵しています。このイコライザはCLKPとCLKNに印加される信号のデューティサイクルに対してコンバータが影響を受けないようにするものです。コンバータは、25%~75%のクロックデューティサイクル変動があってもダイナミック性能に悪影響を与えることなく動作します。

クロックデューティサイクルイコライザでは、遅延ロックループ(DLL)を使用してデューティサイクルに無関係な内部タイミング信号を発生させます。このDLLが存在するため、MAX12558は新たなクロック周波数を取り込んでこれにロックするために約100クロックサイクルを必要とします。

クロック入力およびクロック制御ライン

MAX12558は、入力クロックデューティサイクルが広範囲な25%~75%の差動およびシングルエンドの両クロック入力で作動します。シングルエンドクロック入力動作の場合は、DIFFCLK/SECLKとCLKNをGNDに接続してください。CLKPには外部のシングルエンドクロック信号を印加してください。クロックジッタを低減するために、外部シングルエンドクロックは立下りエッジをシャープにします。差動クロック入力動作の場合は、DIFFCLK/SECLKをOV_{DD}に接続してください。CLKPとCLKNには外部差動クロック信号を印加してください。クロック入力をアナログ入力とみなして、その経路を他のアナログ入力やデジタル信号ラインから遠ざけてください。MAX12558がパワーダウンされると、CLKPとCLKNはハイインピーダンスになります(図4)。

MAX12558の規定されたSNR性能を得るためには、低クロックジッタが必要です。アナログ入力はCLKP(CLKN)の立下り(立上り)エッジでサンプリングされるため、このエッジのジッタを最低限に抑える必要があります。ジッタは、次式によってADCの最高SNR性能を制限します。

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_N \times t_j} \right)$$

デュアル、80MSPS、14ビット、IF/ベースバンドADC

MAX12558

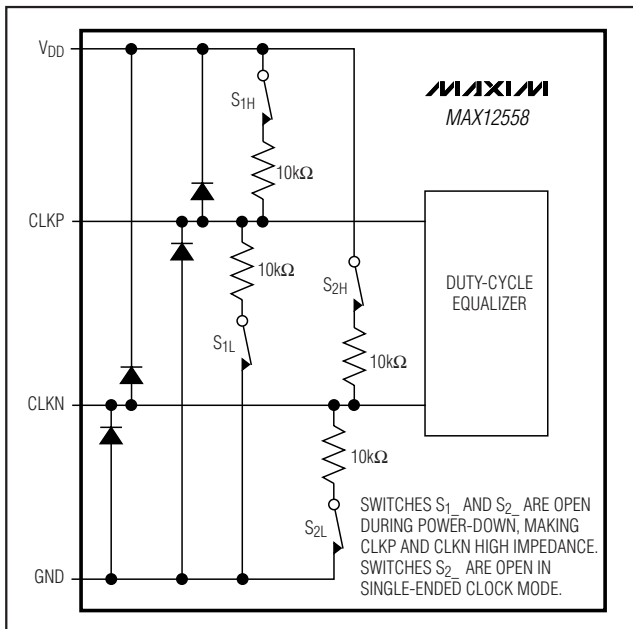


図4. 簡略化クロック入力回路

ここで、 f_{IN} はアナログ入力周波数、 t_j は総合システムクロックジッタです。クロックジッタは、アンダサンプリングアプリケーションにとって特に注意が必要です。たとえば、クロックジッタが唯一のノイズソースであると仮定すると、175MHzの入力周波数で指定された71.7dBのSNRを得るためには、システムのクロックジッタが0.24ps以下でなければなりません。ただし、実際にはシステムノイズの一因となるサーマルノイズや量子化ノイズなど、他にもノイズソースがあるため、175MHzで指定された71.7dBのSNRを得るためにはクロックジッタを0.17ps以下にする必要があります。

クロックドライバ制御入力(DIV2、DIV4)

MAX12558は、3種類のサンプリング/クロック動作モードを備えています(表2参照)。両方の制御ラインをローに駆動すると、クロック分周機能がディセーブル

表2. クロック分周器制御入力

DIV4	DIV2	FUNCTION
0	0	Clock Divider Disabled $f_{SAMPLE} = f_{CLK}$
0	1	Divide-by-Two Clock Divider $f_{SAMPLE} = f_{CLK} / 2$
1	0	Divide-by-Four Clock Divider $f_{SAMPLE} = f_{CLK} / 4$
1	1	Not Allowed

され、コンバータが最大クロック速度でサンプリングを行います。

DIV4をローに駆動しDIV2をハイに駆動すると、1/2分周機能がイネーブルされ、サンプリング速度が選択されたクロック周波数の1/2に設定されます。1/4分周モードでは、コンバータのサンプリング速度がMAX12558のクロック速度の1/4に設定されます。1/4分周モードは、DIV4をハイレベルに、DIV2をローレベルに駆動することによって実現します。サンプリング用クロック速度の1/2または1/4のいずれかを選択するオプションによって、設計がフレキシブルになり、クロック要件が緩和されて、クロックジッタが最小限に抑えられます。

システムタイミング要件

図5は、クロック、アナログ入力、DAVインジケータ、DOR_インジケータ、および得られた出力データ間のタイミング関係を示します。

アナログ入力はCLKP(CLKN)の立下り(立上り)エッジでサンプリングされ、得られたデータが8クロックサイクル後にデジタル出力に現れます。

DAVインジケータは、デジタル出力に同期しており、データをデジタルバックエンド回路にラッチする際に使用されるように最適化されています。また、デジタルバックエンド回路を変換クロック(CLKP~CLKN)の立上りエッジでラッチすることができます。

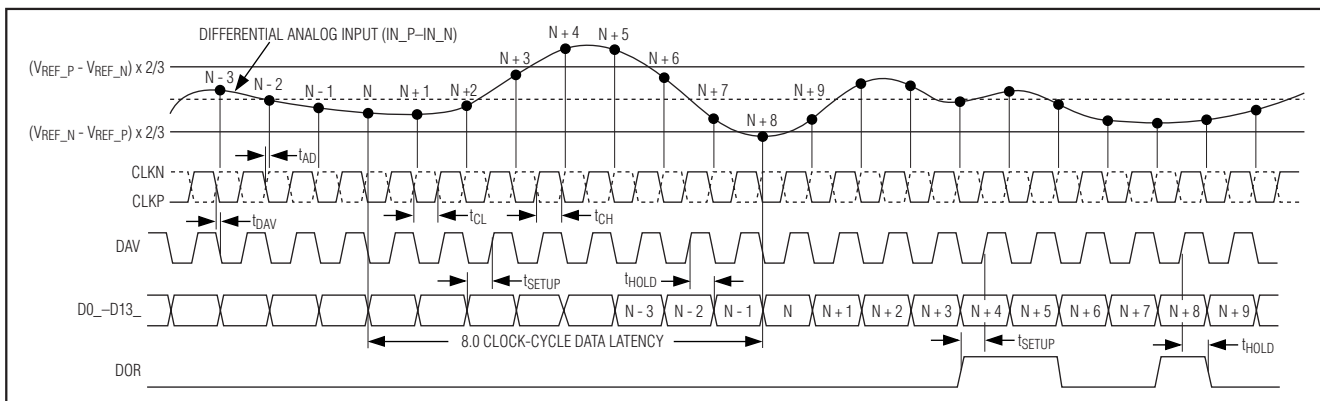


図5. システムタイミング図

デュアル、80Msps、14ビット、 1f/ベースバンドADC

MAX12558

データ有効出力

DAVは、入力クロックデューティサイクルの変動を補正するために補償される入力クロックのシングルエンドバージョンです。MAX12558の出力データはDAVの立下りエッジで変化し、出力データが有効になるとDAVは立ち上がります。DAVの立下りエッジは、入力クロックの立下りエッジから5.4ns遅れてこれに同期します。D0A/B~D13A/BおよびDORA/Bの出力データは、DAVの立上りエッジの7ns前からDAVの立上りエッジの7ns後まで有効です。

MAX12558がパワーダウンするとき(PD = 0V_{DD})、DAVはハイインピーダンスになります。DAVは、PDの立上りエッジの10ns後にハイインピーダンス状態になり、PDがローに遷移した10ns後に再びアクティブになります。

DAVは、600μAのシンク電流とソース電流を流すことができ、D0A/B~D13A/BおよびDORA/Bの3倍の駆動能力を備えています。

DAVは、通常、MAX12558の出力データを外部のデジタルバックエンド回路にラッチするために使用されます。MAX12558のアナログ部に大きなデジタル電流がフィードバックされてそのダイナミック性能が低下することのないよう、DAVの容量性負荷をできる限り低く(15pF以下)保ってください。DAVを外部で

バッファすると、DAVは容量性の重負荷から分離されます。外付けバッファによるDAV信号の推奨駆動方法については、MAX12558 EVキットの回路図を参照してください。

データアウトオブレンジインジケータ

DORAおよびDORBデジタル出力は、アナログ入力電圧が範囲から外れていることを示します。DOR_gがハイのとき、アナログ入力は範囲から外れています。DOR_gがローのとき、アナログ入力は範囲内にあります。有効な差動入力範囲は、(V_{REF_P} - V_{REF_N}) × 2/3 ~ (V_{REF_N} - V_{REF_P}) × 2/3です。信号がこの有効な差動範囲外にある場合は、表1に示すように、DOR_gはハイになります。

DORは、DAVに同期しており、出力データD13~D0とともに遷移します。DOR機能には、出力データの場合と同様に8クロックサイクルの待ち時間があります(図5)。MAX12558がパワーダウンされると(PD = ハイ)、DOR_gはハイインピーダンスになります。

DOR_gは、PDの立上りエッジから10ns以内にハイインピーダンス状態になり、PDの立下りエッジの10ns後にアクティブになります。

デジタル出力データおよび出力形式選択

MAX12558は、2つの14ビット、パラレル、トライス

表3. 出力コードと入力電圧

GRAY-CODE OUTPUT CODE (G/T = 1)				TWO'S-COMPLEMENT OUTPUT CODE (G/T = 0)				V _{IN_P} - V _{IN_N} V _{REF_P} = 2.418V V _{REF_N} = 0.882V
BINARY D13A-D0A D13B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D13A-D0A D13B-D0B	DECIMAL EQUIVALENT OF D13A-D0A D13B-D0B (CODE ₁₀)	BINARY D13A-D0A D13B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D13A-D0A D13B-D0B	DECIMAL EQUIVALENT OF D13A-D0A D13B-D0B (CODE ₁₀)	
10 0000 0000 0000	1	0x2000	+16,383	01 1111 1111 1111	1	0x1FFF	+8191	> +1.023875V (DATA OUT OF RANGE)
10 0000 0000 0000	0	0x2000	+16,383	01 1111 1111 1111	0	0x1FFF	+8191	+1.023875V
10 0000 0000 0001	0	0x2001	+16,382	01 1111 1111 1110	0	0x1FFE	+8190	+1.023750V
11 0000 0000 0011	0	0x3003	+8194	00 0000 0000 0010	0	0x0002	+2	+0.000250V
11 0000 0000 0001	0	0x3001	+8193	00 0000 0000 0001	0	0x0001	+1	+0.000125V
11 0000 0000 0000	0	0x3000	+8192	00 0000 0000 0000	0	0x0000	0	+0.000000V
01 0000 0000 0000	0	0x1000	+8191	11 1111 1111 1111	0	0x3FFF	-1	-0.000125V
01 0000 0000 0001	0	0x1001	+8190	11 1111 1111 1110	0	0x3FFE	-2	-0.000250V
00 0000 0000 0001	0	0x0001	+1	10 0000 0000 0001	0	0x2001	-8191	-1.023875V
00 0000 0000 0000	0	0x0000	0	10 0000 0000 0000	0	0x2000	-8192	-1.024000V
00 0000 0000 0000	1	0x0000	0	10 0000 0000 0000	1	0x2000	-8192	< -1.024000V (DATA OUT OF RANGE)

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

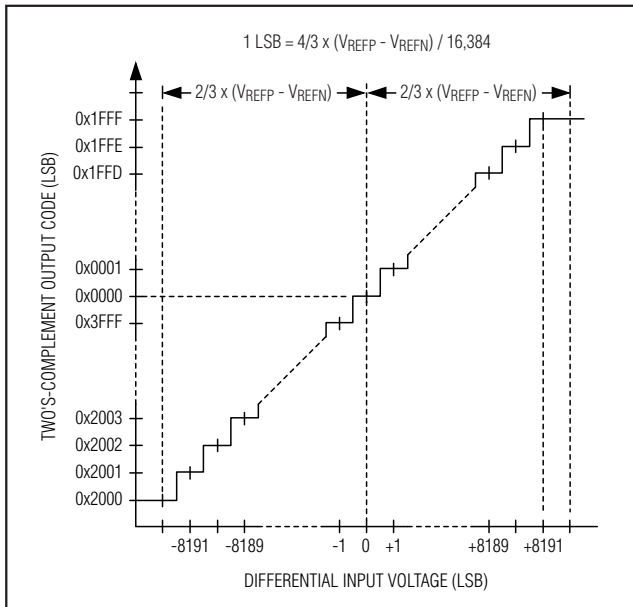


図6. 2の補数伝達関数($G/\bar{T} = 0$)

レート出力バスを備えています。D0A/B~D13A/BとDORA/Bは、DAVの立下りエッジで更新され、DAVの立上りエッジで有効になります。

MAX12558の出力データ形式は、ロジック入力 G/\bar{T} に応じてグレイコードまたは2の補数のいずれかとなります。 G/\bar{T} がハイの場合、出力データ形式はグレイコードです。 G/\bar{T} がローの場合、出力データ形式は2の補数に設定されます。2進からグレイ、およびグレイから2進へのコード変換例については、図8をご覧ください。

次式、表3、図6、および図7は、デジタル出力とアナログ入力の間関係を定めています。

グレイコード ($G/\bar{T} = 1$) :

$$V_{IN_P} - V_{IN_N} = \frac{2/3 \times (V_{REF_P} - V_{REF_N}) \times 2 \times (\text{CODE}_{10} - 8192)}{16,384}$$

2の補数 ($G/\bar{T} = 0$) :

$$V_{IN_P} - V_{IN_N} = \frac{2/3 \times (V_{REF_P} - V_{REF_N}) \times 2 \times \text{CODE}_{10}}{16,384}$$

ここで、 CODE_{10} は、表3に示すようなデジタル出力コードの等価10進数です。

MAX12558がパワーダウン($PD = 1$)モードにあるとき、デジタル出力D0A/B~D13A/Bはハイインピーダンスです。D0A/B~D13A/Bは、PDの立上りエッジの10ns後にこの状態になり、PDがローに遷移してから10ns後に再びアクティブになります。

コンバータのアナログ部に大きなデジタル電流がフィードバックされてそのダイナミック性能が低下することのないよう、MAX12558のデジタル出力D0A/B~D13A/Bの容量性負荷をできる限り低く(15pF以下)保ってください。デジタル出力にデジタルバッファ

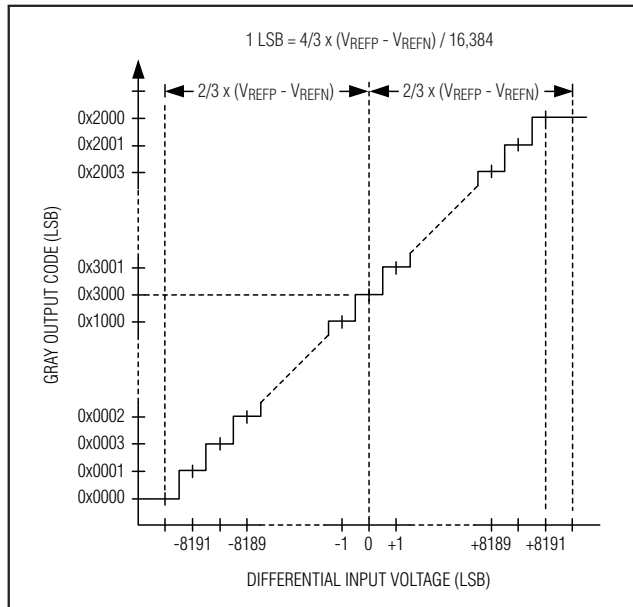


図7. グレイコード伝達関数($G/\bar{T} = 1$)

を外付けすると、MAX12558を容量性の重負荷から分離するのに役立ちます。MAX12558のダイナミック性能を改善するために、MAX12558の近くでデジタル出力と直列に220Ωの抵抗器を接続してください。220Ωの直列抵抗器と外付けデジタル出力バッファによるデジタル出力の駆動方法の指針については、MAX12558 EVキットの回路図を参照してください。

パワーダウン入力

MAX12558は、パワーダウンデジタル入力(PD)によって制御される2つの電力モードを備えています。

PDがローの場合、コンバータはその通常動作モードにあります。PDがハイの場合、MAX12558はパワーダウンモードにあります。

変換が不要な場合、パワーダウンモードによってMAX12558は低電力状態に遷移して電力を有効に利用することができます。さらに、MAX12558の平行出力バスはパワーダウンモードでハイインピーダンスになるため、バス上にある他のデバイスへのアクセスが可能になります。

パワーダウンモードでは、すべての内部回路がオフになり、アナログ消費電流が50μA以下に減少し、デジタル消費電流が1μAに減少します。以下に、パワーダウンモードでのアナログ入力とデジタル出力の状態を列挙します。

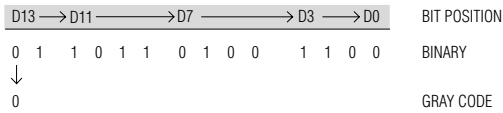
- 1) アナログ入力INAP/B、INAN/Bは、内蔵の入力アンプから切り離されています(図3)。
- 2) REFOUTは、GNDに対して約17kΩです。

デュアル、80Msps、14ビット、IF/ベースバンドADC

MAX12558

BINARY-TO-GRAY CODE CONVERSION

1) THE MOST SIGNIFICANT GRAY-CODE BIT IS THE SAME AS THE MOST SIGNIFICANT BINARY BIT.



2) SUBSEQUENT GRAY-CODE BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

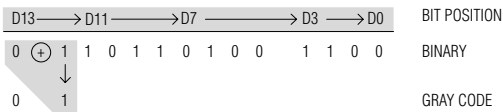
$$\text{GRAY}_X = \text{BINARY}_X \oplus \text{BINARY}_{X+1}$$

WHERE \oplus IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{GRAY}_{12} = \text{BINARY}_{12} \oplus \text{BINARY}_{13}$$

$$\text{GRAY}_{12} = 1 \oplus 0$$

$$\text{GRAY}_{12} = 1$$

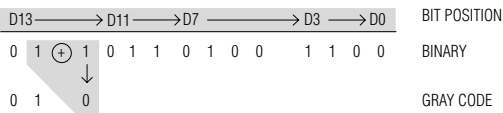


3) REPEAT STEP 2 UNTIL COMPLETE:

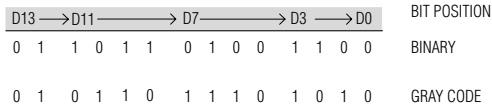
$$\text{GRAY}_{11} = \text{BINARY}_{11} \oplus \text{BINARY}_{12}$$

$$\text{GRAY}_{11} = 1 \oplus 1$$

$$\text{GRAY}_{11} = 0$$

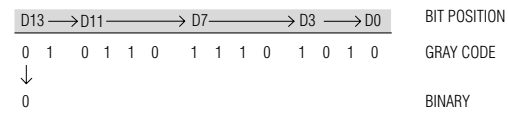


4) THE FINAL GRAY-CODE CONVERSION IS:



GRAY-TO-BINARY CODE CONVERSION

1) THE MOST SIGNIFICANT BINARY BIT IS THE SAME AS THE MOST SIGNIFICANT GRAY-CODE BIT.



2) SUBSEQUENT BINARY BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

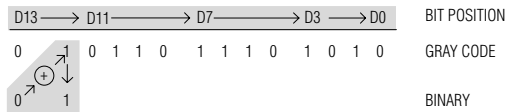
$$\text{BINARY}_X = \text{BINARY}_{X+1} \oplus \text{GRAY}_X$$

WHERE \oplus IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{BINARY}_{12} = \text{BINARY}_{13} \oplus \text{GRAY}_{12}$$

$$\text{BINARY}_{12} = 0 \oplus 1$$

$$\text{BINARY}_{12} = 1$$

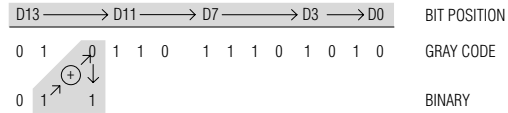


3) REPEAT STEP 2 UNTIL COMPLETE:

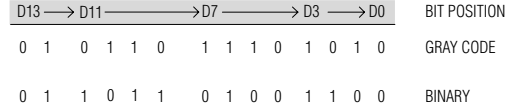
$$\text{BINARY}_{11} = \text{BINARY}_{12} \oplus \text{GRAY}_{11}$$

$$\text{BINARY}_{11} = 1 \oplus 0$$

$$\text{BINARY}_{11} = 1$$



4) THE FINAL BINARY CONVERSION IS:



EXCLUSIVE OR TRUTH TABLE

A	B	Y = A \oplus B
0	0	0
0	1	1
1	0	1
1	1	0

FIGURE 8 SHOWS THE GRAY-TO-BINARY AND BINARY-TO-GRAY CODE CONVERSION IN OFFSET BINARY FORMAT. THE OUTPUT FORMAT OF THE MAX12558 IS TWO'S-COMPLEMENT BINARY, HENCE EACH MSB OF THE TWO'S-COMPLEMENT OUTPUT CODE MUST BE INVERTED TO REFLECT TRUE OFFSET BINARY FORMAT.

図8. 2進からグレイおよびグレイから2進へのコード変換

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

- 3) REFAP/B、COMA/B、REFAN/Bは、 V_{DD} とGNDに対してハイインピーダンス状態になりますが、REFAP/BとCOMA/Bの間には4k Ω の抵抗器が内蔵されており、REFAN/BとCOMA/Bの間にも4k Ω の抵抗器が内蔵されています。
- 4) D0A~D13A、D0B~D13B、DORA、およびDORBは、ハイインピーダンス状態になります。
- 5) DAVはハイインピーダンス状態になります。
- 6) クロック入力CLKP、CLKNは、ハイインピーダンス状態になります(図4)。

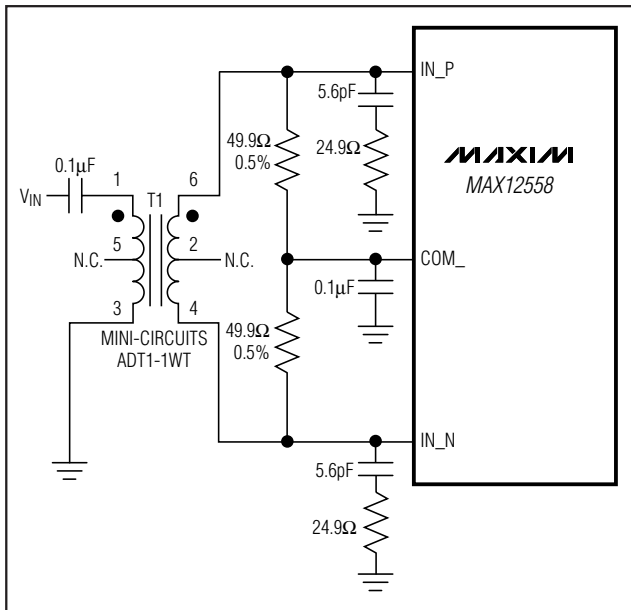


図9. ナイキストまでの入力周波数に対するトランス結合入力駆動

パワーダウンモードからのウェイクアップ時間は、REF_P、REF_N、およびCOM_におけるコンデンサの充電に要する時間に左右されます。内部リファレンスモードおよびバッファ付き外部リファレンスモードでは、ウェイクアップ時間は10ms(typ)です。バッファなし外部リファレンスモードで動作しているときのウェイクアップ時間は、外部リファレンスドライバに依存します。

アプリケーション情報

トランス結合の使用

一般に、MAX12558は、特に125MHzを超える入力周波数に対してシングルエンド入力駆動よりも完全差動入力信号の方が優れたSFDRとTHDを示します。差動入力モードでは、両入力に平衡しているため偶数次の高調波が少なく、ADC入力の各々の信号振幅がシングルエンド入力モードに比べて半分で済みます。

RFトランス(図9)は、シングルエンド入力ソース信号を、最適性能を得るためにMAX12558が必要とする完全差動信号に変換する優れたソリューションを提供します。トランスのセンタタップをCOM_に接続すると、入力に $V_{DD}/2$ のDCレベルシフトが生じます。1:1のトランスが示されていますが、ステップアップトランスを選択すると駆動要件を緩和することができます。オペアンプなどの入力ドライバで信号振幅を下げると、総合歪みを改善することもできます。図9の構成は、ナイキスト($f_{CLK}/2$)までの周波数に適しています。

図10の回路は、シングルエンド入力信号を図9に示すような完全差動信号に変換します。ただし、図10では、コモンモード除去を改善するためにトランスが追加されており、ナイキスト周波数を超える高周波信号を処理することができます。1組の75 Ω と110 Ω の終端

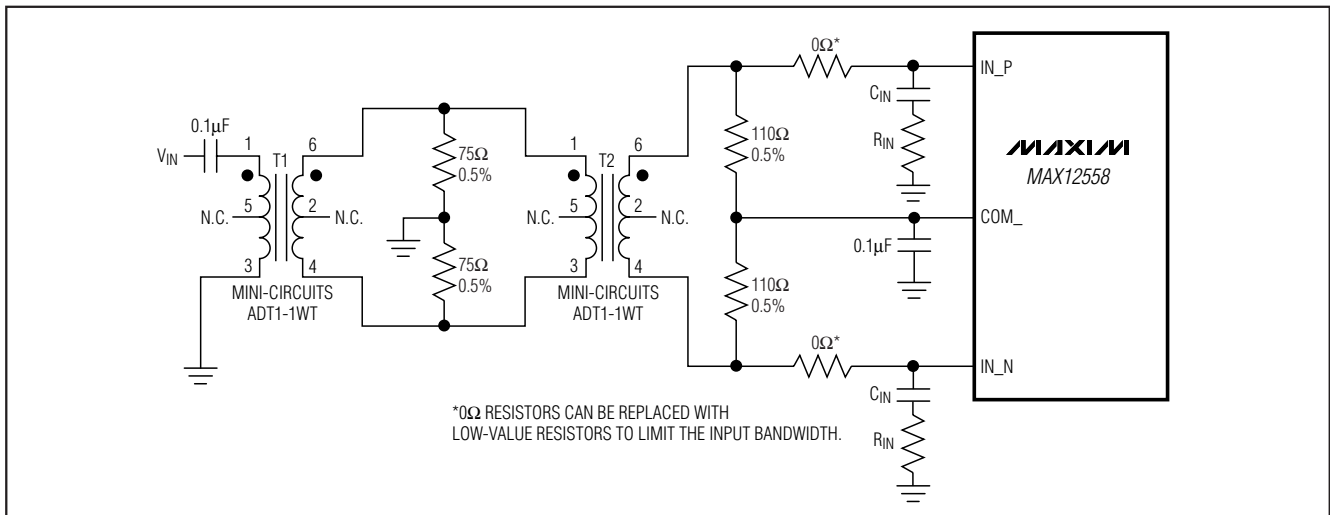


図10. ナイキスト以上の入力周波数に対するトランス結合入力駆動

デュアル、80Mpsps、14ビット、 IF/ベースバンドADC

MAX12558

抵抗器が信号ソースに対して50Ωと同等の終端を行います。2番目の組の終端抵抗器は、COM₋に接続されており、入力共通モード電圧を補正します。アナログ入力に直列に2個の0Ω抵抗器を接続すると、高いIF入力周波数を処理することができます。これらの0Ω抵抗器は、低い値の抵抗器で置き換えて入力帯域幅を制限することができます。

図10の入力回路網は、入力容量を抵抗器(R_{IN})とコンデンサ(C_{IN})の直列回路網で置き換えるだけでMAX12558の周波数範囲固有のAC性能を強化することができます。表4は抵抗器とコンデンサの選択肢を示すもので、この選択肢は一定範囲の入力周波数のみが必要な特定アプリケーションにおいてこのADCの既存の優れた性能を向上するのに役立つものとして推奨されます。

表4. 周波数範囲固有のAC性能を強化するための部品選択

INPUT FREQUENCY RANGE	C _{IN} COMPONENT VALUES	R _{IN} COMPONENT VALUES
< 10MHz	12pF to 22pF	0Ω
10MHz to 125MHz	12pF	50Ω
> 125MHz	5.6pF	0Ω

シングルエンドAC結合入力信号

図11はAC結合、シングルエンド入力のアプリケーションを示します。MAX4108は、高速、高帯域幅、低ノイズ、および低歪みを提供して入力信号の完全性を維持します。

バッファ付き外付けリファレンス駆動の複数のADC

バッファ付き外部リファレンスモードでは、MAX12558のリファレンス電圧に対する制御を強化するとともに複数のコンバータに共通のリファレンスを使用することができます。REFINの入力インピーダンスは50MΩ以上です。

図12は、複数のコンバータに共通リファレンスとして使用される高精度2.048VバンドギャップリファレンスのMAX6029を示します。MAX6029の2.048V出力は、シングルポール10HzのLPフィルタを経由してMAX4230に送られます。

MAX4250は、2.048Vリファレンスをバッファし、さらに10HzのLPフィルタ処理を行った後でその出力がMAX12558のREFIN入力に印加されます。

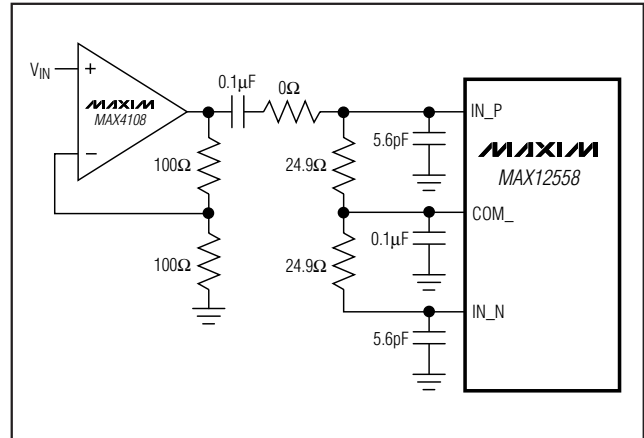


図11. シングルエンドAC結合入力駆動

バッファなし外部リファレンス駆動の複数のADC

バッファなし外部リファレンスモードでは、MAX12558リファレンスに対する高精度制御が可能であるとともに、複数のコンバータに共通リファレンスを使用することができます。REFINをGNDに接続すると、内部リファレンスがディセーブルされるため、REF_P、REF_N、およびCOM₋を1組の外部リファレンスソースでしかに駆動することができます。

図13では、高精度3.000VバンドギャップリファレンスのMAX6029を複数のコンバータの共通リファレンスとして使用しています。7個の抵抗器から成る分圧器チェーンが電圧リファレンスのMAX6029に続いています。このチェーンに沿った0.47µFのコンデンサは10HzのLPフィルタを構成します。3個のアンプMAX4230は、このレジスタチェーンに沿ったタップをバッファし、2.413V、1.647V、および0.880VをMAX12558のREF_P、REF_N、およびCOM₋の各リファレンス入力に供給します。オペアンプのMAX4230周辺のフィードバックによって10HzのLPフィルタ処理が追加されます。リファレンス電圧の2.413Vと0.880Vは、コンバータのフルスケールアナログ入力範囲を $\pm 1.022V(\pm[V_{REF_P} - V_{REF_N}] \times 2/3)$ に設定します。

すべての能動回路構成部品に1個の単一電源を使用することで、パワーアップまたはダウンの際の電源シーケンスに関する問題が排除されます。

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

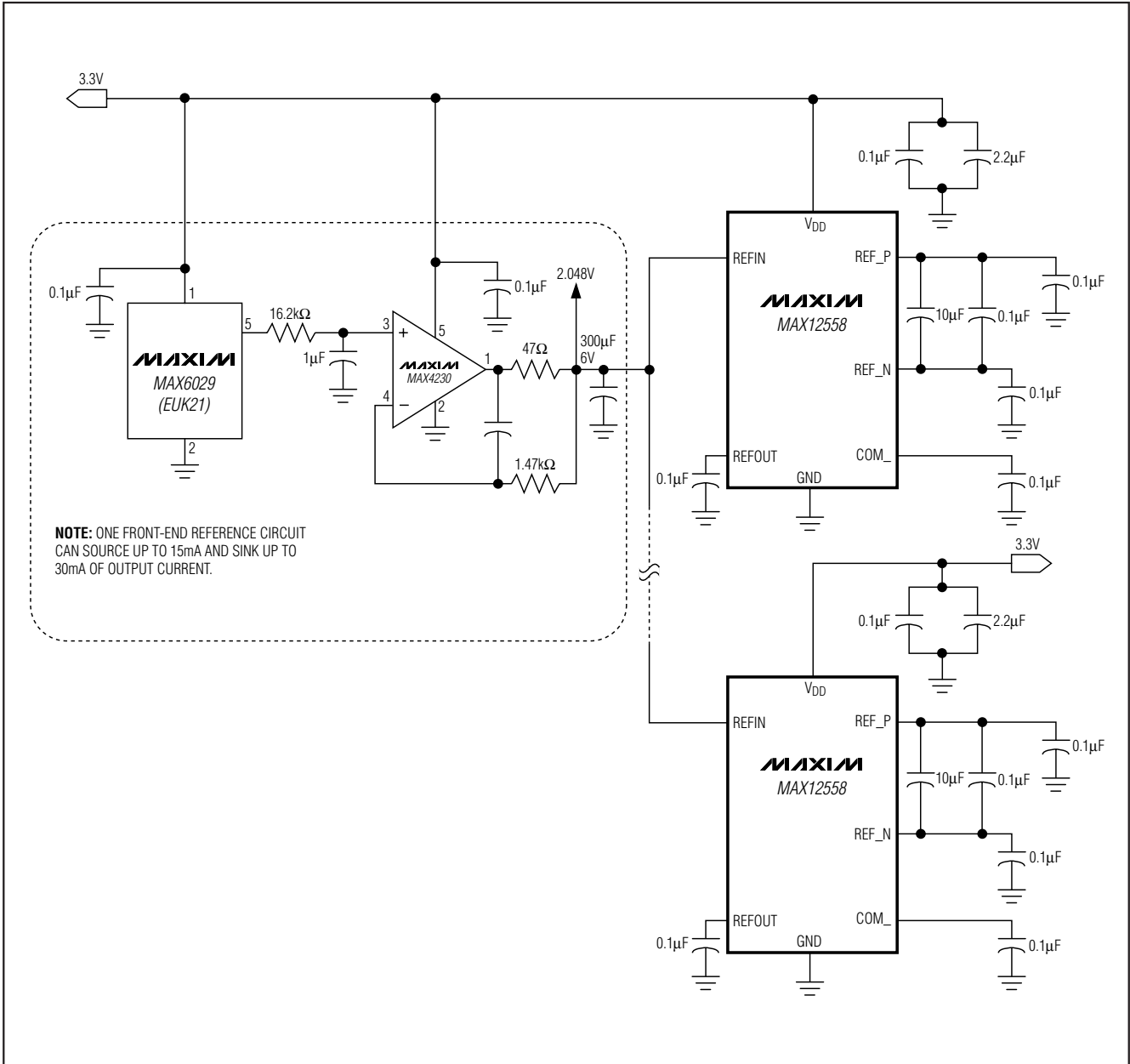


図12. バンドギャップリファレンスのMAX6029を使用したバッファ付き外部リファレンス(MAX4230)駆動

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

グラウンド、バイパス、 および基板レイアウト

MAX12558には、高速の基板レイアウト設計法を適用する必要があります。基板レイアウト基準については、MAX12558 EVキットのデータシートを参照してください。すべてのバイパスコンデンサは、インダクタンスを最小とするために表面実装型デバイスを使用し、できればADCと同じ側でデバイスにできる限り近づけて配置してください。少なくとも1個の10 μ F、1個の4.7 μ F、および1個の0.1 μ Fのセラミックコンデンサと並列の220 μ FのセラミックコンデンサでV_{DD}をGNDにバイパスしてください。少なくとも1個の10 μ F、1個の4.7 μ F、および1個の0.1 μ Fのセラミックコンデンサと並列の220 μ FのセラミックコンデンサでOV_{DD}をGNDにバイパスしてください。高周波のバイパス/デカップリングコンデンサは、コンバータ電源ピンにできる限り近くに配置する必要があります。

十分に広いグラウンドプレーンと電源プレーンを備えた多層基板を使用すると、最高レベルの信号完全性が実現します。MAX12558のすべてのグラウンドと裏側のエクスポートパッドは、同じグラウンドプレーンに接続する必要があります。MAX12558では、裏側のエクスポートパッドが低インダクタンスグラウンド接続の実現に寄与しています。グラウンドプレーンは、DSPや出力バッファグラウンドなど、ノイズの多いデジタルシステムグラウンドプレーンから分離してください。

高速デジタル信号トレースは、ノイズに敏感なアナログトレースから離して配置してください。信号ラインはすべて短くし、また直角に曲げることは避けてください。

差動アナログ入力回路網のレイアウトが対称になるようにし、すべての寄生成分が等しくバランスされるようにしてください。対称な入力レイアウトの例については、MAX12558 EVキットのデータシートを参照してください。

パラメータの定義

積分非直線性(INL)

INLは、実際の伝達関数上の値と直線からのずれです。MAX12558の場合、この直線は、オフセットと利得誤差をゼロにした後の伝達関数の両端点を結んだ直線です。INLのずれは、伝達関数の全ステップにおいて測定され、ワーストケースのずれが「電気的特性(Electrical Characteristics)」の表に記載されています。

微分非直線性(DNL)

DNLは、実際のステップ幅と1 LSBの理想値の差です。1 LSBより小さいDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証します。MAX12558の場合、

DNLのずれは、伝達関数の全ステップにおいて測定され、ワーストケースのずれが「電気的特性(Electrical Characteristics)」の表に記載されています。

オフセット誤差

オフセット誤差は、実際の伝達関数が1点において理想的な伝達関数とどの程度一致しているかを示す性能指数です。理想的には、ミッドスケールのMAX12558の遷移がミッドスケールよりも0.5 LSBだけ上で起ります。オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点のずれの大きさです。

利得誤差

利得誤差は、実際の伝達関数の傾斜が理想的な伝達関数の傾斜とどの程度一致するかを示す性能指数です。実際の伝達関数の傾斜は、2つのデータポイント間、すなわち正のフルスケールと負のフルスケールの間で測定されます。理想的には、正のフルスケールのMAX12558の遷移が正のフルスケールよりも1.5 LSBだけ下で起り、負のフルスケールのMAX12558の遷移が負のフルスケールよりも0.5 LSBだけ上で起ります。利得誤差は、測定された遷移点の差から理想的な遷移点の差を差し引いた値です。

小信号ノイズフロア(SSNF)

SSNFは、小信号入力の場合のナイキスト帯域のノイズと歪みのパワーの総合値です。DCオフセットはこのノイズの計算から除外されます。このコンバータの場合、小信号は-35dBFSの振幅を有するシングルトーンとして定義されます。このパラメータは、データコンバータのサーマルおよび量子化ノイズ特性を取り入れて、デジタルレシーバ信号経路の総合ノイズ指数の計算に役立てることができます。

信号対ノイズ比(SNR)

デジタルサンプルから完全に再現される波形の場合、理論的な最大SNRは、フルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)との比です。理想的で理論的な最小のアナログ-デジタル変換ノイズは、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によってしかに求められます。

$$\text{SNR}_{[\text{max}]} = 6.02 \times N + 1.76$$

実際には、量子化ノイズ以外に、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズソースがあります。SNRは、RMS信号とRMSノイズの比をとることによって求められます。RMSノイズには、基本波成分、最初の6つの高調波(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

$$\text{SNR} = 20 \times \log(\text{SIGNAL}_{\text{RMS}} / \text{NOISE}_{\text{RMS}})$$

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

信号対ノイズ + 歪み(SINAD)

SINADは、RMS信号とRMSノイズ + 歪みの比をとることによって求められます。RMSノイズ + 歪みには、基本波とDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

全高調波歪み(THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS和と基本波そのものとの比です。これは、次式で示されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_7$ は第2から第7までの高調波(HD2~HD7)の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅と次に大きいスプリアス成分(DCオフセットを除く)のRMS値との比をデシベル単位で示した値です。

3次相互変調(IM3)

IM3は、入力トーン f_{IN1} と f_{IN2} のいずれかの入力パワーを基準とする3次相互変調積のパワーです。MAX12558の場合、各入力トーンのパワーレベルは、-7dBFSに設定されます。3次相互変調積は、 $2 \times f_{IN1} - f_{IN2}$ と $2 \times f_{IN2} - f_{IN1}$ です。

オーバーチャジッタ

図14はオーバーチャジッタ(t_{AJ})を示します。これはオーバーチャ遅延における各サンプル間の変動です。

オーバーチャ遅延

オーバーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプリングが行われる瞬間までの時間です(図14)。

フルパワー帯域幅

-0.2dBFSの大振幅アナログ入力信号がADCに印加されて、デジタル変換結果の振幅が3dBだけ減少する点まで入力周波数が掃引されます。この点がフルパワー入力帯域幅周波数として定義されます。

出力ノイズ(n_{OUT})

出力ノイズ(n_{OUT})パラメータは、サーマルノイズ + 量子化ノイズパラメータに似ており、コンバータの総合ノイズ性能を示します。

n_{OUT} の試験には、基本波入力トーンは使用されません。IN_P、IN_N、およびCOM_を相互に接続して1024kのデータポイントが収集されます。

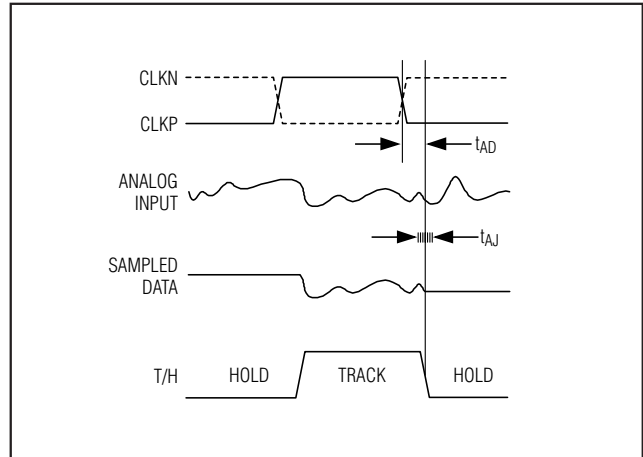


図14. T/Hオーバーチャタイミング

n_{OUT} は、収集されたデータポイントのRMS値(平均値を差し引いた後の)を求めることによって計算されます。

オーバードライブ回復時間

オーバードライブ回復時間は、ADCがフルスケールの限界を超える入力トランジェントから回復するのに要する時間です。MAX12558では、フルスケール限界値を±10%だけ超える入力トランジェントを使用してオーバードライブ回復時間を規定します。MAX12558は、オーバードライブ状態から回復するのに1クロックサイクルを必要とします。

クロストーク

クロストークは、各チャンネルが他のチャンネルからどの程度分離されているかを示します。MAX12558の場合、クロストークは、信号(-0.5dBFS)が印加されている1つのチャンネルに対し、隣接する干渉チャンネルがフルスケール信号によって駆動される場合に生じる結合を示します。測定には、直接的な結合と混合成分の両方から生じるすべての干渉が含まれます。

利得マッチング

利得マッチングは、2つのチャンネル間の利得が互いにどの程度一致しているかを示す性能指数です。同じ入力信号を両チャンネルに印加して、利得の最大のずれを利得マッチングとして記載します(通常dB単位)。

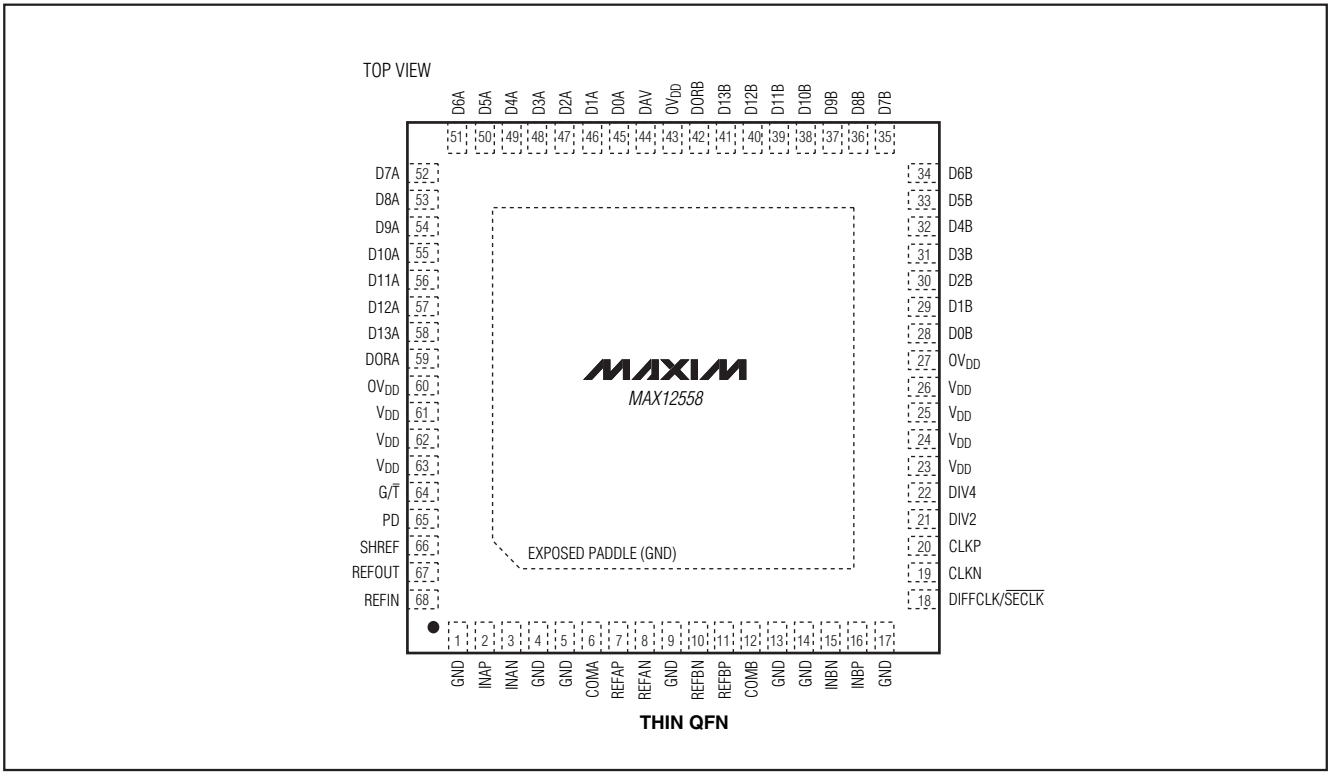
オフセットマッチング

利得マッチングと同様に、オフセットマッチングは2つのチャンネル間のオフセットが互いにどの程度一致しているかを示す性能指数です。同じ入力信号を両チャンネルに印加して、オフセットの最大のずれをオフセットマッチングとして記載します(通常%FSR単位)。

デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

ピン配置



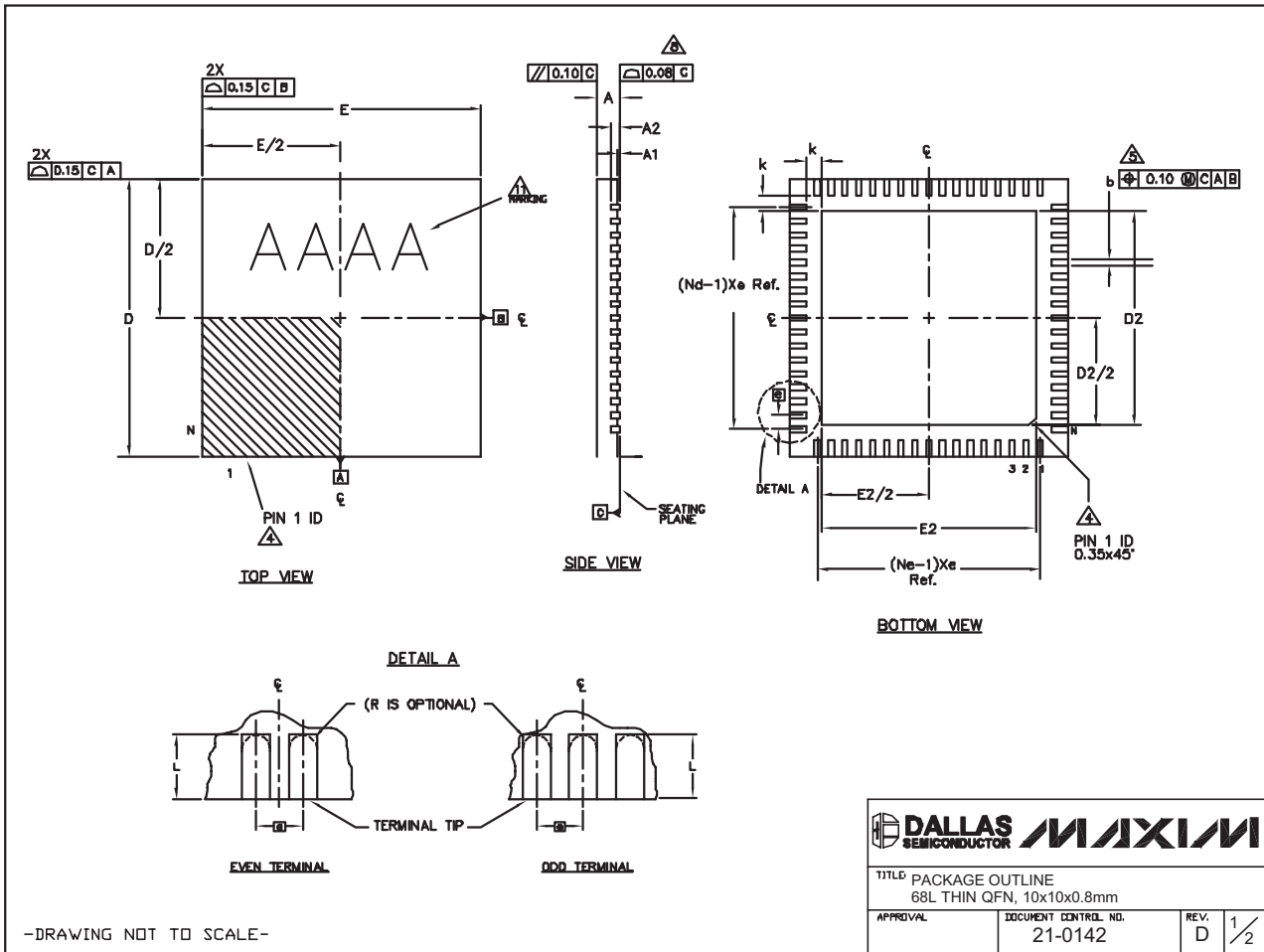
デュアル、80MSPs、14ビット、 IF/ベースバンドADC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX12558

68L QFN THINLEPS



デュアル、80Msps、14ビット、 IF/ベースバンドADC

MAX12558

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

PKG REF.	68L 10x10			NOTE
	MIN.	NOM.	MAX.	
A	0.70	0.75	0.80	
A1	0.00	0.01	0.05	
A2	0.20 REF			
b	0.20	0.25	0.30	
D	9.90	10.00	10.10	
E	9.90	10.00	10.10	
e	0.50 BSC.			
k	0.25	-	-	
L	0.45	0.55	0.65	
N	68			
ND	17			
NE	17			
JEDEC	WNND-2			

PKG. CODE	EXPOSED PAD VARIATIONS						DOWN BONDS ALLOWED
	D2			E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T6800-2	7.60	7.70	7.80	7.60	7.70	7.80	YES
T6800-3	7.60	7.70	7.80	7.60	7.70	7.80	NO
T6800-4	7.60	7.70	7.80	7.60	7.70	7.80	YES

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO-220.
- WARPAGE SHALL NOT EXCEED 0.10mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

	
TITLE PACKAGE OUTLINE 68L THIN QFN, 10x10x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0142
REV. D	2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

30 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.