

デュアル、65Msps、14ビット、
IF/ベースバンドADC

概要

MAX12557は、デュアル、3.3V、14ビット、アナログ-デジタルコンバータ(ADC)であり、完全差動広帯域トラック/ホールド(T/H)入力を備え、内蔵量子化器を駆動します。MAX12557は、中間周波数(IF)およびベースバンドサンプリングアプリケーションにおいて低電力、小型サイズ、および高ダイナミック性能に最適化されています。このデュアルADCは3.3Vの単一電源で動作し、消費電力がわずか610mWながら、175MHzの入力周波数で72.5dB(typ)の信号対ノイズ比(SNR)性能を発揮します。T/H入力段は、最高400MHzのシングルエンド入力または差動入力を受け付けます。MAX12557は低動作電力に加えて、アイドル時に節電する166μWのパワーダウンモードも備えています。

MAX12557はリファレンス構造がフレキシブルであるため、2.048Vの内部バンドギャップリファレンスを使用するか、または外部から印加されるリファレンスを受け付けることが可能で、リファレンスを2つのADCで共用することができます。このリファレンス構造によって、フルスケールアナログ入力範囲を±0.35V~±1.15Vに調整することができます。MAX12557は差動アナログ入力回路の設計を簡素化し、外付け部品の点数を削減するコモンモードリファレンスを備えています。

MAX12557は、シングルエンドまたは差動入力クロックのいずれかに対応します。ユーザが選択可能な2分周(DIV2)および4分周(DIV4)モードによって、設計がフレキシブルになり、クロックジッタによる悪影響がなくなります。クロックデューティサイクルの大幅な変動は、ADCの内蔵デューティサイクルイコライザ(DCE)によって補償されます。

MAX12557は、パラレル、14ビット幅のCMOSコンパチブル出力を2つ備えています。デジタル出力形式は、2の補数またはグレイコードを端子選択することができます。デジタル出力用の別個の電源入力は1.7V~3.6Vの電圧を受け付け、各種ロジックレベルとフレキシブルにインタフェースすることができます。MAX12557は10mm x 10mm x 0.8mmのエクスポーズドパッド(EP)付き68ピン薄型QFNパッケージで提供され、拡張温度範囲(-40°C~+85°C)での動作が保証されています。

このADCの12ビットのピンコンパチブルバージョンについては、MAX12527のデータシートを参照してください。

アプリケーション

IFおよびベースバンド通信レシーバ、セルラ、LMDS、ポイント間マイクロ波、MMDS、HFC、WLAN

I/Qレシーバ

超音波および医療用画像処理

ポータブル計測機器

デジタルセットトップボックス

低電力データ収集

特長

- ◆ 直接IFサンプリング：最高400MHz
- ◆ 優れたダイナミック性能
 - SNR：74.1dB/72.5dB
($f_{IN} = 70\text{MHz}/175\text{MHz}$ において)
 - SFDR：83.4dBc/79.5dBc
($f_{IN} = 70\text{MHz}/175\text{MHz}$ において)
- ◆ 3.3Vの低電力動作
 - 637mW(差動クロックモード)
 - 610mW(シングルエンドクロックモード)
- ◆ 完全差動またはシングルエンドアナログ入力
- ◆ 調整可能な差動アナログ入力電圧
- ◆ 入力帯域幅：750MHz
- ◆ 調整可能な内部または外部、共用リファレンス
- ◆ 差動またはシングルエンドクロック
- ◆ 25%~75%のクロックデューティサイクルに対応
- ◆ ユーザが選択可能なDIV2およびDIV4クロックモード
- ◆ パワーダウンモード
- ◆ 2の補数またはグレイコードのCMOS出力
- ◆ 範囲外およびデータ有効インジケータ
- ◆ 小型68ピン薄型QFNパッケージ
- ◆ 12ビット対応バージョンを提供(MAX12527)
- ◆ 評価キットを提供(MAX12557のEVKITをご注文ください)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX12557ETK	-40°C to +85°C	68 Thin QFN-EP* (10mm x 10mm x 0.8mm)

*EP = エクスポーズドパッド。

選択ガイド

PART	SAMPLING RATE (Msps)	RESOLUTION (Bits)
MAX12557	65	14
MAX12527	65	12

ピン配置はデータシートの最後に記載されています。

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +3.6V	DIFFCLK/ $\overline{\text{SECLK}}$, $\overline{\text{G/T}}$, PD, SHREF, DIV2,
OV_{DD} to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V	DIV4 to GND
INAP, INAN to GND	...-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V	D0A–D13A, D0B–D13B, DAV,
INBP, INBN to GND	...-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V	DORA, DORB to GND
CLKP, CLKN to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V	Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
REFIN, REFOUT to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V	68-Pin Thin QFN 10mm x 10mm x 0.8mm
REFAP, REFAN, COMA to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V	(derate 70mW/ $^\circ\text{C}$ above +70 $^\circ\text{C}$)
REFBP, REBPN, COMB to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V	Operating Temperature Range
		Junction Temperature
		Storage Temperature Range
		Lead Temperature (soldering 10s)

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, GND = 0, REFIN = REFOUT (internal reference), $C_L \approx 10\text{pF}$ at digital outputs, $V_{IN} = -0.5\text{dBFS}$ (differential), DIFFCLK/ $\overline{\text{SECLK}} = OV_{DD}$, PD = GND, SHREF = GND, DIV2 = GND, DIV4 = GND, $\overline{\text{G/T}} = \text{GND}$, $f_{CLK} = 65\text{MHz}$, $T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			14			Bits
Integral Nonlinearity	INL	$f_{IN} = 3\text{MHz}$		± 2.1		LSB
Differential Nonlinearity	DNL	$f_{IN} = 3\text{MHz}$, no missing codes over temperature (Note 2)	-1.0	± 0.6	+1.3	LSB
Offset Error				± 0.1	± 0.9	%FSR
Gain Error				± 0.5	± 5.0	%FSR
ANALOG INPUT (INAP, INAN, INBP, INBN)						
Differential Input Voltage Range	V_{DIFF}	Differential or single-ended inputs		± 1.024		V
Common-Mode Input Voltage				$V_{DD} / 2$		V
Analog Input Resistance	R_{IN}	Each input, Figure 3		3.4		k Ω
Analog Input Capacitance	C_{PAR}	Fixed capacitance to ground, each input, Figure 3		2		pF
	C_{SAMPLE}	Switched capacitance, each input, Figure 3		4.5		
CONVERSION RATE						
Maximum Clock Frequency	f_{CLK}		65			MHz
Minimum Clock Frequency					5	MHz
Data Latency		Figure 5		8		Clock Cycles
DYNAMIC CHARACTERISTICS (differential inputs)						
Small-Signal Noise Floor	SSNF	Input at -35dBFS	74.5	76		dBFS
Signal-to-Noise Ratio	SNR	$f_{IN} = 3\text{MHz}$ at -0.5dBFS	72.5	75		dB
		$f_{IN} = 32.5\text{MHz}$ at -0.5dBFS		74.5		
		$f_{IN} = 70\text{MHz}$ at -0.5dBFS		74.1		
		$f_{IN} = 175\text{MHz}$ at -0.5dBFS	70.4	72.5		

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -0.5dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 65MHz$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 3MHz$ at $-0.5dBFS$ (Note 3)	71.8	74.4		dB
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		73.10		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		73.4		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		71.5		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 3MHz$ at $-0.5dBFS$ (Note 3)	75.5	86.6		dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		82.8		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		83.4		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		79.5		
Total Harmonic Distortion	THD	$f_{IN} = 3MHz$ at $-0.5dBFS$ (Note 3)		-84.5	-74.5	dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		-80.7		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-81.7		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-78.3		
Second Harmonic	HD2	$f_{IN} = 3MHz$ at $-0.5dBFS$		-89.5		dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		-84.2		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-84.7		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-79.5		
Third Harmonic	HD3	$f_{IN} = 3MHz$ at $-0.5dBFS$		-93		dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		-85.5		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-86.5		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-87.2		
Two-Tone Intermodulation Distortion (Note 2)	TTIMD	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		-88		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		-82.4		
3rd-Order Intermodulation Distortion	IM3	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		-91.5		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		-87.6		
Two-Tone Spurious-Free Dynamic Range	SFDR _{TT}	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		89		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		82.4		
Full-Power Bandwidth	FPBW	Input at $-0.2dBFS$, $-3dB$ rolloff		750		MHz
Aperture Delay	t_{AD}	Figure 5		1.2		ns
Aperture Jitter	t_{AJ}			<0.15		psRMS
Output Noise	n_{OUT}	INAP = INAN = COMA INBP = INBN = COMB		1.02		LSBRMS

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -0.5dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 65MHz$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Overdrive Recovery Time		$\pm 10\%$ beyond full scale		1		Clock Cycle
INTERCHANNEL CHARACTERISTICS						
Crosstalk Rejection		f_{INA} or $f_{INB} = 70MHz$ at $-0.5dBFS$		90		dB
		f_{INA} or $f_{INB} = 175MHz$ at $-0.5dBFS$		85		
Gain Matching				± 0.01	± 0.1	dB
Offset Matching				± 0.01		%FSR
INTERNAL REFERENCE (REFOUT)						
REFOUT Output Voltage	V_{REFOUT}		2.000	2.048	2.080	V
REFOUT Load Regulation		$-1mA < I_{REFOUT} < +1mA$		35		mV/mA
REFOUT Temperature Coefficient	TC_{REF}			± 50		ppm/ $^\circ C$
REFOUT Short-Circuit Current		Short to V_{DD} —sinking		0.24		mA
		Short to GND —sourcing		2.1		
BUFFERED REFERENCE MODE (REFIN is driven by REFOUT or an external 2.048V single-ended reference source; $V_{REFAP}/V_{REFAN}/V_{COMA}$ and $V_{REFBP}/V_{REFBN}/V_{COMB}$ are generated internally)						
REFIN Input Voltage	V_{REFIN}			2.048		V
REFIN Input Resistance	R_{REFIN}			> 50		$M\Omega$
COM_ Output Voltage	V_{COMA} V_{COMB}	$V_{DD} / 2$	1.60	1.65	1.70	V
REF_P Output Voltage	V_{REFAP} V_{REFBP}	$V_{DD} / 2 + (V_{REFIN} \times 3/8)$		2.418		V
REF_N Output Voltage	V_{REFAN} V_{REFBN}	$V_{DD} / 2 - (V_{REFIN} \times 3/8)$		0.882		V
Differential Reference Voltage	V_{REFA} V_{REFB}	$V_{REFA} = V_{REFAP} - V_{REFAN}$ $V_{REFB} = V_{REFBP} - V_{REFBN}$	1.460	1.536	1.580	V
Differential Reference Temperature Coefficient	TC_{REF}			± 25		ppm/ $^\circ C$
UNBUFFERED EXTERNAL REFERENCE (REFIN = GND, $V_{REFAP}/V_{REFAN}/V_{COMA}$ and $V_{REFBP}/V_{REFBN}/V_{COMB}$ are applied externally, $V_{COMA} = V_{COMB} = V_{DD} / 2$)						
REF_P Input Voltage	V_{REFAP} V_{REFBP}	$V_{REF_P} - V_{COM}$		+0.768		V
REF_N Input Voltage	V_{REFAN} V_{REFBN}	$V_{REF_N} - V_{COM}$		-0.768		V
COM_ Input Voltage	V_{COM}	$V_{DD} / 2$		1.65		V
Differential Reference Voltage	V_{REFA} V_{REFB}	$V_{REF_} = V_{REF_P} - V_{REF_N} = V_{REFIN} \times 3/4$		1.536		V

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -0.5dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/\overline{T} = GND$, $f_{CLK} = 65MHz$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REF_P Sink Current	I_{REFAP} I_{REFBP}	$V_{REF_P} = 2.418V$		1.2		mA
REF_N Source Current	I_{REFAN} I_{REFBN}	$V_{REF_N} = 0.882V$		0.85		mA
COM_ Sink Current	I_{COMA} I_{COMB}	$V_{COM_} = 1.65V$		0.85		mA
REF_P, REF_N Capacitance	C_{REF_P} , C_{REF_N}			13		pF
COM_ Capacitance	$C_{COM_}$			6		pF
CLOCK INPUTS (CLKP, CLKN)						
Single-Ended Input High Threshold	V_{IH}	$DIFFCLK/\overline{SECLK} = GND$, $CLKN = GND$	$0.8 \times V_{DD}$			V
Single-Ended Input Low Threshold	V_{IL}	$DIFFCLK/\overline{SECLK} = GND$, $CLKN = GND$			$0.2 \times V_{DD}$	V
Minimum Differential Clock Input Voltage Swing		$DIFFCLK/\overline{SECLK} = OV_{DD}$		0.2		V_{P-P}
Differential Input Common-Mode Voltage		$DIFFCLK/\overline{SECLK} = OV_{DD}$		$V_{DD} / 2$		V
CLK_ Input Resistance	R_{CLK}	Each input, Figure 4		5		$k\Omega$
CLK_ Input Capacitance	C_{CLK}			2		pF
DIGITAL INPUTS (DIFFCLK/SECLK, G/T, PD, DIV2, DIV4)						
Input High Threshold	V_{IH}		$0.8 \times OV_{DD}$			V
Input Low Threshold	V_{IL}				$0.2 \times OV_{DD}$	V
Input Leakage Current		OV_{DD} applied to input			± 5	μA
		Input connected to ground			± 5	
Digital Input Capacitance	C_{DIN}			5		pF
DIGITAL OUTPUTS (D0A–D13A, D0B–D13B, DORA, DORB, DAV)						
Output-Voltage Low	V_{OL}	D0A–D13A, D0B–D13B, DORA, DORB: $I_{SINK} = 200\mu A$			0.2	V
		DAV: $I_{SINK} = 600\mu A$			0.2	
Output-Voltage High	V_{OH}	D0A–D13A, D0B–D13B, DORA, DORB: $I_{SOURCE} = 200\mu A$	$OV_{DD} - 0.2$			V
		DAV: $I_{SOURCE} = 600\mu A$	$OV_{DD} - 0.2$			
Tri-State Leakage Current (Note 3)	I_{LEAK}	OV_{DD} applied to input			± 5	μA
		Input connected to ground			± 5	

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -0.5dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/\bar{T} = GND$, $f_{CLK} = 65MHz$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
D0A–D13A, DORA, D0B–D13B and DORB Tri-State Output Capacitance (Note 3)	C_{OUT}			3		pF
DAV Tri-State Output Capacitance (Note 3)	C_{DAV}			6		pF
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		3.15	3.30	3.60	V
Digital Output Supply Voltage	OV_{DD}		1.70	2.0	V_{DD}	V
Analog Supply Current	I_{VDD}	Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$, single-ended clock ($DIFFCLK/\overline{SECLK} = GND$)		185		mA
		Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$ differential clock ($DIFFCLK/SECLK = OV_{DD}$)		193	210	
		Power-down mode ($PD = OV_{DD}$) clock idle		0.05		
Analog Power Dissipation	P_{VDD}	Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$ single-ended clock ($DIFFCLK/\overline{SECLK} = GND$)		610		mW
		Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$ differential clock ($DIFFCLK/SECLK = OV_{DD}$)		637	693	
		Power-down mode ($PD = OV_{DD}$) clock idle		0.165		
Digital Output Supply Current	I_{OVDD}	Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$		21.3		mA
		Power-down mode ($PD = OV_{DD}$) clock idle		0.001		

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -0.5dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/\bar{T} = GND$, $f_{CLK} = 65MHz$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 5)						
Clock Pulse-Width High	t _{CH}			7.7		ns
Clock Pulse-Width Low	t _{CL}			7.7		ns
Data-Valid Delay	t _{DAV}			5.4		ns
Data Setup Time Before Rising Edge of DAV	t _{SETUP}	(Note 6)	7.0			ns
Data Hold Time After Rising Edge of DAV	t _{HOLD}	(Note 6)	7.0			ns
Wake-Up Time from Power-Down	t _{WAKE}	V _{REFIN} = 2.048V		10		ms

Note 1: Specifications $\geq +25^\circ C$ guaranteed by production test, $< +25^\circ C$ guaranteed by design and characterization.

Note 2: Guaranteed by design and characterization. Device tested for performance during product test.

Note 3: Specification guaranteed by production test for $\geq +25^\circ C$.

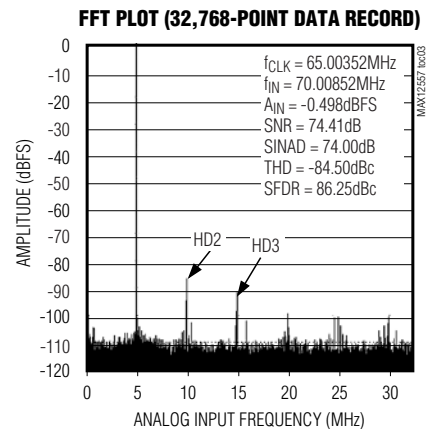
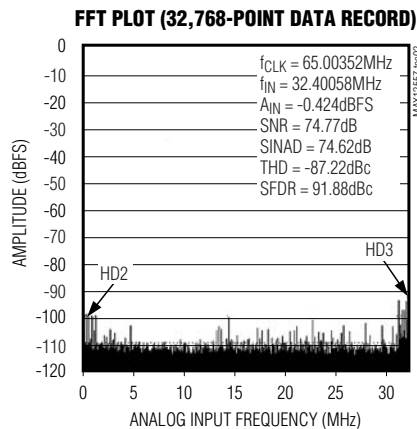
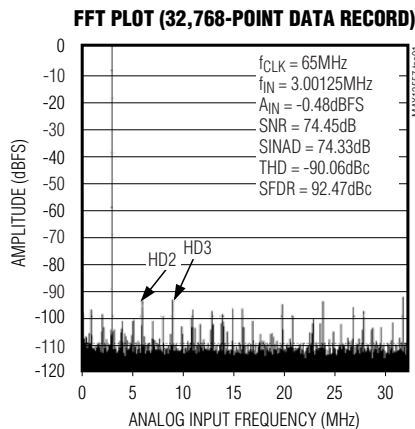
Note 4: Two-tone intermodulation distortion measured with respect to a single-carrier amplitude, and not the peak-to-average input power of both input tones.

Note 5: During power-down, D0A–D13A, D0B–D13B, DORA, DORB, and DAV are high impedance.

Note 6: Guaranteed by design and characterization.

標準動作特性

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference mode), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -0.5dBFS$, $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 65MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

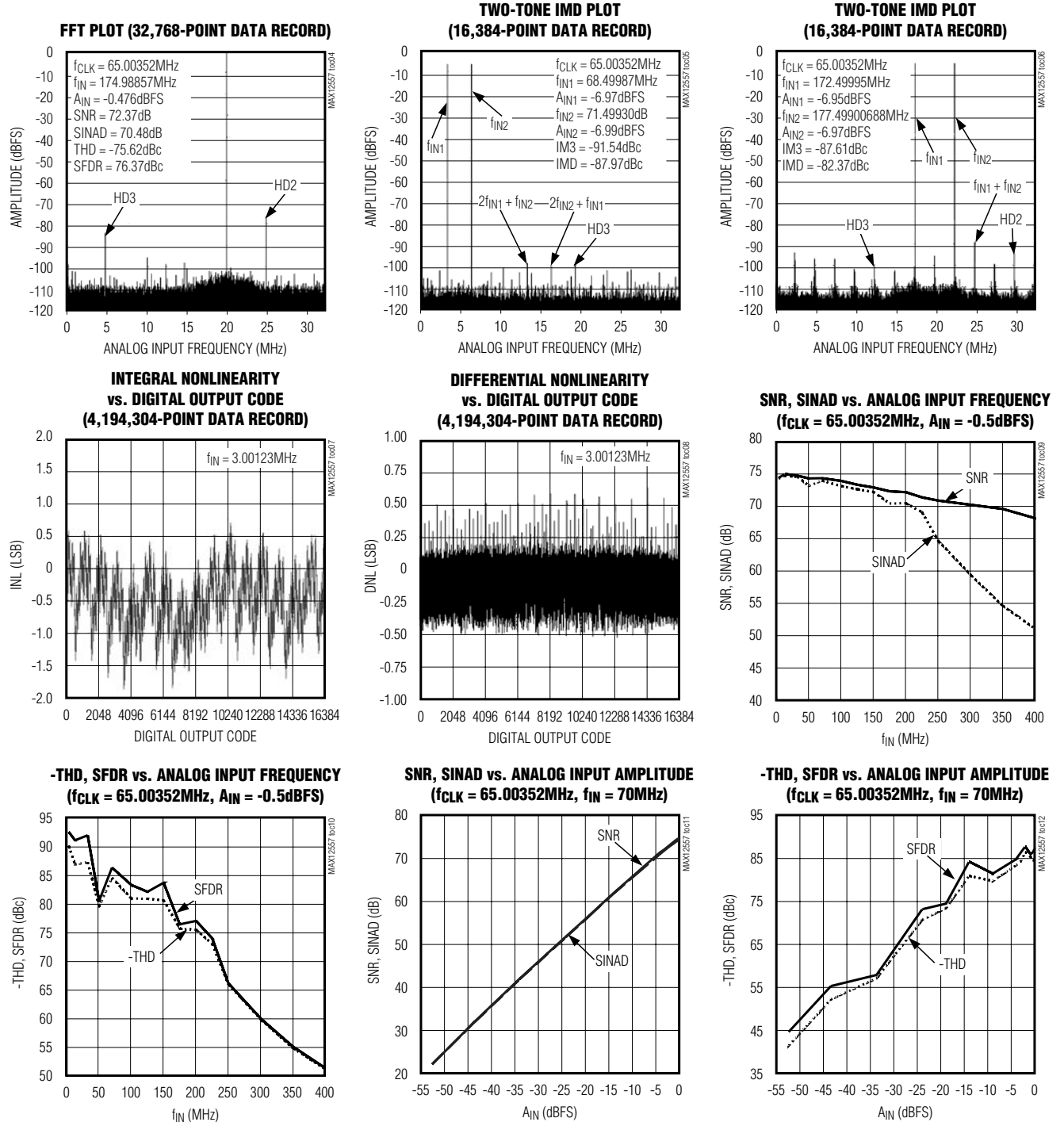


デュアル、65Msps、14ビット、IF/ベースバンドADC

MAX12557

標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference mode), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -0.5dBFS$, $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 65MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

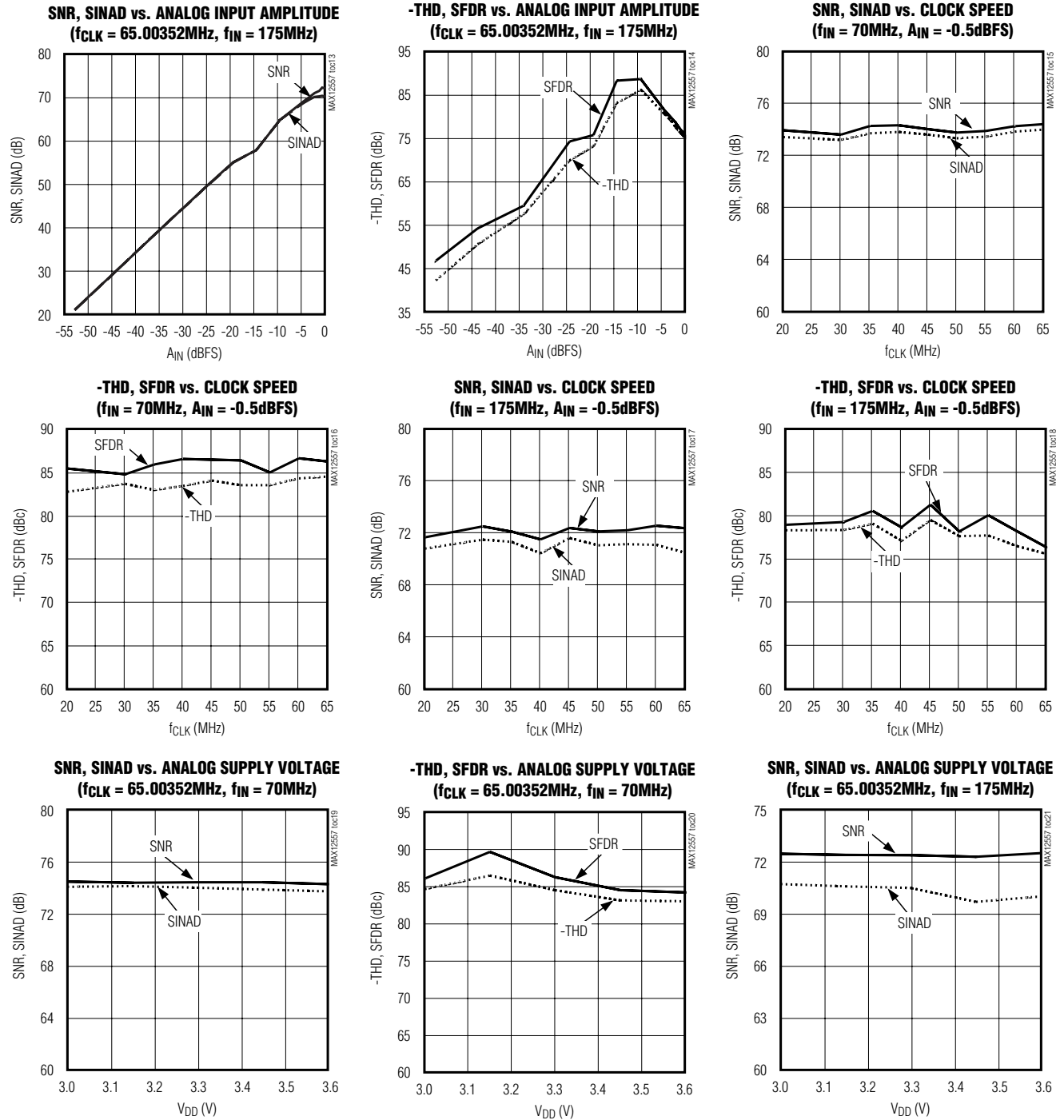


デュアル、65Mps、14ビット、IF/ベースバンドADC

MAX12557

標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference mode), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -0.5dBFS$, $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 65MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

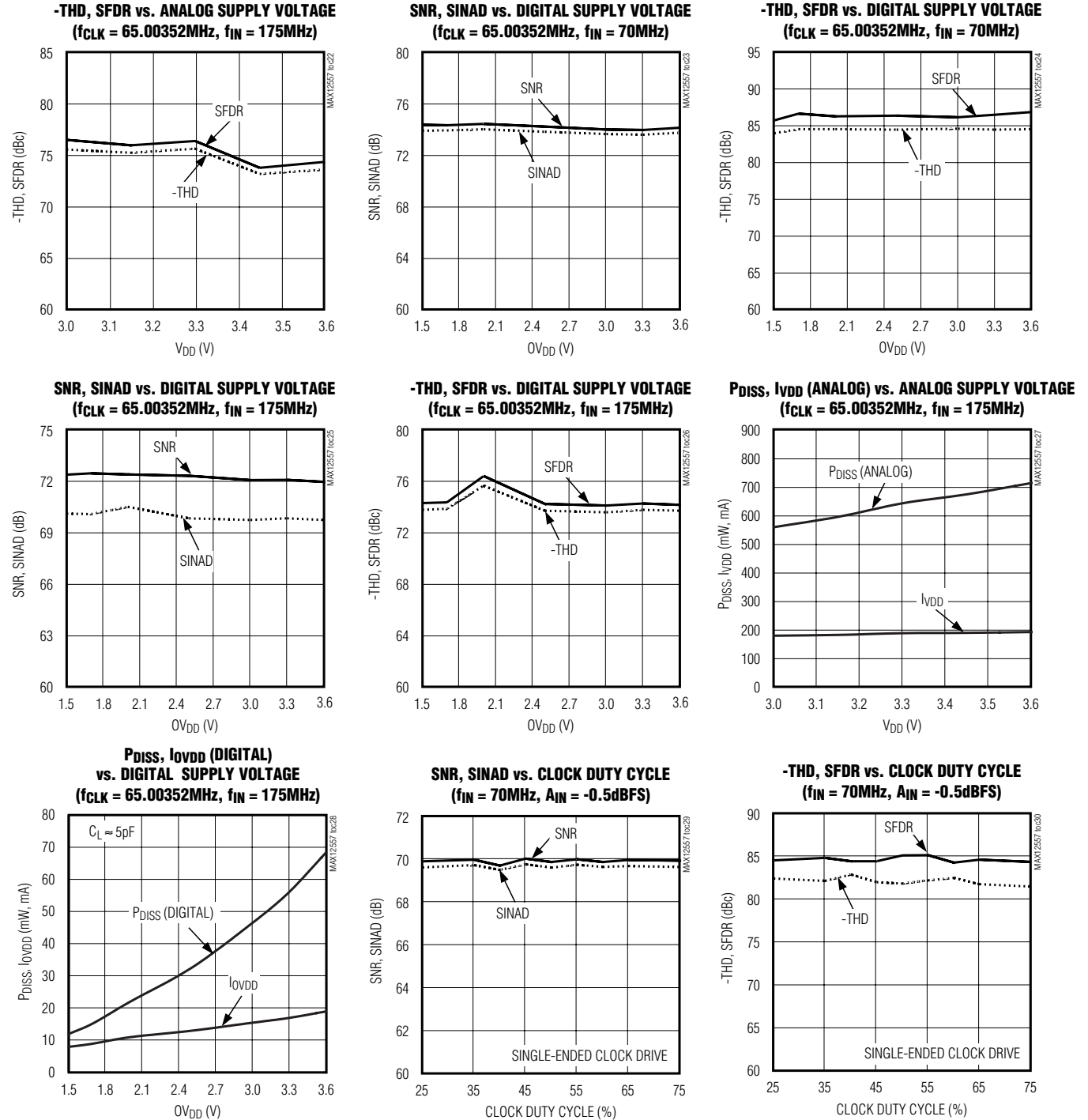


デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference mode), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -0.5dBFS$, $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 65MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

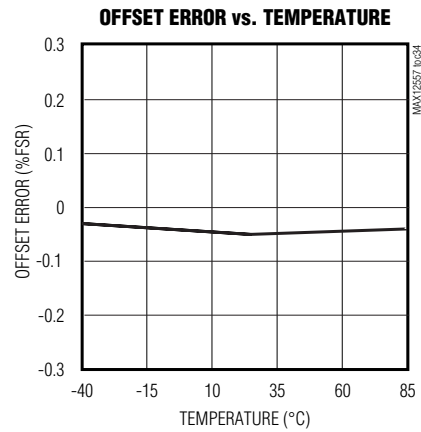
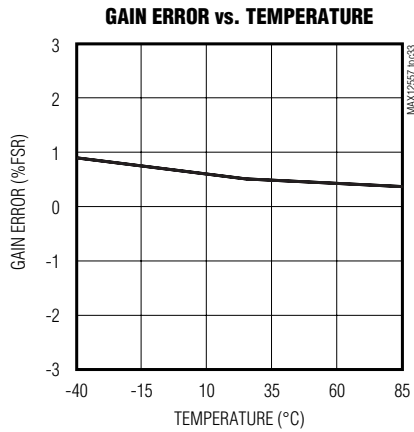
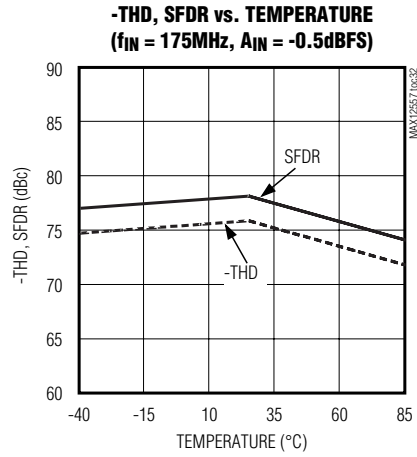
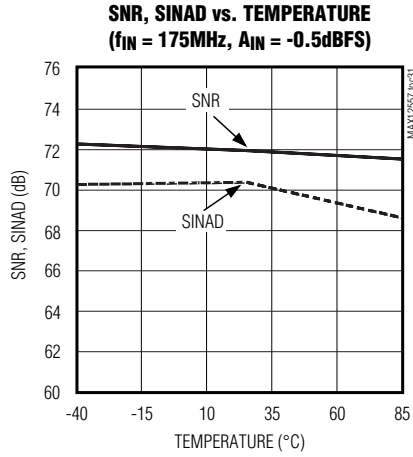


デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference mode), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -0.5dBFS$, $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 65MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)



デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

端子説明

端子	名称	機能
1, 4, 5, 9, 13, 14, 17	GND	コンバータグランド。すべてのグランド端子とエクスポーズドパッド(EP)を相互に接続してください。
2	INAP	チャンネルAの正アナログ入力
3	INAN	チャンネルAの負アナログ入力
6	COMA	チャンネルAのコモンモード電圧I/O。0.1 μ FコンデンサでCOMAをGNDにバイパスしてください。
7	REFAP	チャンネルAの正リファレンスI/O。チャンネルAの変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ です。0.1 μ FコンデンサでREFAPをGNDにバイパスしてください。10 μ Fおよび1 μ FのバイパスコンデンサをREFAPとREFANの間に接続してください。プリント基板のデバイスと同じ側に1 μ FのコンデンサをREFAPとREFAN間にデバイスにできる限り近接して配置してください。
8	REFAN	チャンネルAの負リファレンスI/O。チャンネルAの変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ です。0.1 μ FコンデンサでREFANをGNDにバイパスしてください。10 μ Fおよび1 μ FのバイパスコンデンサをREFAPとREFANの間に接続してください。プリント基板のデバイスと同じ側に1 μ FのコンデンサをREFAPとREFAN間にデバイスにできる限り近接して配置してください。
10	REFBN	チャンネルBの負リファレンスI/O。チャンネルBの変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ です。0.1 μ FコンデンサでREFBNをGNDにバイパスしてください。10 μ Fおよび1 μ FのバイパスコンデンサをREFBPとREFBNの間に接続してください。プリント基板のデバイスと同じ側に1 μ FのコンデンサをREFBPとREFBN間にデバイスにできる限り近接して配置してください。
11	REFBP	チャンネルBの正リファレンスI/O。チャンネルBの変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ です。0.1 μ FコンデンサでREFBPをGNDにバイパスしてください。10 μ Fおよび1 μ FのバイパスコンデンサをREFBPとREFBNの間に接続してください。プリント基板のデバイスと同じ側に1 μ FのコンデンサをREFBPとREFBN間にデバイスにできる限り近接して配置してください。
12	COMB	チャンネルAのコモンモード電圧I/O。0.1 μ FコンデンサでCOMBをGNDにバイパスしてください。
15	INBN	チャンネルBの負アナログ入力
16	INBP	チャンネルBの正アナログ入力
18	DIFFCLK/ SECLK	差動/シングルエンド入力クロック駆動。この入力によって、シングルエンドクロック入力駆動または差動クロック入力駆動のいずれかを選択します。 DIFFCLK/SECLK = GND: シングルエンドクロック入力駆動を選択します。 DIFFCLK/SECLK = OV _{DD} : 差動クロック入力駆動を選択します。
19	CLKN	負クロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV _{DD})では、差動クロック信号をCLKPとCLKNの間に接続してください。シングルエンドクロックモード(DIFFCLK/SECLK = GND)では、クロック信号をCLKPに印加し、CLKNにGNDを接続してください。
20	CLKP	正クロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV _{DD})では、差動クロック信号をCLKPとCLKNの間に接続してください。シングルエンドクロックモード(DIFFCLK/SECLK = GND)では、シングルエンドクロック信号をCLKPに印加し、CLKNにGNDを接続してください。
21	DIV2	2分周クロック分周器のデジタル制御入力。詳細については、表2を参照してください。
22	DIV4	4分周クロック分周器のデジタル制御入力。詳細については、表2を参照してください。
23-26, 61, 62, 63	V _{DD}	アナログ電源入力。V _{DD} を3.15V~3.60Vの電源に接続してください。10 μ F以上と0.1 μ Fの並列コンデンサでV _{DD} をGNDにバイパスしてください。すべてのV _{DD} 端子を同じ電位に接続してください。
27, 43, 60	OV _{DD}	出力ドライバ電源入力。OV _{DD} を1.7V~V _{DD} の電源に接続してください。10 μ F以上と0.1 μ Fの並列コンデンサでOV _{DD} をGNDにバイパスしてください。

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

端子説明(続き)

端子	名称	機能
28	D0B	チャンネルB、CMOSデジタル出力のビット0(LSB)
29	D1B	チャンネルB、CMOSデジタル出力のビット1
30	D2B	チャンネルB、CMOSデジタル出力のビット2
31	D3B	チャンネルB、CMOSデジタル出力のビット3
32	D4B	チャンネルB、CMOSデジタル出力のビット4
33	D5B	チャンネルB、CMOSデジタル出力のビット5
34	D6B	チャンネルB、CMOSデジタル出力のビット6
35	D7B	チャンネルB、CMOSデジタル出力のビット7
36	D8B	チャンネルB、CMOSデジタル出力のビット8
37	D9B	チャンネルB、CMOSデジタル出力のビット9
38	D10B	チャンネルB、CMOSデジタル出力のビット10
39	D11B	チャンネルB、CMOSデジタル出力のビット11
40	D12B	チャンネルB、CMOSデジタル出力のビット12
41	D13B	チャンネルB、CMOSデジタル出力のビット13(MSB)
42	DORB	チャンネルBのデータ範囲外インジケータ。DORBデジタル出力は、チャンネルBのアナログ入力電圧が範囲外になった時に、示されます。 DORB = 1: デジタル出力がフルスケール範囲を超過。 DORB = 0: デジタル出力がフルスケール範囲内を維持。
44	DAV	データ有効デジタル出力。DAVの立上りエッジは、データがデジタル出力上に存在することを示します。MAX12557の評価キットは、データを後続する外部デジタルロジックにラッチするためにDAVを使用します。
45	D0A	チャンネルA、CMOSデジタル出力のビット0(LSB)
46	D1A	チャンネルA、CMOSデジタル出力のビット1
47	D2A	チャンネルA、CMOSデジタル出力のビット2
48	D3A	チャンネルA、CMOSデジタル出力のビット3
49	D4A	チャンネルA、CMOSデジタル出力のビット4
50	D5A	チャンネルA、CMOSデジタル出力のビット5
51	D6A	チャンネルA、CMOSデジタル出力のビット6
52	D7A	チャンネルA、CMOSデジタル出力のビット7
53	D8A	チャンネルA、CMOSデジタル出力のビット8
54	D9A	チャンネルA、CMOSデジタル出力のビット9
55	D10A	チャンネルA、CMOSデジタル出力のビット10
56	D11A	チャンネルA、CMOSデジタル出力のビット11
57	D12A	チャンネルA、CMOSデジタル出力のビット12
58	D13A	チャンネルA、CMOSデジタル出力のビット13(MSB)
59	DORA	チャンネルAのデータ範囲外インジケータ。DORAデジタル出力は、チャンネルAアナログ入力電圧が範囲外である時に示されます。 DORA = 1: デジタル出力がフルスケール範囲を超過。 DORA = 0: デジタル出力がフルスケール範囲内を維持。
64	G/T	出力形式を選択するデジタル入力。 G/T = GND: 2の補数の出力形式を選択。 G/T = OV _{DD} : グレイコードの出力形式を選択。

デュアル、65Msps、14ビット、IF/ベースバンドADC

MAX12557

端子説明(続き)

端子	名称	機能
65	PD	パワーダウンデジタル入力。 PD = GND : ADCが完全に動作。 PD = OV _{DD} : ADCをパワーダウン。
66	SHREF	共用リファレンスのデジタル入力。 SHREF = V _{DD} : 共用リファレンスをイネーブル。 SHREF = GND : 共用リファレンスをディセーブル。 リファレンスを共用する場合は、V _{REFAP} がV _{REFBP} と等しくなるようにREFAPとREFBPを外部で相互に接続してください。同様に、リファレンスを共用する場合は、V _{REFAN} がV _{REFBN} と等しくなるようにREFANをREFBNに外部で相互に接続してください。
67	REFOUT	内部リファレンス電圧出力。REFOUT出力電圧は2.048Vであり、REFOUTは1mAを供給可能です。内部リファレンス動作の場合は、REFOUTをREFINにじかに接続するか、またはREFOUTに抵抗分圧器を接続してREFINの電圧を設定してください。0.1μF以上のコンデンサでREFOUTをGNDにバイパスしてください。外部リファレンス動作の場合は、REFOUTは不要で、0.1μF以上のコンデンサでGNDにバイパスする必要があります。
68	REFIN	シングルエンドリファレンスアナログ入力。内部リファレンスおよびバッファ付き外部リファレンス動作の場合は、0.7V~2.3VのDCリファレンス電圧をREFINに印加してください。4.7μFのコンデンサでREFINをGNDにバイパスしてください。規定の動作電圧範囲内では、REFINは50MΩを超える入力インピーダンスを備え、差動リファレンス電圧(V _{REF_P} - V _{REF_N})はREFINから生成されます。バッファなしの外部リファレンス動作の場合は、REFINをGNDに接続してください。このモードでは、REF_P、REF_N、およびCOM_は、外部リファレンス電圧を受け付けるハイインピーダンス入力になります。
—	EP	エクスポーズパッド。EPはGNDに内部で接続されています。規定されたダイナミック性能を得るには、EPをGNDに外部で接続してください。

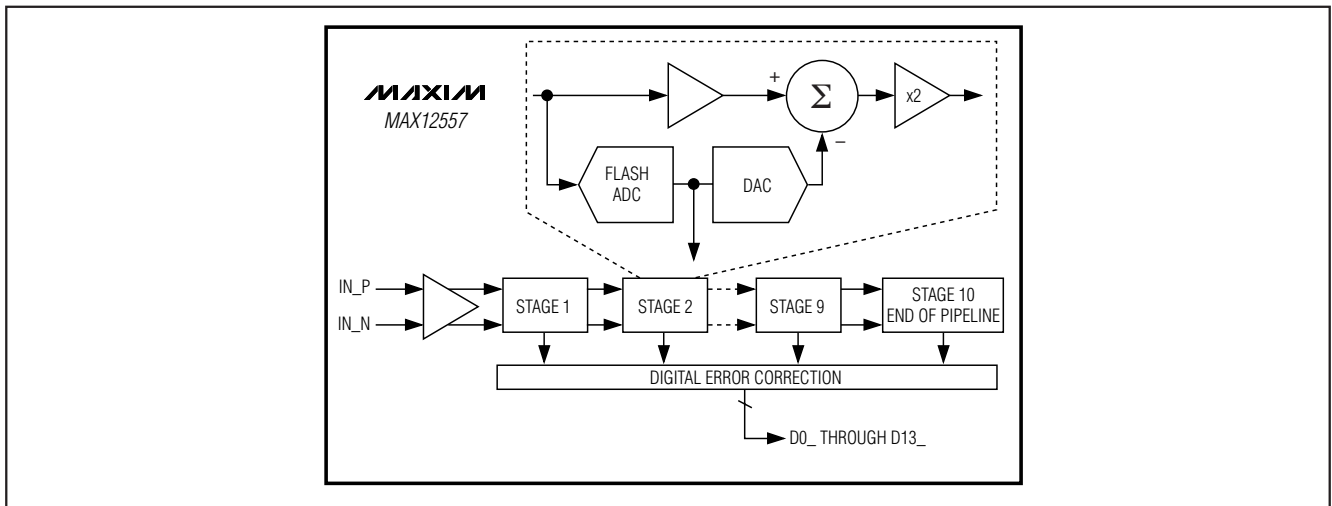


図1. パイプラインアーキテクチャ複数段ブロック

詳細

MAX12557は10段、完全差動のパイプライン方式アーキテクチャ(図1)を採用しているため、電力消費を最低限に抑制しながら、高速変換を実現します。入力を取り込まれたサンプルは、1/2クロックサイクルごとに各パイプライン段を順次移動します。入力から出力までの総待ち時間は、8クロックサイクルです。

パイプラインの各コンバータ段はその入力電圧をデジタル出力コードに変換します。最終段を除いたすべての段で、入力電圧とデジタル出力コード間の誤差が増幅され、次のパイプライン段に渡されます。デジタル誤差補正は各パイプライン段においてADCコンパレータのオフセットを補償し、ミッシングコードがないようにします。図2は、MAX12557のファンクションダイアグラムを示しています。

デュアル、65MSPS、14ビット、 IF/ベースバンドADC

MAX12557

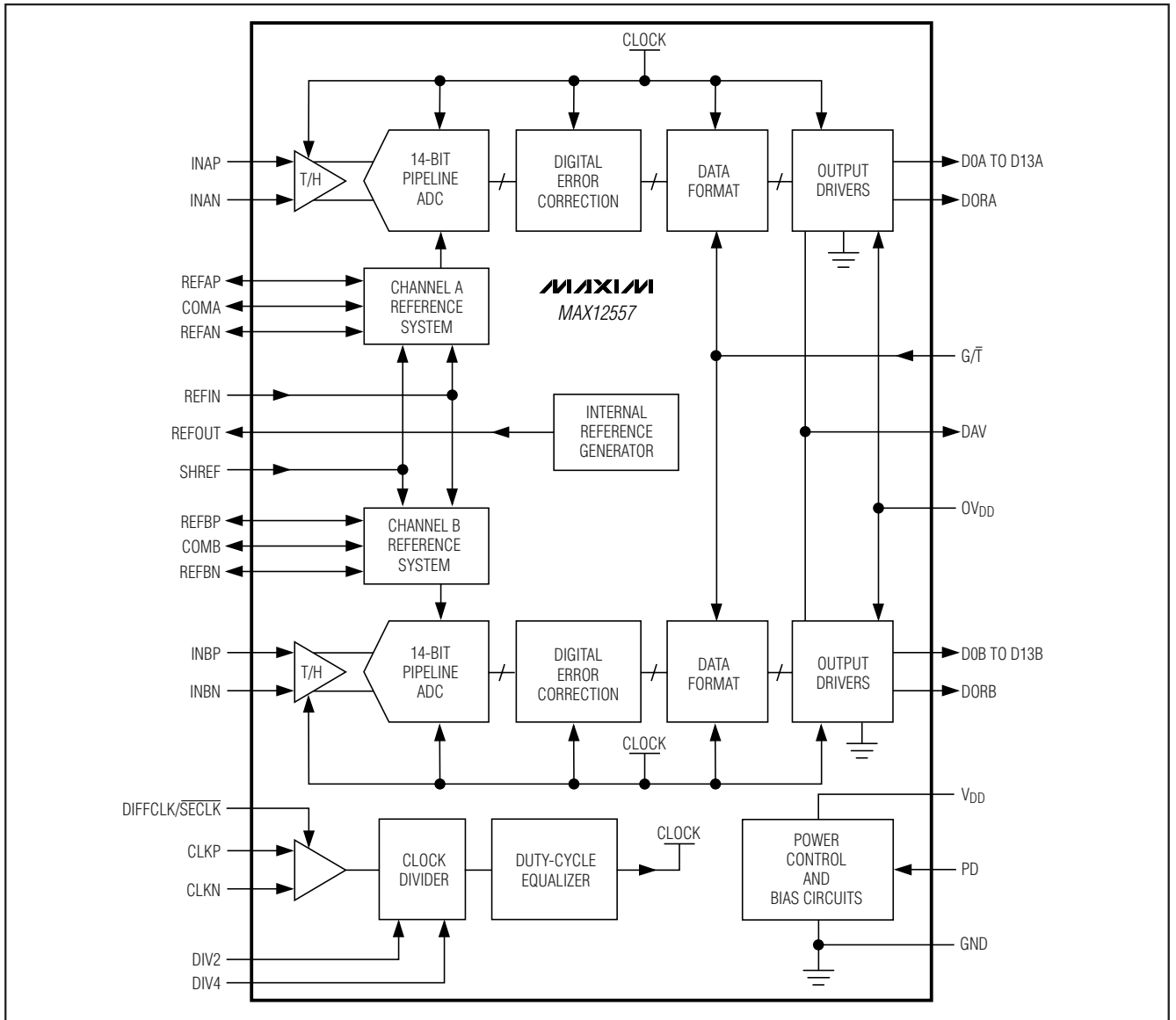


図2. ファンクションダイアグラム

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

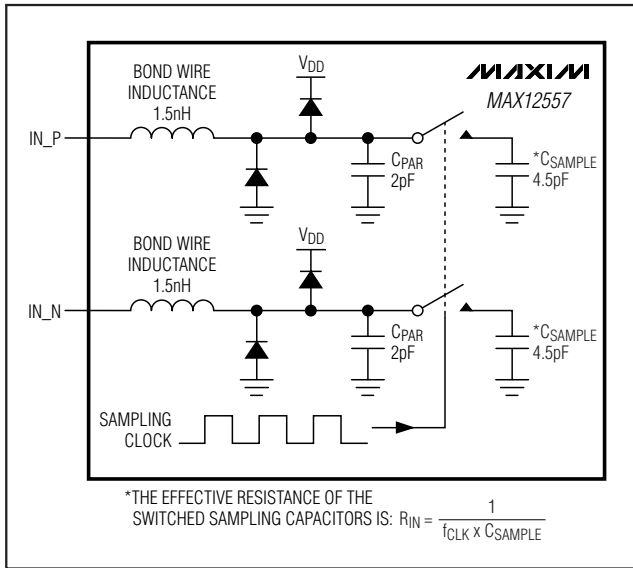


図3. 内部T/H回路

アナログ入力および入力トラック/ホールド (T/H) アンプ

図3は、入力T/H回路の簡略ファンクションダイアグラムを示しています。この入力T/H回路は175MHz以上の高アナログ入力周波数を可能とし、 $V_{DD} / 2$ のコモンモード入力電圧をサポートします。

MAX12557のサンプリングクロックはスイッチトキャパシタの入力T/Hアーキテクチャ(図3)を制御し、アナログ入力信号をサンプリングコンデンサに電荷として保存することができます。サンプリングクロックが高い場合はこれらのスイッチは閉じ(トラックモード)、ロー(図4)の場合は開きます(ホールドモード)。アナログ入力信号源は、サンプリングコンデンサの充電と放電に必要なダイナミック電流を供給可能でなければなりません。信号劣化を回避するには、これらのコンデンサを1/2クロックサイクル以内に 1/2 LSBの精度まで充電する必要があります。MAX12557のアナログ入力は、差動またはシングルエンド入力駆動をサポートしています。差動入力の場合に性能を最適化するには、IN_PとIN_Nの入力インピーダンスを平衡させ、コモンモード電圧を中間電源($V_{DD} / 2$)に設定してください。MAX12557は内部リファレンスモードとバッファ付き外部リファレンスモードで動作しているときに、COM出力を通じて $V_{DD} / 2$ の最適コモンモード電圧を供給します。このCOM出力電圧を使って、図9、10、および11に示すような入力回路にバイアスをかけることができます。

リファレンス出力

内部バンドギャップリファレンスは、MAX12557で使用されるすべての内部電圧とバイアス電流の基準となります。パワーダウンロジック入力(PD)が、リファレンス回路のイネーブルおよびディセーブルを行います。MAX12557がパワーダウンされると、REFOUTは約17kΩのGNDに対する抵抗値となります。電源がMAX12557に印加

表1. リファレンスモード

VREFIN	REFERENCE MODE
35% VREFOUT to 100% VREFOUT	Internal Reference Mode. REFIN is driven by REFOUT either through a direct short or a resistive divider. $V_{COM_} = V_{DD} / 2$ $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
0.7V to 2.3V	Buffered External Reference Mode. An external 0.7V to 2.3V reference voltage is applied to REFIN. $V_{COM_} = V_{DD} / 2$ $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
<0.5V	Unbuffered External Reference Mode. REF_P, REF_N, and COM_ are driven by external reference sources. The full-scale analog input range is $\pm(V_{REF_P} - V_{REF_N}) \times 2/3$.

されたとき、またはPDがハイからローに遷移するときは、リファレンス回路が起動し、その最終値に整定されるのに10msを要します。

内部バンドギャップリファレンスは、REFOUT端子に温度係数が $\pm 50\text{ppm}/^\circ\text{C}$ の2.048V $\pm 1\%$ のバッファされたリファレンス電圧を生成します。安定化させるには、0.1 μF 以上の外付けバイパスコンデンサをREFOUTとGNDの間に接続してください。REFOUTは35mV/mAの負荷レギュレーションを備え外部回路に対して最大1mAまでソースし、最大0.1mAまでシンクします。GNDに短絡されると、短絡保護によって、IREFOUTは2.1mAのソース電流に制限され、 V_{DD} に短絡されると0.24mAのシンク電流に制限されます。REFOUTと同様に、REFINを4.7 μF のコンデンサでGNDにバイパスする必要があります。

リファレンス構成

MAX12557のフルスケールアナログ入力範囲は、コモンモード入力範囲が $V_{DD} / 2 \pm 0.5\text{V}$ の場合、 $\pm 2/3 \times V_{REF}$ です。VREFは、REFAP(REFBP)とREFAN(REFBN)との電位差です。MAX12557には、3種類のリファレンス動作モードがあります。REFIN(VREFIN)の電圧によって、リファレンス動作モードが選択されます(表1)。

内部リファレンスモードにするには、直接短絡または抵抗分圧器によってREFOUTをREFINに接続してください。このモードでは、 $V_{COM_} = V_{DD} / 2$ 、 $V_{REFP} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ 、および $V_{REFN} = V_{DD} / 2 - 3/8 \times V_{REFIN}$ であり、COM_、REF_P、およびREF_Nはローインピーダンス出力です。0.1 μF コンデンサでREF_P、REF_N、およびCOM_をそれぞれGNDにバイパスしてください。10 μF のコンデンサでREF_PをREF_Nにバイパスしてください。0.1 μF コンデンサでREFINおよびREFOUTをGNDにバイパスしてください。REFINの入力インピーダンスは極めて大きな値です(50MΩを超える)。抵抗分圧

デュアル、65Msps、14ビット、 IF/ベースバンドADC

器を通じてREFINを駆動するときは、REFOUTの重負荷を避けるために10kΩ以上の抵抗を使用してください。

バッファ付き外部リファレンスモードは事実上内部リファレンスモードと同じです。ただし、リファレンスソースはMAX12557の内部バンドギャップリファレンスではなく、外部リファレンスから取得する点のみが異なります。バッファ付き外部リファレンスモードでは、REFINに0.7V~2.3Vの安定したリファレンス電圧源を印加してください。このモードでは、 $V_{COM_} = V_{DD} / 2$ 、 $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ 、および $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$ であり、端子COM_、REF_P、およびREF_Nはローインピーダンス出力です。0.1μFコンデンサでREF_P、REF_N、およびCOM_をそれぞれGNDにバイパスしてください。10μFのコンデンサでREF_PをREF_Nにバイパスしてください。

バッファなしの外部リファレンスモードにするには、REFINをGNDに接続してください。REFINをGNDに接続すると、COM_、REF_P、およびREF_Nに対する内部リファレンスバッファが非アクティブになります。これらのバッファが非アクティブの場合、COM_、REF_P、およびREF_Nはハイインピーダンス入力になり、個別の外部リファレンスソースで駆動する必要があります。 $V_{COM_}$ を $V_{DD} / 2 \pm 5\%$ に駆動し、REF_PおよびREF_Nを $V_{COM_} = (V_{REF_P} + V_{REF_N}) / 2$ になるように駆動してください。アナログ入力範囲は、 $\pm(V_{REF_P} - V_{REF_N}) \times 2/3$ となります。0.1μFコンデンサでREF_P、REF_N、およびCOM_をそれぞれGNDにバイパスしてください。10μFのコンデンサでREF_PをREF_Nにバイパスしてください。

すべてのリファレンスモードにおいて、0.1μFコンデンサでREFOUTを、4.7μFコンデンサでREFINをGNDにバイパスしてください。

また、MAX12557は共用リファレンスモードも備え、このモードではチャンネル間マッチングを向上することができます。リファレンスを共用する場合は($SHREF = V_{DD}$)、 $V_{REFAP} = V_{REFBP}$ となるようにREFAPとREFBPを相互に外部で接続してください。同様に、リファレンスを共用する場合は、 V_{REFAN} が V_{REFBN} と等しくなるようにREFANとREFBNを相互に外部で接続してください。

MAX12557の共用リファレンスモードをディセーブルするには、SHREFをGNDに接続してください。この独立したリファレンスモードでは、チャンネル間アイソレーションが向上しています。

バッファ付き/バッファなし外部リファレンスモードにおける詳細な回路例とADCの駆動方法については、「アプリケーション情報」の項を参照してください。

クロックデューティサイクルイコライザ

MAX12557はクロックデューティサイクルイコライザを内蔵しているため、このコンバータはCLKPとCLKNに印加される信号のデューティサイクルに鈍感です。このコンバータは、ダイナミック性能に悪影響を与え

ずに、25%~75%のクロックデューティサイクル変動を許容します。

クロックデューティサイクルイコライザは遅延クロックループ(DLL)を使って、デューティサイクルと無関係の内部タイミング信号を生成します。このDLLによって、MAX12557では新たなクロック周波数を獲得してロックするのに約100クロックサイクルが必要です。

クロック入力およびクロック制御ライン

MAX12557は、25%~75%と広い範囲の入カクロックデューティサイクルの差動およびシングルエンドクロック入力のいずれをも受け付けます。シングルエンドクロック入力動作の場合は、DIFFCLK/SECLKとCLKNをGNDに接続してください。外部シングルエンドクロック信号をCLKPに印加してください。クロックジッタを抑制するには、外部シングルエンドクロックの立下りエッジを急峻にする必要があります。差動クロック入力動作の場合は、DIFFCLK/SECLKを OV_{DD} に接続してください。外部差動クロック信号をCLKPおよびCLKNに印加してください。クロック入力をアナログ入力とみなして、その配線ルートを他のアナログ入力およびデジタル信号ラインから遠ざけてください。MAX12557がパワーダウンされると、CLKPとCLKNはハイインピーダンスになります(図4)。

MAX12557の規定されたSNR性能を得るには、低クロックジッタが必要です。アナログ入力はCLKP(CLKN)の立下り(立上り)エッジでサンプリングされるため、このエッジのジッタは可能な限り小さくする必要があります。ジッタは、次の関係式に従ってADCの最大SNR性能を制限します：

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ここで、 f_{IN} はアナログ入力周波数を表し、 t_J は総システムクロックジッタです。クロックジッタは、アンダーサンプリングアプリケーションの場合は特に重要です。たとえば、クロックジッタが唯一のノイズ源とすると、175MHzの入力周波数で72.5dBの規定SNRを得るには、システムのクロックジッタは0.21ps未満である必要があります。しかし、実際には、システムノイズに寄与する熱雑音および量子化ノイズなどのその他のノイズ源があるため、175MHzにおいて72.5dBcの規定SNRを得るにはクロックジッタを0.14ps未満にする必要があります。

クロック分周器制御入力(DIV2、DIV4)

MAX12557は、3種類のサンプリング/クロック動作モードを備えています(表2参照)。両方の制御ラインをローにプルダウンすると、クロック分周器の機能がディセーブルされ、コンバータは最高クロック速度でサンプリングを行います。DIV4をローに強制し、DIV2をハイに強制すると、2分周機能がイネーブルされ、これによってサンプリング速度が選択されたクロック周波数の1/2に設定されます。4分周モードでは、コンバータのサン

デュアル、65Msps、14ビット、IF/ベースバンドADC

MAX12557

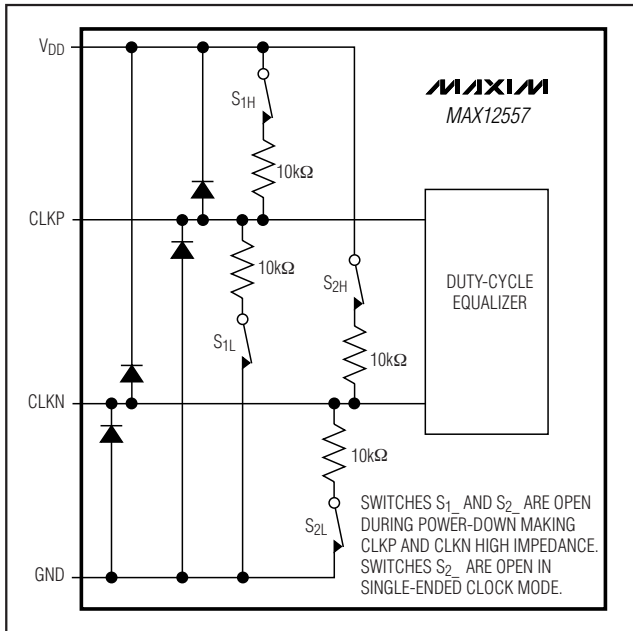


図4. 簡略クロック入力回路

プリング速度はMAX12557のクロック速度の1/4に設定されます。4分周モードは、ハイレベルをDIV4に、ローレベルをDIV2に印加すると可能になります。サンプリングに対してクロック速度の1/2または1/4のいずれかを選択するオプションによって、設計がフレキシブルになり、クロック要件が緩和され、クロックジッタが最小限に抑制されます。

システムタイミング要件

図5は、クロック、アナログ入力、DAVインジケータ、DOR_インジケータ、および結果として得られる出力データのタイミング関係を示しています。アナログ入力はCLKP(CLKN)の立下り(立上り)エッジでサンプリングされ、変換結果のデータは8クロックサイクル後にデジタル出力に現れます。

DAVインジケータはデジタル出力と同期し、データを後続のデジタル回路にラッチするために最適化され

表2. クロック分周器制御入力

DIV4	DIV2	FUNCTION
0	0	Clock Divider Disabled $f_{SAMPLE} = f_{CLK}$
0	1	Divide-by-Two Clock Divider $f_{SAMPLE} = f_{CLK} / 2$
1	0	Divide-by-Four Clock Divider $f_{SAMPLE} = f_{CLK} / 4$
1	1	Not Allowed

ています。代わりに、後続のデジタル回路を、変換クロック(CLKP~CLKN)の立上りエッジでラッチすることもできます。

データ有効出力

DAVは、入力クロックデューティサイクルの変動を補正するために補償された入力クロックをシングルエンドとして出力するものです。MAX12557の出力データはDAVの立下りエッジで変化し、出力データが有効になるとDAVが立上ります。DAVの立下りエッジは、入力クロックの立下りエッジから5.4ns遅れてこのクロックに同期します。D0A/B~D13A/BとDORA/Bの出力データは、DAVの立上りエッジの7ns前からDAVの立上りエッジから7ns後まで有効です。

MAX12557がパワーダウンされると($PD = 0V_{DD}$)、DAVはハイインピーダンスに移行します。DAVは、PDの立上りエッジから10ns後にハイインピーダンス状態になり、PDがローに遷移してから10ns後に再びアクティブになります。

DAVは600 μ Aのシンク電流とソース電流を流すことができ、D0A/B~D13A/BとDORA/Bの3倍の駆動能力を備えています。通常、DAVはMAX12557の出力データを後続の外部デジタル回路にラッチするために使用されます。大きなデジタル電流がMAX12557のアナログ部にフィードバックされることによってそのダイナミック性能が低下しないように、DAVの容量性負荷をできる限り小さく(15pF未満)してください。DAVを

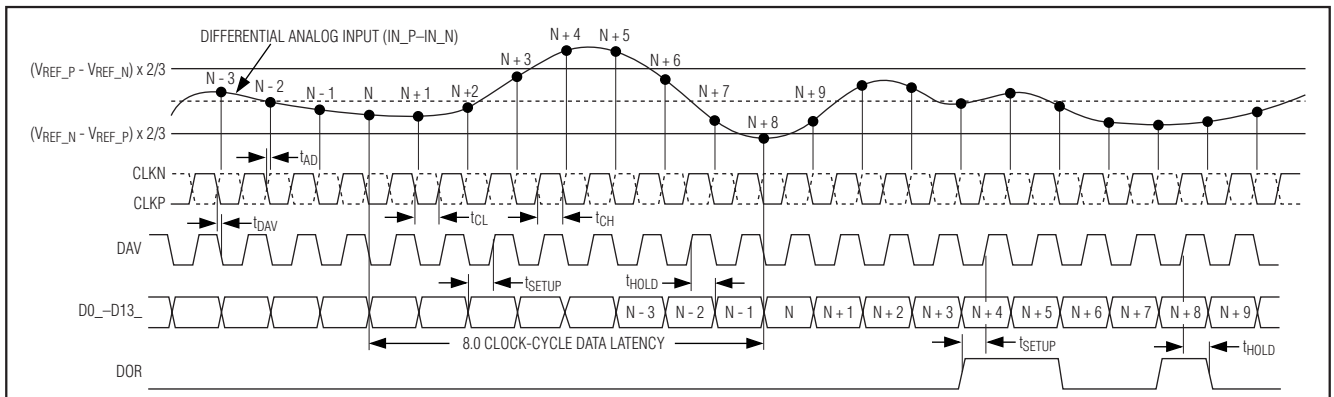


図5. システムタイミングダイアグラム

デュアル、65Msps、14ビット、IF/ベースバンドADC

外部でバッファリングすると、DAVが容量性の重負荷から分離されます。外部バッファを通じたDAV信号の駆動方法の推奨例については、MAX12557のEVキットの回路図を参照してください。

データ範囲外インジケータ

DORAおよびDORBデジタル出力は、アナログ入力電圧が範囲外である場合に示されます。DOR_がハイのとき、アナログ入力は範囲外です。DOR_がローのとき、アナログ入力は範囲内です。有効な差動入力範囲は、 $(V_{REF_P} - V_{REF_N}) \times 2/3 \sim (V_{REF_N} - V_{REF_P}) \times 2/3$ です。信号がこの有効差動範囲外にある場合は、表1に示すように、DOR_がハイをアサートします

DORはDAVと同期し、出力データD13~D0とともに遷移します。出力データの場合と同様に、DOR機能には8クロックサイクルの待ち時間があります(図5)。MAX12557がパワーダウン状態(PD = ハイ)にあるとき、DOR_はハイインピーダンスです。DOR_は、PDの立上りエッジから10ns後以内にハイインピーダンス状態になり、PDの立下りエッジから10ns後にアクティブになります。

デジタル出力データおよび出力形式の選択

MAX12557は、パラレル、14ビット幅のトライステート出力バスを2つ備えています。D0A/B~D13A/BとDORA/Bは、DAVの立下りエッジで更新され、DAVの立上りエッジで有効になります。

MAX12557の出力データ形式は、ロジック入力G/Tに応じて、グレイコードかまたは2の補数のいずれかになります。G/Tがハイの場合は、出力データ形式はグレイコードです。G/Tがローの場合は、出力データ形式は2の補数に設定されます。バイナリからグレイ、およびグレイからバイナリへのコード変換例については、図8を参照してください。

次に示す式、表3、図6、および図7は、デジタル出力とアナログ入力との関係を示しています。

グレイコード(G/T = 1) :

$$V_{IN_P} - V_{IN_N} = \frac{2}{3} \times (V_{REF_P} - V_{REF_N}) \times 2 \times \frac{CODE_{10} - 8192}{16,384}$$

2の補数(G/T = 0) :

$$V_{IN_P} - V_{IN_N} = \frac{2}{3} \times (V_{REF_P} - V_{REF_N}) \times 2 \times \frac{CODE_{10}}{16,384}$$

ここで、CODE₁₀は、表3に示すようにデジタル出力コードの等価10進数です。

表3. 出力コード対入力電圧

GRAY-CODE OUTPUT CODE (G/T = 1)				TWO'S-COMPLEMENT OUTPUT CODE (G/T = 0)				V _{IN_P} - V _{IN_N} V _{REF_P} = 2.418V V _{REF_N} = 0.882V
BINARY D13A-D0A D13B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D13A-D0A D13B-D0B	DECIMAL EQUIVALENT OF D13A-D0A D13B-D0B (CODE ₁₀)	BINARY D13A-D0A D13B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D13A-D0A D13B-D0B	DECIMAL EQUIVALENT OF D13A-D0A D13B-D0B (CODE ₁₀)	
10 0000 0000 0000	1	0x2000	+16,383	01 1111 1111 1111	1	0x1FFF	+8191	>+1.023875V (DATA OUT OF RANGE)
10 0000 0000 0000	0	0x2000	+16,383	01 1111 1111 1111	0	0x1FFF	+8191	+1.023875V
10 0000 0000 0001	0	0x2001	+16,382	01 1111 1111 1110	0	0x1FFE	+8190	+1.023750V
11 0000 0000 0011	0	0x3003	+8194	00 0000 0000 0010	0	0x0002	+2	+0.000250V
11 0000 0000 0001	0	0x3001	+8193	00 0000 0000 0001	0	0x0001	+1	+0.000125V
11 0000 0000 0000	0	0x3000	+8192	00 0000 0000 0000	0	0x0000	0	+0.000000V
01 0000 0000 0000	0	0x1000	+8191	11 1111 1111 1111	0	0x3FFF	-1	-0.000125V
01 0000 0000 0001	0	0x1001	+8190	11 1111 1111 1110	0	0x3FFE	-2	-0.000250V
00 0000 0000 0001	0	0x0001	+1	10 0000 0000 0001	0	0x2001	-8191	-1.023875V
00 0000 0000 0000	0	0x0000	0	10 0000 0000 0000	0	0x2000	-8192	-1.024000V
00 0000 0000 0000	1	0x0000	0	10 0000 0000 0000	1	0x2000	-8192	<-1.024000V (DATA OUT OF RANGE)

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

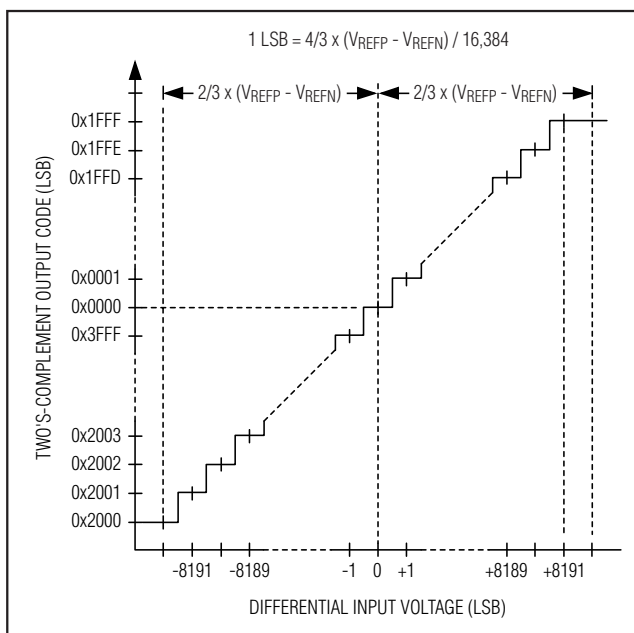


図6. 2の補数の伝達関数($G/T = 0$)

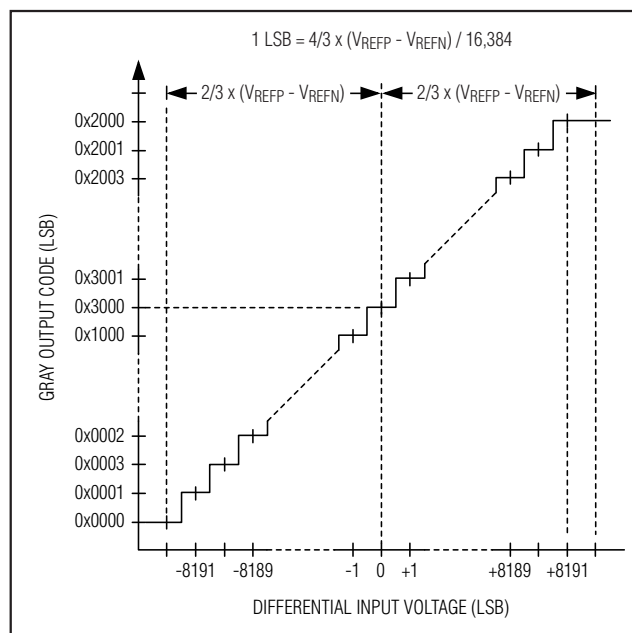


図7. グレイコードの伝達関数($G/T = 1$)

MAX12557がパワーダウン(PD = 1)モードにあるとき、デジタル出力D0A/B~D13A/Bはハイインピーダンスです。D0A/B~D13A/Bは、PDの立上りエッジから10ns後にこの状態になり、PDがローに遷移してから10ns後に再びアクティブになります。

大きなデジタル電流がMAX12557のアナログ部にフィードバックされることによってそのダイナミック性能が低下しないように、MAX12557のデジタル出力D0A/B~D13A/Bの容量性負荷をできる限り小さく(15pF未満)してください。デジタル出力にデジタルバッファを外付けすると、MAX12557が容量性の重負荷から分離されます。MAX12557のダイナミック性能を向上するには、220Ωの抵抗器をMAX12557に近接してデジタル出力と直列に追加してください。220Ωの直列抵抗と外部デジタル出力バッファを通じたデジタル出力の駆動方法のガイドラインについては、MAX12557のEVキットの回路図を参照してください。

パワーダウン入力

MAX12557は、パワーダウンデジタル入力(PD)で制御される2つのパワーモードを備えています。PDがローの場合、MAX12557は通常動作モードとなります。PDがハイの場合、MAX12557はパワーダウンモードとなります。

パワーダウンモードでは、変換が不要であるときにMAX12557は低電力状態に遷移して、電力を効率的に使用することができます。また、MAX12557の平行出力バスはパワーダウンモードでハイインピーダンスになり、バス上の他のデバイスがアクセスされることを可能とします。

パワーダウンモードでは、すべての内部回路がオフになり、アナログ消費電流が50μA未満に低減し、デジタル消費電流が1μA未満に低減します。次に、パワーダウンモードにおけるアナログ入力とデジタル出力の状態を示します。

- 1) INAP/BおよびINAN/Bのアナログ入力は内蔵入力アンプから切断されます(図3)。
- 2) REFOUTは、GNDに対して約17kΩの値となります。
- 3) REFAP/B、COMA/B、およびREFAN/Bは、 V_{DD} とGNDに対してハイインピーダンス状態になりますが、REFAP/BとCOMA/Bの間に4kΩの内蔵抵抗があり、REFAN/BとCOMA/Bの間にも4kΩの内蔵抵抗があります。
- 4) D0A~D13A、D0B~D13B、DORA、およびDORBはハイインピーダンス状態になります。
- 5) DAVはハイインピーダンス状態になります。
- 6) CLKPおよびCLKNクロック入力はハイインピーダンス状態になります(図4)。

パワーダウンモードからのウェイクアップ時間は、REF_P、REF_N、およびCOM_でコンデンサの充電に必要な時間によって決まります。内部リファレンスモードおよびバッファ付き外部リファレンスモードでは、ウェイクアップ時間は10ms(typ)です。バッファなしの外部リファレンスモードで動作しているときは、ウェイクアップ時間は外部リファレンスドライバによって決まります。

デュアル、65Msps、14ビット、IF/ベースバンドADC

BINARY-TO-GRAY CODE CONVERSION

1) THE MOST SIGNIFICANT GRAY-CODE BIT IS THE SAME AS THE MOST SIGNIFICANT BINARY BIT.

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 1 1 0 1 1 0 1 0 0 1 1 0 0	BINARY
↓	
0	GRAY CODE

2) SUBSEQUENT GRAY-CODE BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{GRAY}_X = \text{BINARY}_X \oplus \text{BINARY}_{X+1}$$

WHERE \oplus IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{GRAY}_{12} = \text{BINARY}_{12} \oplus \text{BINARY}_{13}$$

$$\text{GRAY}_{12} = 1 \oplus 0$$

$$\text{GRAY}_{12} = 1$$

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 \oplus 1 1 0 1 1 0 1 0 0 1 1 0 0	BINARY
↓	
0 1	GRAY CODE

3) REPEAT STEP 2 UNTIL COMPLETE:

$$\text{GRAY}_{11} = \text{BINARY}_{11} \oplus \text{BINARY}_{12}$$

$$\text{GRAY}_{11} = 1 \oplus 1$$

$$\text{GRAY}_{11} = 0$$

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 \oplus 1 0 1 1 0 1 0 0 1 1 0 0	BINARY
↓	
0 1 0	GRAY CODE

4) THE FINAL GRAY-CODE CONVERSION IS:

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 1 1 0 1 1 0 1 0 0 1 1 0 0	BINARY
0 1 0 1 1 0 1 1 1 0 1 0 1 0	GRAY CODE

GRAY-TO-BINARY CODE CONVERSION

1) THE MOST SIGNIFICANT BINARY BIT IS THE SAME AS THE MOST SIGNIFICANT GRAY-CODE BIT.

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 1 0 1 1 0 1 1 1 0 1 0 1 0	GRAY CODE
↓	
0	BINARY

2) SUBSEQUENT BINARY BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{BINARY}_X = \text{BINARY}_{X+1} \oplus \text{GRAY}_X$$

WHERE \oplus IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{BINARY}_{12} = \text{BINARY}_{13} \oplus \text{GRAY}_{12}$$

$$\text{BINARY}_{12} = 0 \oplus 1$$

$$\text{BINARY}_{12} = 1$$

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 1 0 1 1 0 1 1 1 0 1 0 1 0	GRAY CODE
↓	
0 1 1	BINARY

3) REPEAT STEP 2 UNTIL COMPLETE:

$$\text{BINARY}_{11} = \text{BINARY}_{12} \oplus \text{GRAY}_{11}$$

$$\text{BINARY}_{11} = 1 \oplus 0$$

$$\text{BINARY}_{11} = 1$$

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 1 1 1 0 1 1 1 0 1 0 1 0	GRAY CODE
↓	
0 1 1 1	BINARY

4) THE FINAL BINARY CONVERSION IS:

D13 → D11 → D7 → D3 → D0	BIT POSITION
0 1 0 1 1 0 1 1 1 0 1 0 1 0	GRAY CODE
0 1 1 0 1 1 0 1 0 0 1 1 0 0	BINARY

EXCLUSIVE OR TRUTH TABLE

A	B	Y = A \oplus B
0	0	0
0	1	1
1	0	1
1	1	0

FIGURE 8 SHOWS THE GRAY-TO-BINARY AND BINARY-TO-GRAY CODE CONVERSION IN OFFSET BINARY FORMAT. THE OUTPUT FORMAT OF THE MAX12557 IS TWO'S-COMPLEMENT BINARY. HENCE EACH MSB OF THE TWO'S-COMPLEMENT OUTPUT CODE MUST BE INSERTED TO REFLECT TRUE OFFSET BINARY FORMAT.

図8. バイナリからグレイおよびグレイからバイナリへのコード変換

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

アプリケーション情報

トランス結合の使用

通常、MAX12557は、特に125MHzを超える入力周波数ではシングルエンド入力駆動よりも完全差動入力信号の場合の方がSFDRとTHDが優れています。差動入力モードでは、両入力が平衡し、各ADC入力がシングルエンド入力モードに比べて1/2の信号振幅で済むため、偶数次高調波が小さくなるためです。

RFトランス(図9)は、最適性能を得るためにMAX12557が必要とする完全差動信号にシングルエンド信号を変換する卓越したソリューションを提供します。トランスのセンタータップをCOMに接続すると、入力に対して $V_{DD}/2$ のDCレベルシフトが生じます。この図では1:1のトランスが示されていますが、駆動要件を緩和するためにステップアップトランスを選択することができます。また、オペアンプなどの入力ドライバからの信号振幅が低減すると、全体的な歪みを改善すること

もできます。図9の構成は、ナイキスト($f_{CLK}/2$)までの周波数に対して良好に動作します。

図10の回路は、シングルエンド入力信号を図9と全く同じように完全差動信号に変換します。しかし、図10ではコモンモード除去を改善するために別のトランスを追加使用して、ナイキスト周波数を超える高周波信号を可能としています。75Ωと113Ωを組み合わせた終端抵抗は、信号源に対して50Ωに等しい終端となります。2番目の組の終端抵抗をCOM₋に接続すると、正しい入力コモンモード電圧を供給します。2個の0Ω抵抗をアナログ入力と直列に接続すると、IF入力周波数を高くすることができます。これらの0Ω抵抗を低い値の抵抗に置き換えると入力帯域幅を制限することができます。

シングルエンド、AC結合入力信号

図11は、AC結合、シングルエンド入力のアプリケーションを示しています。MAX4108は、入力信号の完全性を確保する高速、広帯域幅、低ノイズ、および低歪みを備えています。

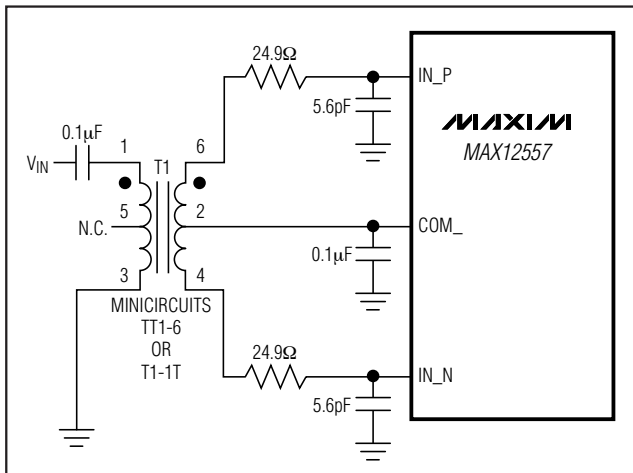


図9. ナイキストまでの入力周波数に対するトランス結合入力駆動

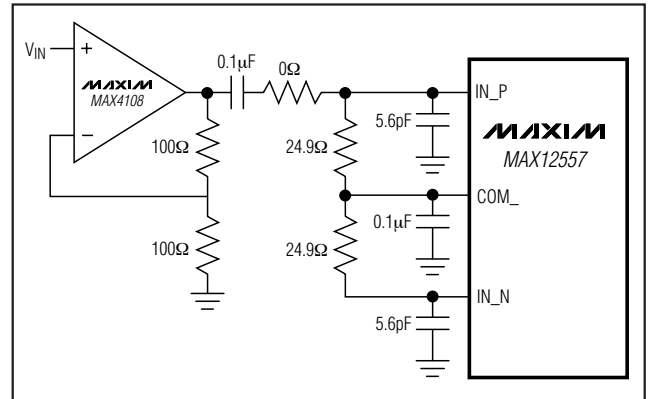


図11. シングルエンドAC結合入力駆動

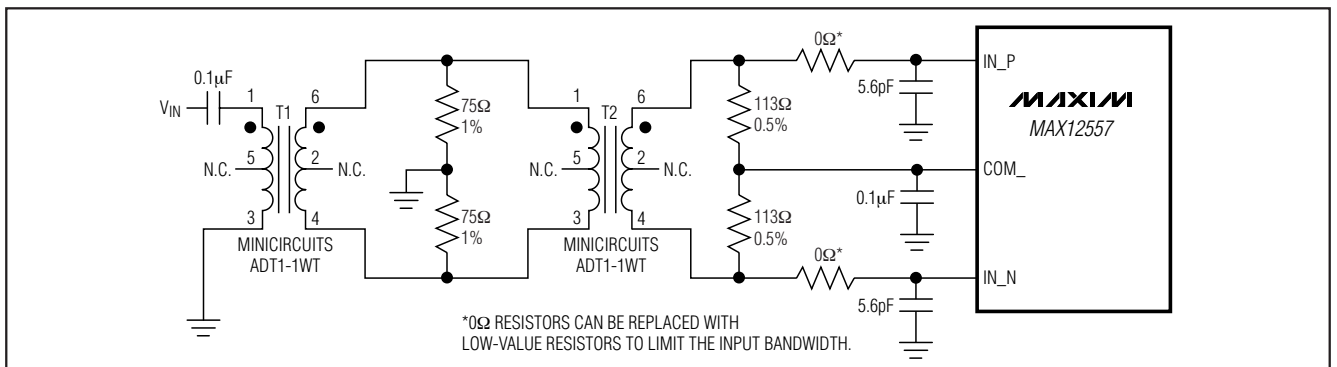


図10. ナイキストを超える入力周波数に対するトランス結合入力駆動

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

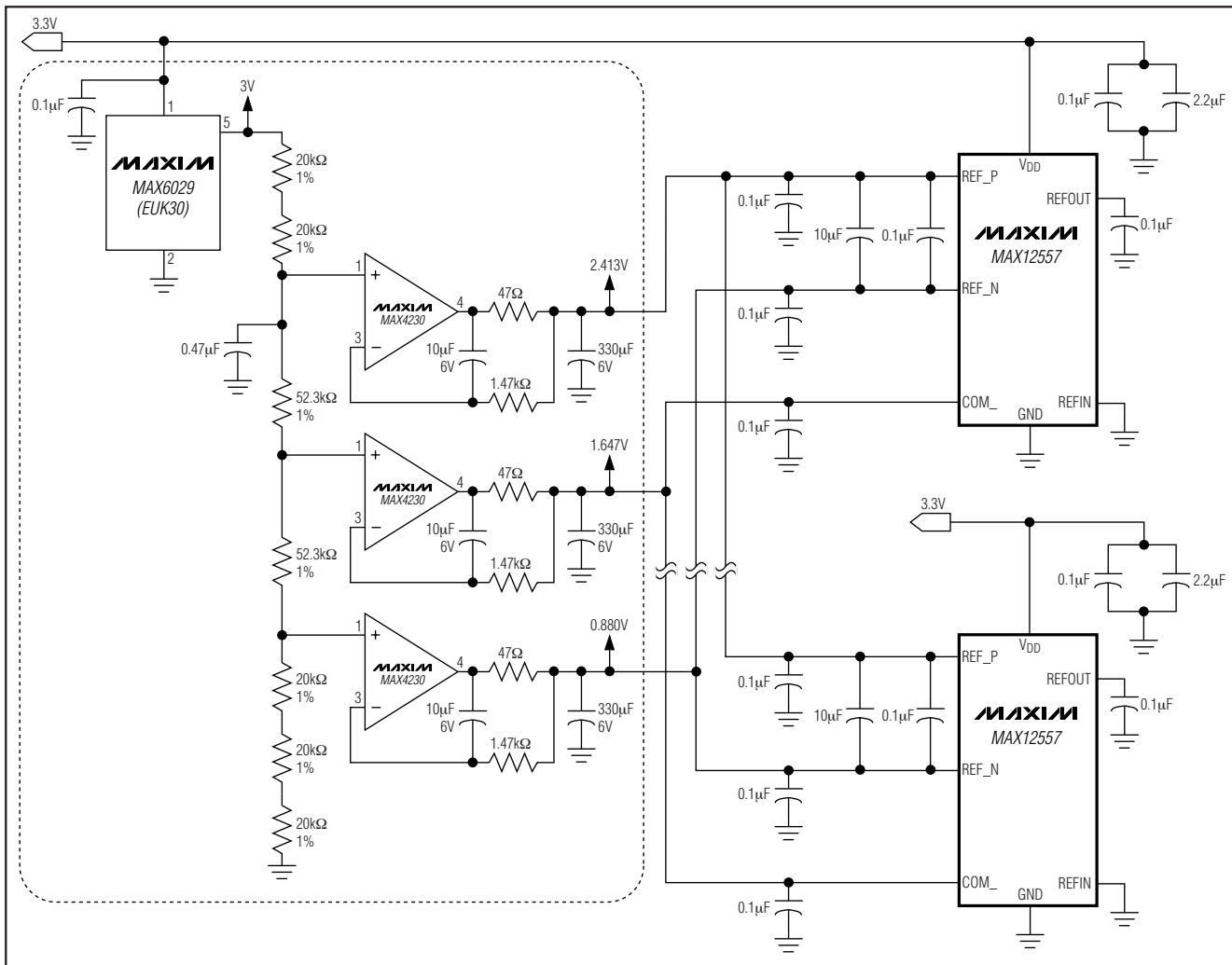


図13. 複数のADCを駆動するバッファなし外部リファレンス

図13は、複数のコンバータの共通リファレンスとして高精度3.000VバンドギャブリファレンスのMAX6029を使用しています。7個の部品で構成される抵抗分圧器列が、電圧リファレンスMAX6029の後に接続されています。この抵抗器列に沿った0.47µFのコンデンサが、10HzのLPフィルタを形成します。3個のMAX4230アンプは、この抵抗器列に沿ったタップにバッファとして、2.413V、1.647V、および0.880VをMAX12557のREF_P、REF_N、およびCOM_の各リファレンス入力に供給します。MAX4230オペアンプの周りのフィードバックによって、10Hz LPフィルタが新たに加わります。リファレンス電圧の2.413Vと0.880Vによって、コンバータのフルスケールアナログ入力範囲が $\pm 1.022V$ ($\pm [V_{REF_P} - V_{REF_N}] \times 2/3$)に設定されます。

なお、すべての能動回路部品に唯一の単一電源を使用することによって、電源投入または切断の際の電源シーケンスに関する考慮が不要となります。

グラウンド、バイパス、および 基板レイアウト

MAX12557には、高速基板レイアウト設計手法が必要です。基板レイアウトのリファレンスについては、MAX12557のEVキットのデータシートを参照してください。インダクタンスを最小限に抑えるために、表面実装デバイスを使って、すべてのバイパスコンデンサをデバイスにできるだけ近接して、できればADCと同じ側に配置してください。少なくとも1個の10µF、1個の4.7µF、および1個の0.1µFのセラミックコンデンサと並列接続した220µFのセラミックコンデンサで

デュアル、65Msps、14ビット、 IF/ベースバンドADC

V_{DD}をGNDにバイパスしてください。少なくとも1個の10μF、1個の4.7μF、および1個の0.1μFのセラミックコンデンサと並列接続した220μFのセラミックコンデンサでOV_{DD}をGNDにバイパスしてください。高周波のバイパス/デカップリングコンデンサは、コンバータの電源端子にできる限り近接して配置しなければなりません。

広いグランドプレーンと電源プレーンを備える多層基板は、最高レベルの信号完全性を実現します。MAX12557のすべてのグランドと裏側エクスポートパッドは、同じグランドプレーンに接続する必要があります。MAX12557では、低インダクタンスのグランド接続を裏面エクスポートパッドの接続に依存します。このグランドプレーンは、DSPまたは出力バッファグランドなどのノイズの多いデジタルシステムのグランドプレーンから分離してください。

高速デジタル信号トレースは、敏感なアナログトレースから離して配線してください。すべての信号ラインは短くして、直角に曲げないでください。

差動アナログ入力回路のレイアウトを対称にして、すべての寄生成分を均等に平衡させてください。対称的な入力レイアウト例については、MAX12557のEVキットのデータシートを参照してください。

パラメータ定義

Integral Nonlinearity(INL)(積分非直線性)

INLは、実際の伝達関数値に対する直線からのずれです。MAX12557の場合は、この直線は、オフセット誤差と利得誤差をゼロにした後の伝達関数の両端点を結んだ直線です。INLのずれは伝達関数のすべてのステップで測定され、ワーストケースの偏差は「Electrical Characteristics(電気的特性)」に示されています

Differential Nonlinearity(DNL)(微分非直線性)

DNLは、実際のステップ幅と1 LSBの理想値との差です。1 LSB以下のDNL誤差の規格は、ミッシングコードのない単調伝達関数を保証しています。MAX12557の場合は、DNLのずれは伝達関数のすべてのステップで測定され、ワーストケースの偏差は「Electrical Characteristics(電気的特性)」に示されています

Offset Error(オフセット誤差)

オフセット誤差は、実際の伝達関数がシングルポイントでどの程度正しく理想的な伝達関数と一致しているかを示す性能指数です。理想的には、ミッドスケールのMAX12557の遷移は、ミッドスケールから0.5 LSB上回った点で発生します。オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点との偏差の大きさです。

Gain Error(利得誤差)

利得誤差は、実際の伝達関数のスロープが理想的な伝達関数のスロープとどの程度良好に一致しているかを示す性能指数です。実際の伝達関数のスロープは、2つのデータ点間、すなわち正のフルスケールと負のフルスケールの間で測定されます。理想的には、MAX12557の正のフルスケール遷移は正のフルスケールよりも1.5 LSBだけ下で発生し、負のフルスケール遷移は負のフルスケールよりも0.5 LSBだけ上で発生します。利得誤差は、測定された各遷移点の差から理想的な遷移点の差を差し引いた値です。

Small-Signal Noise Floor(SSNF)(小信号ノイズフロア)

SSNFは、小信号入力に対するナイキスト帯域内の総合的なノイズと歪みパワーです。DCオフセットは、このノイズ計算から除外されます。このコンバータの場合、小信号は振幅が-35dBFSのシングルトーンとして定義されます。このパラメータはデータコンバータの熱雑音と量子化ノイズ特性を含み、このパラメータを使ってデジタルレシーバ信号経路の総合ノイズ指数を算出するために使用することができます。

Signal-to-Noise Ratio(SNR)(信号対ノイズ比)

デジタルサンプルから完全に再生された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比です。理想的な理論上の最小アナログ-デジタルノイズは量子化誤差のみに起因し、ADCの分解能(Nビット)から次式によって直接的求められます：

$$\text{SNR}_{[\text{max}]} = 6.02 \times N + 1.76$$

実際には、量子化ノイズのほかに、熱雑音、リファレンスノイズ、クロックジッタなどのその他のノイズ源があります。SNRは、RMS信号の、RMSノイズに対する比を取ることで求められます。RMSノイズには、基本波、先頭から6つの高調波(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

$$\text{SNR} = 20 \times \log(\text{SIGNAL}_{\text{RMS}} / \text{NOISE}_{\text{RMS}})$$

Signal-to-Noise Plus Distortion(SINAD)(信号対ノイズ + 歪み)

SINADを算出するには、RMS信号の、RMSノイズ+歪みに対する比を取ります。RMSノイズ+歪みには、基本波とDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

デュアル、65Msps、14ビット、IF/ベースバンドADC

MAX12557

Total Harmonic Distortion(THD)(全高調波歪み)

THDは、入力信号の先頭から6つの高調波のRMS合計の、基本波そのものに対する比です。これは、次式のように表されます。

$$THD = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_7$ は2次～7次(HD2～HD7)の高調波の振幅です。

Spurious-Free Dynamic Range(SFDR) (スプリアスフリーのダイナミックレンジ)

SFDRは、基本波(最大信号成分)のRMS振幅の、DCオフセットを除く2番目に大きいスプリアス成分のRMS値に対する比で、デシベル単位で表わされます。

Intermodulation Distortion(IMD)(相互変調歪み)

IMDは、2つの入力トーン f_{IN1} と f_{IN2} の総入力パワーに対する、ナイキスト周波数までのIM2～IM5の相互変調積の全パワーの比です。各入力トーンレベルは、-7dBFSです。相互変調積は、次のとおりです：

2nd-Order Intermodulation products(IM2)

(2次の相互変調積)：

$$f_{IN1} + f_{IN2}, f_{IN2} - f_{IN1}$$

3rd-Order Intermodulation products(IM3)

(3次の相互変調積)

$$2 \times f_{IN1} - f_{IN2}, 2 \times f_{IN2} - f_{IN1}, 2 \times f_{IN1} + f_{IN2}, \\ 2 \times f_{IN2} + f_{IN1}$$

4th-Order Intermodulation products(IM4)

(4次の相互変調積)：

$$3 \times f_{IN1} - f_{IN2}, 3 \times f_{IN2} - f_{IN1}, 3 \times f_{IN1} + f_{IN2}, \\ 3 \times f_{IN2} + f_{IN1}, 2 \times f_{IN1} - 2 \times f_{IN2}, 2 \times f_{IN1} + 2 \times f_{IN2}, \\ 2 \times f_{IN2} - 2 \times f_{IN1}$$

5th-Order Intermodulation products(IM5)

(5次の相互変調積)：

$$3 \times f_{IN1} - 2 \times f_{IN2}, 3 \times f_{IN2} - 2 \times f_{IN1}, 3 \times f_{IN1} \\ + 2 \times f_{IN2}, 3 \times f_{IN2} + 2 \times f_{IN1}, 4 \times f_{IN1} - f_{IN2}, \\ 4 \times f_{IN2} - f_{IN1}, 4 \times f_{IN1} + f_{IN2}, 4 \times f_{IN2} + f_{IN1}$$

3rd-Order Intermodulation(IM3)(3次相互変調)

IM3は、2つの入力トーン f_{IN1} と f_{IN2} の全入力パワーに対するナイキスト周波数までの3次相互変調積の全パワーの比です。各入力トーンレベルは、-7dBFSの値です。3次相互変調積は、 $2 \times f_{IN1} - f_{IN2}$ 、 $2 \times f_{IN2} - f_{IN1}$ 、 $2 \times f_{IN1} + f_{IN2}$ 、 $2 \times f_{IN2} + f_{IN1}$ です。

Aperture Jitter(アパーチャジッタ)

図14はアパーチャジッタ(t_{AJ})を示しています。このジッタはアパーチャ遅延におけるサンプル間の変動です。

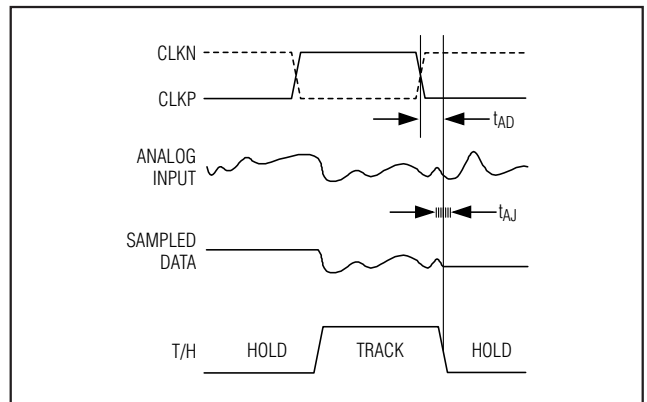


図14. T/Hアパーチャタイミング

Aperture Delay(アパーチャ遅延)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプル取得時点までの時間として定義されます(図14)。

Full-Power Bandwidth(フルパワー帯域幅)

-0.2dBFSの大きいアナログ入力信号がADCに印加され、入力周波数はデジタル変換結果の振幅が-3dB減少する点まで掃引されます。この点が、フルパワー入力帯域幅周波数として定義されます。

Output Noise(n_{OUT})(出力ノイズ)

出力ノイズ(n_{OUT})パラメータは熱雑音と量子化ノイズに類似し、コンバータの総合ノイズ性能を示しています。

基本波入力トーンは、 n_{OUT} の試験に使用されません。IN_P、IN_N、およびCOM_が相互に接続され、1024kのデータ点が収集されます。 n_{OUT} は、平均値を除外した後、収集されたデータ点のRMS値を求めることによって算出されます。

Overdrive Recovery Time(オーバードライブ回復時間)

オーバードライブ回復時間は、フルスケール限界値を超える入力トランジェントからADCが回復するのに要する時間です。MAX12557では、フルスケール限界値を±10%だけ超える入力トランジェントを使用してオーバードライブ回復時間を規定しています。MAX12557では、オーバードライブ状態から回復するのに1クロックサイクルが必要です。

Crosstalk(クロストーク)

隣接する干渉チャンネルがフルスケール信号によって駆動されている場合に、1つの(-0.5dBFS)信号によって駆動されている1つのチャンネルに生じる結合。測定には、直接結合成分と混合成分の両方に起因するすべての妨害が含まれます。

デュアル、65Msps、14ビット、 IF/ベースバンドADC

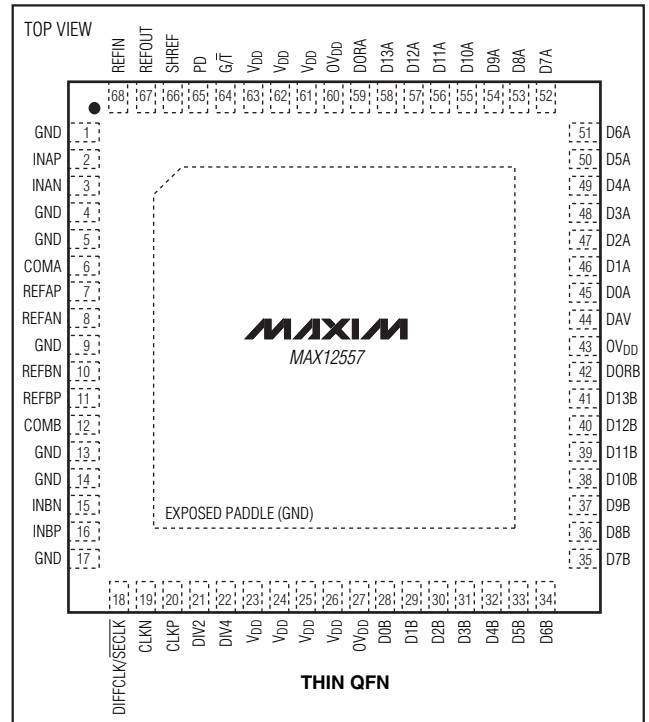
Gain Matching(利得マッチング)

利得マッチングは、2チャンネル間で利得が互いにどの程度良好に一致しているかを示す性能指数です。同じ入力信号が両チャンネルに印加され、利得の最大のずれが利得マッチングとして(通常、dB単位で)示されます。

Offset Matching(オフセットマッチング)

利得マッチングと同様に、オフセットマッチングは2チャンネル間でオフセットが互いにどの程度良好に一致しているかを示す性能指数です。同じ入力信号が両チャンネルに印加され、オフセットの最大のずれがオフセットマッチングとして(通常、%FSR単位で)示されます。

ピン配置



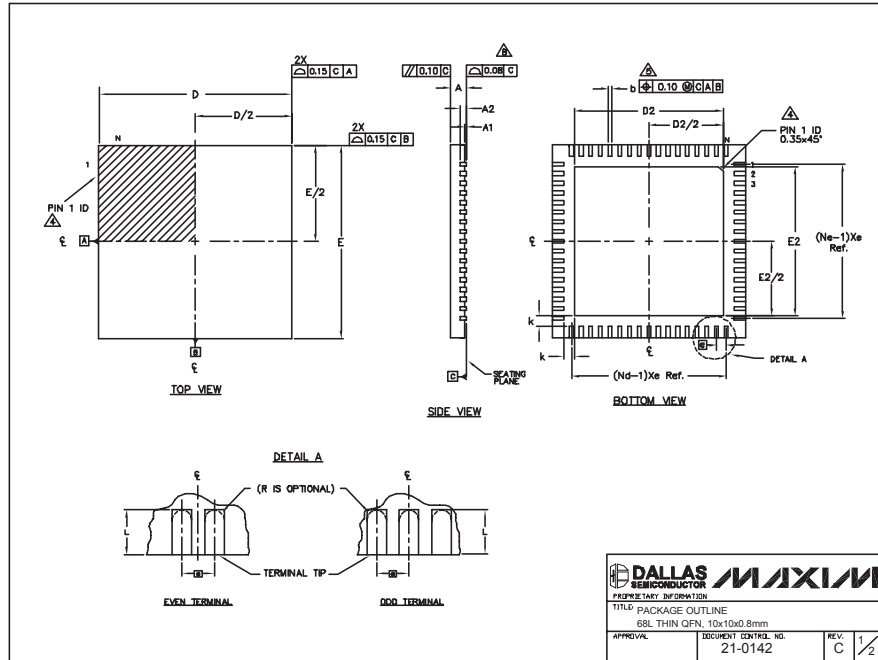
MAX12557

デュアル、65Msps、14ビット、 IF/ベースバンドADC

MAX12557

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



PKG REF.	MIN.	NDM.	MAX.	N	D	E
A	0.70	0.75	0.80			
A1	0.00	0.01	0.05			
A2	0.20 REF					
b	0.20	0.25	0.30			
D	9.90	10.00	10.10			
E	9.90	10.00	10.10			
e	0.50 BSC.					
k	0.25	-	-			
L	0.45	0.55	0.65			
N	68					
ND	17					
NE	17					
JEDEC	WNNB-2					

PKG CODE	D2			E2			DOWN BENDS ALLOWED
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	
T6800-1	7.60	7.70	7.80	7.60	7.70	7.80	NO
T6800-2	7.60	7.70	7.80	7.60	7.70	7.80	YES
T6800-3	7.60	7.70	7.80	7.60	7.70	7.80	NO
T6800-4	7.60	7.70	7.80	7.60	7.70	7.80	YES

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 85-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO-220.
- WARPAGE SHALL NOT EXCEED 0.10mm.

DALLAS SEMICONDUCTOR		MAXIM	
TITLE: PACKAGE OUTLINE			
68L THIN OFN, 10x10x0.8mm			
APPROVAL	DOCUMENT CONTROL NO.	REV.	2/2
	21-0142	C	

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

28 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2005 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.