

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

## 概要

MAX1248/MAX1249は、4チャンネルマルチプレクサ、高帯域幅トラック/ホールド、及びシリアルインタフェースに高変換速度及び低消費電力の特性を加えた10ビットデータ収集システムです。+2.7V ~ +5.25Vの単一電源で動作し、アナログ入力はソフトウェアの設定により、ユニポーラ/バイポーラ及びシングルエンド/差動動作が可能です。

4線シリアルインタフェースは、外部ロジックを使用せずに直接SPI™、QSPI™及びMICROWIRE™機器に接続できます。シリアルストローブ出力により、TMS320ファミリのデジタル信号プロセッサに直接接続できます。MAX1248/MAX1249は外部リファレンスを必要とし、内部クロック又は外部シリアルインタフェースクロックを用いることで、逐次比較型のアナログ/デジタル変換を行います。

MAX1248は内部2.5Vリファレンスを備えています。MAX1249は外部リファレンスを必要とします。いずれも電圧調節範囲 $\pm 1.5\%$ のリファレンスパッファンプを備えています。

本製品はハード配線されたSHDNピン及びソフトウェア選択によるパワーダウン機能を備えており、また変換後自動的にシャットダウンするようにプログラムできます。MAX1248/MAX1249は、シリアルインタフェースにアクセスすると自動的にパワーアップし、ターンオンが速いために変換と変換の間のシャットダウンが可能となります。このため、サンプリングレートが低い場合には消費電流を60 $\mu$ A以下に抑えることができます。

MAX1248/MAX1249は、16ピンDIPパッケージ、及び8ピンSOPと同面積の超小型QSOPパッケージで供給されています。

本製品の8チャンネルバージョンについては、MAX148/MAX149のデータシートを参照してください。

## アプリケーション

ポータブルデータロギング	データ収集
医療機器	バッテリー駆動機器
ペン入力機器	システム監視

*Pin Configuration appears at end of data sheet.*

SPI及びQSPIは、Motorola, Inc.の商標です。  
MICROWIREは、National Semiconductor Corp.の商標です。

## 特長

- ◆ 入力：4チャンネルシングルエンド又は2チャンネル差動
- ◆ 電源：+2.7V ~ +5.25V単一
- ◆ 内部2.5Vリファレンス(MAX1248)
- ◆ 低電力：1.2mA(133ksps、+3V電源)  
54 $\mu$ A(1ksps、+3V電源)  
1 $\mu$ A(パワーダウンモード)
- ◆ 4線シリアルインタフェース：  
SPI/QSPI/MICROWIRE/TMS320コンパチブル
- ◆ ユニポーラ又はバイポーラ入力：  
ソフトウェアで設定
- ◆ パッケージ：16ピンQSOP(8ピンSOPと同面積)

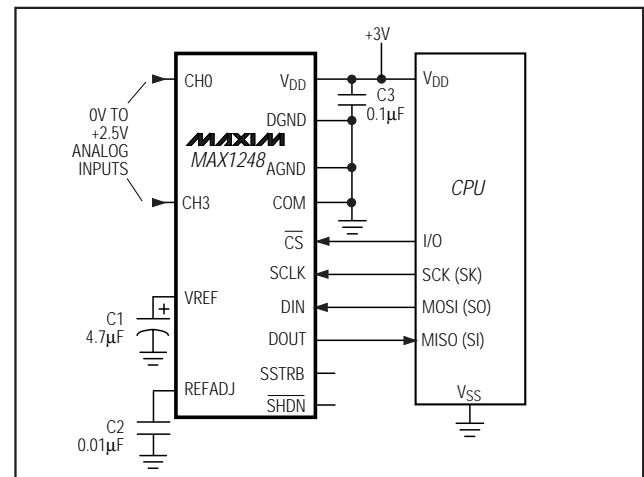
## 型番

PART†	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1248ACPE	0°C to +70°C	16 Plastic DIP	$\pm 1/2$
MAX1248BCPE	0°C to +70°C	16 Plastic DIP	$\pm 1$
MAX1248ACEE	0°C to +70°C	16 QSOP	$\pm 1/2$
MAX1248BCEE	0°C to +70°C	16 QSOP	$\pm 1$

**Ordering Information continued at end of data sheet.**

† Contact factory for availability of alternate surface-mount packages.

## 標準動作回路



# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND, DGND .....	-0.3V to +6V	QSOP (derate 8.30mW/°C above +70°C) .....	667mW
AGND to DGND .....	-0.3V to +0.3V	CERDIP (derate 10.00mW/°C above +70°C) .....	800mW
CH0-CH3, COM to AGND, DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	Operating Temperature Ranges	
VREF to AGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	MAX1248_C_E/MAX1249_C_E .....	0°C to +70°C
Digital Inputs to DGND .....	-0.3V to +6V	MAX1248_E_E/MAX1249_E_E .....	-40°C to +85°C
Digital Outputs to DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	MAX1248_MJE/MAX1249_MJE .....	-55°C to +125°C
Digital Output Sink Current .....	25mA	Storage Temperature Range .....	-60°C to +150°C
Continuous Power Dissipation (T <sub>A</sub> = +70°C)		Lead Temperature (soldering, 10sec) .....	+300°C
Plastic DIP (derate 10.53mW/°C above +70°C) .....	842mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +5.25V; COM = 0V; f<sub>SCLK</sub> = 2.0MHz; external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX1248—4.7μF capacitor at VREF pin; MAX1249—external reference, VREF = 2.500V applied to VREF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution			10			Bits
Relative Accuracy (Note 2)	INL	MAX124_A			±0.5	LSB
		MAX124_B			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		MAX124_A			±1	LSB
		MAX124_B			±2	
Gain Error (Note 3)		MAX124_A			±1	LSB
		MAX124_B			±2	
Gain Temperature Coefficient				±0.25		ppm/°C
Channel-to-Channel Offset Matching				±0.05		LSB
<b>DYNAMIC SPECIFICATIONS</b> (10kHz sine-wave input, 0V to 2.500Vp-p, 133ksps, 2.0MHz external clock, bipolar input mode)						
Signal-to-Noise + Distortion Ratio	SINAD			66		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-70		dB
Spurious-Free Dynamic Range	SFDR			70		dB
Channel-to-Channel Crosstalk		65kHz, 2.500Vp-p (Note 4)		-75		dB
Small-Signal Bandwidth		-3dB rolloff		2.25		MHz
Full-Power Bandwidth				1.0		MHz
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>	Internal clock, $\overline{\text{SHDN}} = \text{FLOAT}$	5.5		7.5	μs
		Internal clock, $\overline{\text{SHDN}} = \text{VDD}$	35		65	
		External clock = 2MHz, 12 clocks/conversion	6			
Track/Hold Acquisition Time	t <sub>ACQ</sub>				1.5	μs
Aperture Delay				30		ns
Aperture Jitter				<50		ps
Internal Clock Frequency		$\overline{\text{SHDN}} = \text{FLOAT}$		1.8		MHz
		$\overline{\text{SHDN}} = \text{VDD}$		0.225		
External Clock Frequency			0.1		2.0	MHz
		Data transfer only	0		2.0	

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+5.25V$ ;  $COM = 0V$ ;  $f_{SCLK} = 2.0MHz$ ; external clock (50% duty cycle); 15 clocks/conversion cycle (133ksp/s); MAX1248— $4.7\mu F$  capacitor at VREF pin; MAX1249—external reference, VREF = 2.500V applied to VREF pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG/COM INPUTS</b>						
Input Voltage Range, Single-Ended and Differential (Note 6)		Unipolar, $COM = 0V$	0 to VREF			V
		Bipolar, $COM = VREF / 2$	$\pm VREF / 2$			
Multiplexer Leakage Current		On/off leakage current, $V_{CH\_} = 0V$ or $V_{DD}$	$\pm 0.01$		$\pm 1$	$\mu A$
Input Capacitance				16		pF
<b>INTERNAL REFERENCE (MAX1248 only, reference buffer enabled)</b>						
VREF Output Voltage		$T_A = +25^\circ C$ (Note 7)	2.470	2.500	2.530	V
VREF Short-Circuit Current					30	mA
VREF Temperature Coefficient		MAX1248		$\pm 30$		ppm/ $^\circ C$
Load Regulation (Note 8)		0mA to 0.2mA output load		0.35		mV
Capacitive Bypass at VREF		Internal compensation mode	0			$\mu F$
		External compensation mode	4.7			
Capacitive Bypass at REFADJ			0.01			$\mu F$
REFADJ Adjustment Range			$\pm 1.5$			%
<b>EXTERNAL REFERENCE AT VREF (Buffer disabled)</b>						
VREF Input Voltage Range (Note 9)			1.0		$V_{DD} + 50mV$	V
VREF Input Current		VREF = 2.500V		100	150	$\mu A$
VREF Input Resistance			18	25		k $\Omega$
Shutdown VREF Input Current				0.01	10	$\mu A$
REFADJ Buffer-Disable Threshold			$V_{DD} - 0.5$			V
<b>EXTERNAL REFERENCE AT REFADJ</b>						
Capacitive Bypass at VREF		Internal compensation mode	0			$\mu F$
		External compensation mode	4.7			
Reference-Buffer Gain		MAX1248	2.06			V/V
		MAX1249	2.00			
REFADJ Input Current		MAX1248	$\pm 50$			$\mu A$
		MAX1249	$\pm 10$			
<b>DIGITAL INPUTS (DIN, SCLK, <math>\overline{CS}</math>, SHDN)</b>						
DIN, SCLK, $\overline{CS}$ Input High Voltage	$V_{IH}$	$V_{DD} \leq 3.6V$	2.0			V
		$V_{DD} > 3.6V$	3.0			
DIN, SCLK, $\overline{CS}$ Input Low Voltage	$V_{IL}$				0.8	V
DIN, SCLK, $\overline{CS}$ Input Hysteresis	$V_{HYST}$			0.2		V
DIN, SCLK, $\overline{CS}$ Input Leakage	$I_{IN}$	$V_{IN} = 0V$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
DIN, SCLK, $\overline{CS}$ Input Capacitance	$C_{IN}$	(Note 10)			15	pF
$\overline{SHDN}$ Input High Voltage	$V_{SH}$		$V_{DD} - 0.4$			V
$\overline{SHDN}$ Input Mid Voltage	$V_{SM}$		1.1		$V_{DD} - 1.1$	V
$\overline{SHDN}$ Input Low Voltage	$V_{SL}$				0.4	V
$\overline{SHDN}$ Input Current	$I_S$	$\overline{SHDN} = 0V$ or $V_{DD}$			$\pm 4.0$	$\mu A$

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+5.25V$ ;  $COM = 0V$ ;  $f_{SCLK} = 2.0MHz$ , external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX1248—4.7 $\mu F$  capacitor at VREF pin; MAX1249—external reference; VREF = 2.500V applied to VREF pin,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SHDN Voltage, Floating	$V_{FLT}$	$\overline{SHDN} = \text{FLOAT}$	$V_{DD} / 2$			V
SHDN Maximum Allowed Leakage, Mid Input		$\overline{SHDN} = \text{FLOAT}$	$\pm 100$			nA
<b>DIGITAL OUTPUTS (DOUT, SSTRB)</b>						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$	0.4			V
		$I_{SINK} = 16mA$	0.8			
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$	$\pm 0.01$	$\pm 10$		$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$ (Note 10)	15			pF
<b>POWER REQUIREMENTS</b>						
Positive Supply Voltage	$V_{DD}$		2.70		5.25	V
Positive Supply Current	$I_{DD}$	Operating mode, full-scale input (Note 11)	$V_{DD} = 5.25V$	1.6	3.0	mA
			$V_{DD} = 3.6V$	1.2	2.0	
	$I_{DD}$	Full power-down	$V_{DD} = 5.25V$	3.5	15	$\mu A$
			$V_{DD} = 3.6V$	1.2	10	
	$I_{DD}$	Fast power-down (MAX1248)		30	70	
Supply Rejection (Note 12)	PSR	$V_{DD} = 2.7V$ to $5.25V$ , full-scale input, external reference = 2.500V	$\pm 0.3$			mV

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

## TIMING CHARACTERISTICS

( $V_{DD} = +2.7V$  to  $+5.25V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Acquisition Time	$t_{ACQ}$			1.5			$\mu s$
DIN to SCLK Setup	$t_{DS}$			100			ns
DIN to SCLK Hold	$t_{DH}$					0	ns
SCLK Fall to Output Data Valid	$t_{DO}$	Figure 1	MAX124__C/E	20		200	ns
			MAX124__M	20		240	
$\overline{CS}$ Fall to Output Enable	$t_{DV}$	Figure 1				240	ns
$\overline{CS}$ Rise to Output Disable	$t_{TR}$	Figure 2				240	ns
$\overline{CS}$ to SCLK Rise Setup	$t_{CSS}$			100			ns
$\overline{CS}$ to SCLK Rise Hold	$t_{CSH}$			0			ns
SCLK Pulse Width High	$t_{CH}$			200			ns
SCLK Pulse Width Low	$t_{CL}$			200			ns
SCLK Fall to SSTRB	$t_{SSTRB}$	Figure 1				240	ns
$\overline{CS}$ Fall to SSTRB Output Enable	$t_{SDV}$	External clock mode only, Figure 1				240	ns
$\overline{CS}$ Rise to SSTRB Output Disable	$t_{STR}$	External clock mode only, Figure 2				240	ns
SSTRB Rise to SCLK Rise	$t_{SCK}$	Internal clock mode only (Note 10)		0			ns

**Note 1:** Tested at  $V_{DD} = 2.7V$ ;  $COM = 0V$ ; unipolar single-ended input mode.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

**Note 3:** MAX1248—internal reference, offset nulled; MAX1249—external reference ( $V_{REF} = +2.500V$ ), offset nulled.

**Note 4:** Ground "on" channel; sine wave applied to all "off" channels.

**Note 5:** Conversion time defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

**Note 6:** The common-mode range for the analog inputs is from AGND to  $V_{DD}$ .

**Note 7:** Sample tested to 0.1% AQL.

**Note 8:** External load should not change during conversion for specified accuracy.

**Note 9:** ADC performance is limited by the converter's noise floor, typically  $300\mu V_{p-p}$ .

**Note 10:** Guaranteed by design. Not subject to production testing.

**Note 11:** The MAX1249 typically draws  $400\mu A$  less than the values shown.

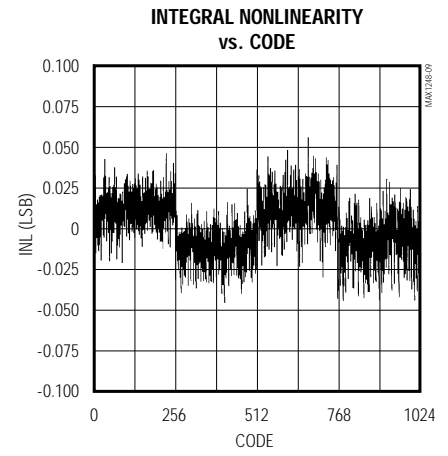
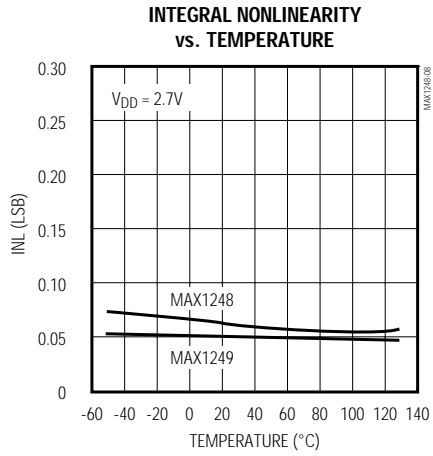
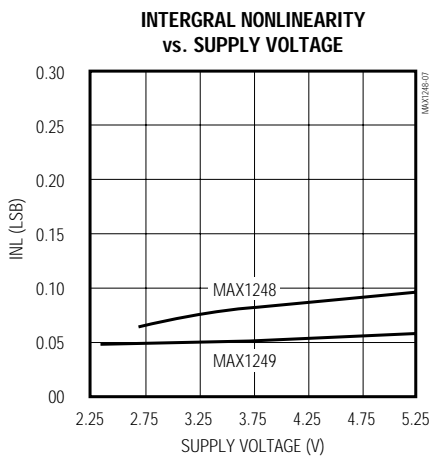
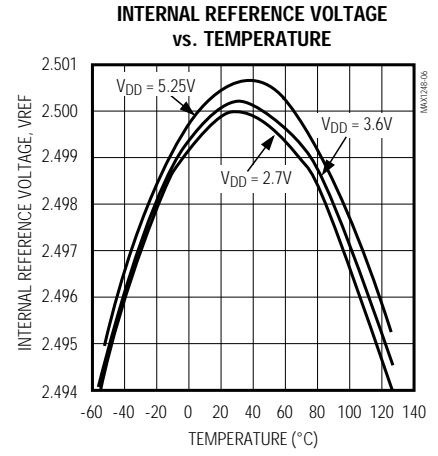
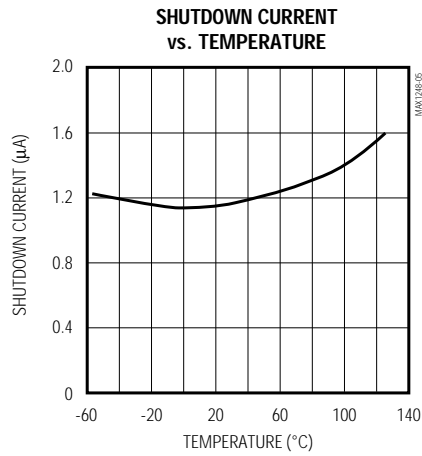
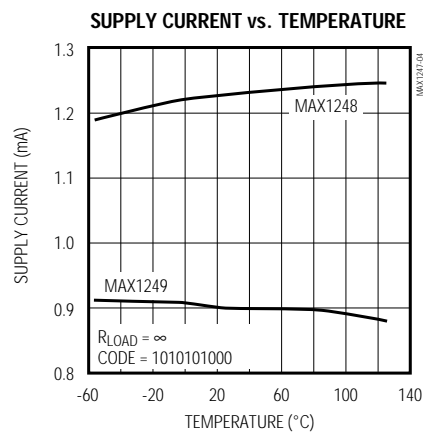
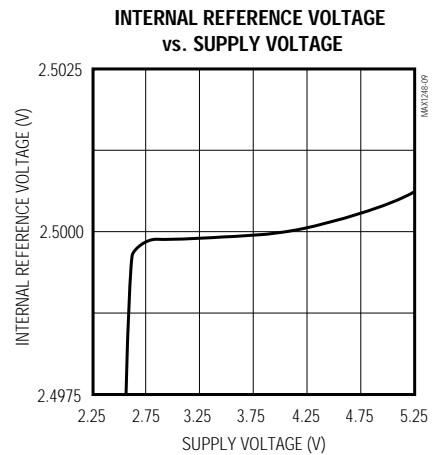
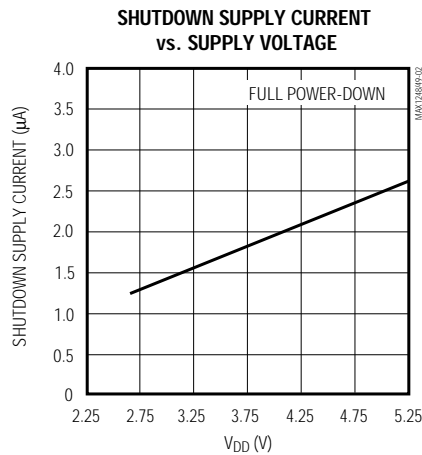
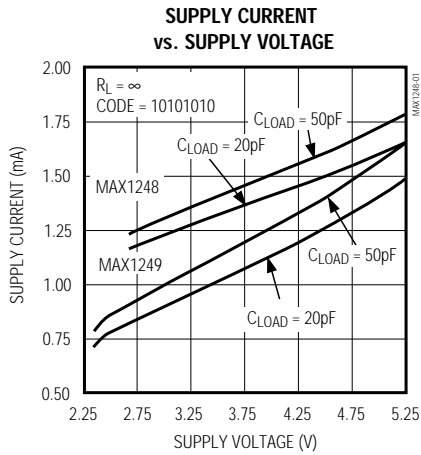
**Note 12:** Measured as  $[V_{FS}(2.7V) - V_{FS}(5.25V)]$ .

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

## 標準動作特性

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.500V$ ,  $f_{SCLK} = 2.0MHz$ ,  $C_{LOAD} = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

## 端子説明

端子	名称	機能
1	V <sub>DD</sub>	正電源電圧
2-5	CH0-CH3	サンプリングアナログ入力
6	COM	アナログ入力のグランドリファレンス。シングルエンドモードでのゼロコード電圧を設定します。 ±0.5LSBの安定性が重要です。
7	$\overline{\text{SHDN}}$	3レベルシャットダウン入力。 $\overline{\text{SHDN}}$ をローにするとMAX1248/MAX1249はシャットダウンします。 それ以外の場合は、完全動作状態です。 $\overline{\text{SHDN}}$ をハイに引き上げると、リファレンスバッファアンプが 内部補償モードになります。 $\overline{\text{SHDN}}$ をフローティングにすると、リファレンスバッファアンプが外部 補償モードになります。
8	VREF	リファレンスバッファ出力/ADCリファレンス入力。アナログデジタル変換用の基準電圧です。内部 リファレンスモード(MAX1248のみ)の場合、リファレンスバッファは2.500Vの公称電圧を提供し、 REFADJで外部から調節できます。外部リファレンスモードではREFADJをV <sub>DD</sub> に接続することにより、 内部バッファをディセーブルしてください。
9	REFADJ	リファレンスバッファアンプへの入力。リファレンスバッファアンプをディセーブルするには、REFADJをV <sub>DD</sub> に接続してください。
10	AGND	アナロググランド
11	DGND	デジタルグランド
12	DOUT	シリアルデータ出力。データは、SCLKの立下がりエッジでクロック出力されます。 $\overline{\text{CS}}$ がハイのときハイインピーダンスになります。
13	SSTRB	シリアルストローブ出力。内部クロックモードでは、SSTRBはMAX1248/MAX1249がA/D変換を開始 したときにローになり、変換終了時にハイになります。外部クロックモードでは、SSTRBはMSBの決定 前に1クロックサイクルだけパルス的にハイになります。 $\overline{\text{CS}}$ がハイ(外部クロックモード)のときは、ハイ インピーダンスになります。
14	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロック入力されます。
15	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローでない限り、データはDINにクロック入力されません。 $\overline{\text{CS}}$ ハイのとき、DOUTはハイインピーダンスになります。
16	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロック入力又は出力します。外部クロック モードではSCLKは変換速度も設定します。(デューティサイクルは、40% ~ 60%でなければなりません。)

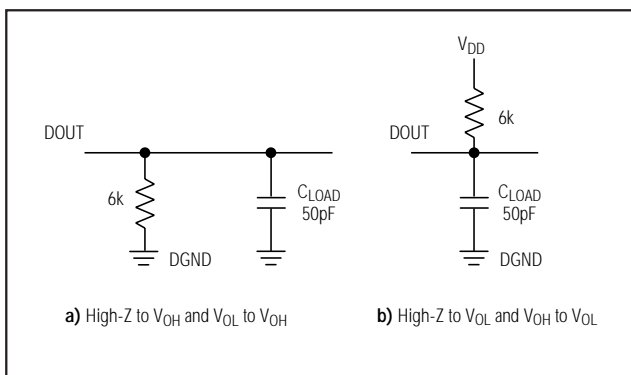


図1. イネーブル時間用の負荷回路

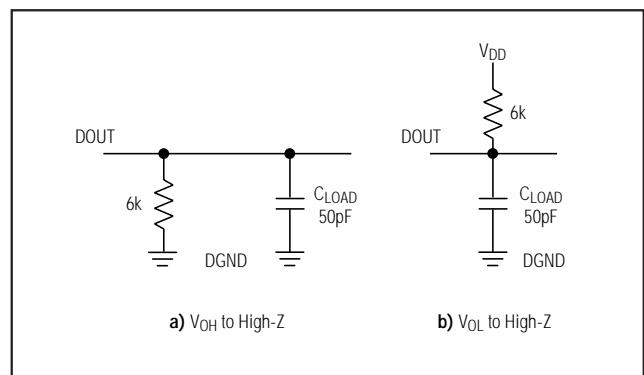


図2. ディセーブル時間用の負荷回路

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

## 詳細

MAX1248/MAX1249アナログ/デジタルコンバータ(ADC)は、逐次比較型の変換技法及び入力トラック/ホールド(T/H)回路を用いることで、アナログ信号を10ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースがマイクロプロセッサ( $\mu$ P)とのインタフェースを容易にしています。図3にMAX1248/MAX1249のブロック図を示します。

## 疑似差動入力

このADCのアナログコンパレータのサンプリング構造は、等価入力回路(図4)に図解されています。シングルエンドモードでは、IN+は内部でCH0~CH3にスイッチングされ、IN-はCOMにスイッチングされます。差動モードでは、IN+及びIN-はCH0/CH1及びCH2/CH3の2つの組み合わせから選択されます。チャンネルの設定は、表2及び表3を参考に行ってください。MAX1248/MAX1249のCH0~CH3のコードは8チャンネル(MAX1248/MAX1249)のCH2~CH5のコードに対応します。

差動モードでは、IN-及びIN+は内部でアナログ入力のどちらかにスイッチングされます。この構成ではIN+における信号だけがサンプリングされるため、この構成を疑似差動と呼んでいます。リターン側(IN-)は変換中、AGNDに対して $\pm 0.5$ LSB(ベストの結果を得るためには $\pm 0.1$ LSB)以内で安定していなければなりません。これを実現するためには、IN-(選択されたアナログ入力)とAGNDの間に $0.1\mu\text{F}$ のコンデンサを接続してください。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルがコンデンサ $C_{\text{HOLD}}$ を充電します。アキュイ

ジョン期間は3 SCLKサイクル間だけ続き、入力制御ワードの最後のビットが入力された後にSCLKの立下がりエッジで完了します。アキュイジョン期間の終了時にT/Hスイッチが開き、 $C_{\text{HOLD}}$ の電荷をIN+の信号のサンプルとして保持します。

変換期間は、入力マルチプレクサが $C_{\text{HOLD}}$ を正入力(IN+)から負入力(IN-)にスイッチングしたときから始まります。IN-はシングルエンドモードではCOMです。このため、コンパレータの入力でのノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを10ビット分解能の制限範囲で0Vに調節します。この動作は、 $16\text{pF} \times [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷を $C_{\text{HOLD}}$ からバイナリ重み付の容量性DACに移す場合と等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

## トラック/ホールド

T/Hは、8ビット制御ワードの5番目のビットがシフトインされた後の立下がりクロックエッジでトラッキングモードに入り、制御ワードの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合はIN-がCOMに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合はIN-が「-」入りに接続され、IN+・IN-の差がサンプリングされます。変換完了時に正入力(+)が再びIN+に接続され、 $C_{\text{HOLD}}$ は入力信号電圧まで充電されます。

T/Hが入力信号を取込むのに要する時間は、入力容量が充電される速さの関数になっています。入力信号の

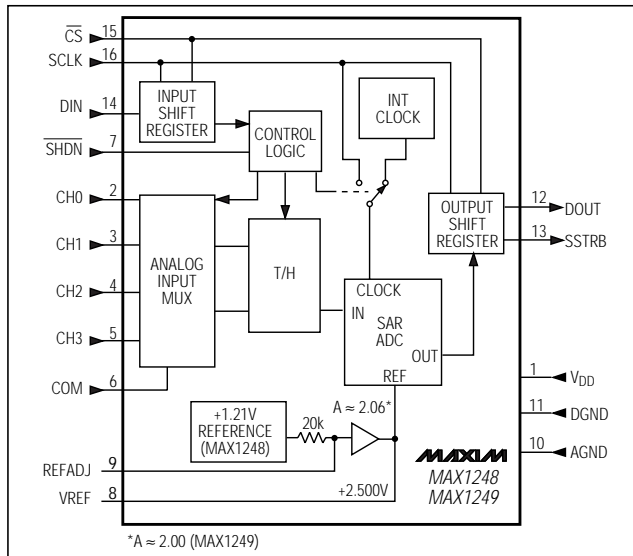


図3. ブロック図

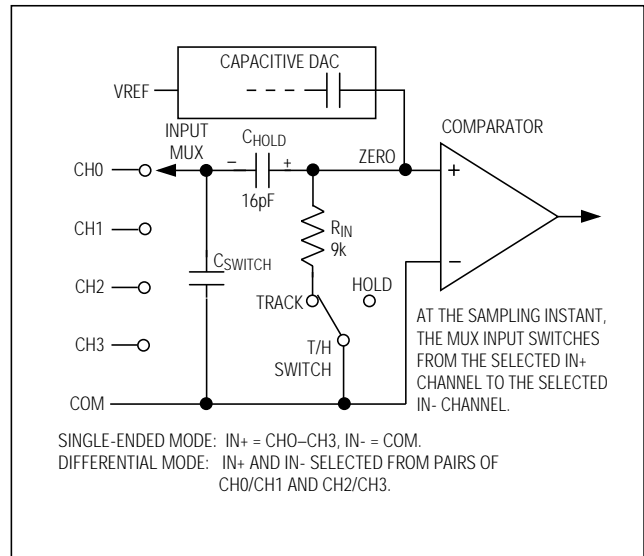


図4. 等価入力回路



# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

表1. 制御バイトフォーマット

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0
ビット	名称	内 容					
7(MSB)	START	CSがローになった後の最初のロジック「1」が制御バイトの始まりになります。					
6 5 4	SEL2 SEL1 SEL0	これら3つのビットにより、4つのチャンネルの内のどれを変換に用いるかを選択します(表2及び3)。					
3	UNI/BIP	1 = ユニポーラ、0 = バイポーラ。変換がユニポーラモードかバイポーラモードかを選択します。ユニポーラモードでは、0V ~ VREFのアナログ入力信号が変換できます。バイポーラモードでは、信号範囲は-VREF/2 ~ +VREF/2が可能です。					
2	SGL/DIF	1 = シングルエンド、0 = 差動。変換がシングルエンドか差動かを選択します。シングルエンドモードの入力信号電圧は、COMを基準としています。差動モードでは、2つのチャンネル間の電圧差が測定されます(表2及び3)。					
1 0(LSB)	PD1 PD0	クロック、及びパワーダウンモードを選択します。 PD1            PD0            モード 0                0                フルパワーダウン 0                1                高速パワーダウン(MAX1248のみ) 1                0                内部クロックモード 1                1                外部クロックモード					

ソースインピーダンスが高いとアキュイジション時間が長くなるため、変換と変換の間の時間を長くしなければなりません。アキュイジション時間 $t_{ACQ}$ は素子が信号を取込むのに要する最大時間であり、信号の取込みに要する最低時間でもあります。 $t_{ACQ}$ は次式で計算されます。

$$t_{ACQ} = 7.6 \times (R_S + R_{IN}) \times 16\text{pF}$$

ここで、 $R_{IN} = 9\text{k}$ 、 $R_S$  = 入力信号のソースインピーダンス、そして $t_{ACQ}$ は必ず $1.5\mu\text{s}$ 以上です。ソースインピーダンスが $3\text{k}$ 以下であれば、ADCのAC性能に大きな影響はありません。

個別のアナログ入力に $0.01\mu\text{F}$ のコンデンサを接続した場合には、これより高いソースインピーダンスも可能です。入力コンデンサと入力ソースインピーダンスによってRCフィルタが形成されるため、ADCの信号帯域幅が制限されることに注意してください。

### 入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は $2.25\text{MHz}$ であるため、アンダーサンプリング技法を用いることで、帯域幅がADCのサンプリングレート以上である周期信号を測定し、高速トランジェント現象を数値化することができます。高周波信号が、計測したい周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

### アナログ入力保護

内部保護ダイオードがアナログ入力を $V_{DD}$ およびAGNDにクランプしているため、チャンネル入力ピンは $(AGND - 0.3\text{V}) \sim (V_{DD} + 0.3\text{V})$ の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うためには、入力が $V_{DD}$ を $50\text{mV}$ 以上超えてはならず、またAGNDを $50\text{mV}$ 以上下回らないようにします。

アナログ入力が電源を $50\text{mV}$ 以上超えた場合、オフチャンネルの保護ダイオードに $4\text{mA}$ 以上の順方向バイアスをかけないでください。

### 変換開始方法

変換は制御バイトをDINにクロックインすることで始まります。CSがローの場合、SCLKクロックの各立上がりエッジ毎に、DINからMAX1248/MAX1249の内部シフトレジスタへと1ビットずつクロックインされます。CSが下がった後で最初に来たロジック「1」のビットが、制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロックインされたとしても一切影響はIN-及びIN+はありません。表1に制御バイトのフォーマットを示します。

MAX1248/MAX1249は、SPI、QSPI及びMICROWIRE機器とコンパチブルです。SPIの場合は、SPI制御レジ

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

表2. シングルエンドモードでのチャンネル選択(SGL/DIF = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	1	+				-
1	0	1		+			-
0	1	0			+		-
1	1	0				+	-

表3. 差動モードでのチャンネル選択(SGL/DIF = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	1	+	-		
0	1	0			+	-
1	0	1	-	+		
1	1	0			-	+

スタで正しいクロック極性とサンプリングエッジを選択してください。(CPOL = 0 及び CPHA = 0 に設定します)。MICROWIRE、SPI、及びQSPIはいずれもバイトの送信とバイトの受信を同時に行います。「標準動作回路」を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を僅か3回行うだけで変換が行えます(1回の8ビット転送でADCを設定し、残り2回の8ビット転送では10ビット変換結果をクロックアウトします)。MAX1248/MAX1249のQSPI接続法については、図10を参照してください。

### シンプルなソフトウェアインタフェース

CPUがシリアルクロックを発生するために、CPUのシリアルインタフェースがマスターモードで動作していることを確認してください。クロック周波数は100kHz ~ 2MHzの範囲から選択してください。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と呼びます。TB1はバイナリの1XXXX11というフォーマットになるはずですが、ここで、Xは選択された特定のチャンネル及び変換モードを意味します。
- 2) CPUの汎用I/Oラインを使用して $\overline{CS}$ をローにします。
- 3) TB1を送信し、同時にバイトを受信します。受信したバイトをRB1と呼びます。RB1は無視します。
- 4) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB3を受信します。
- 6)  $\overline{CS}$ をハイにします。

図5にこのシーケンスのタイミングを示します。バイトRB2とRB3は、先頭のゼロ1個、2つのサブビット及び最後の3つのゼロにはさまれた変換結果を含んでいます。総変換時間はシリアルクロック周波数及び8ビット転送間のアイドル時間の関数です。T/Hが過剰にドループするのを防ぐために、総変換時間が120 $\mu$ sを超えないようにしてください。

### デジタル出力

ユニポーラ入力モードでは出力はストレートなバイナリです(図16)。バイポーラ入力の場合、出力は2の補数形式になります(図17)。データはSCLKの立下がりエッジで、MSBを先頭にクロックアウトされます。

### クロックモード

MAX1248/MAX1249は外部シリアルクロック又は内部クロックを用いることで、逐次比較型変換を行うことができます。どちらのクロックモードの場合も、外部クロックがMAX1248/MAX1249からデータをシフトイン/アウトします。T/Hは制御バイトの最後の3ビットがDINにクロックインされるときに入力信号を取込みます。制御バイトのビットPD1及びPD0がクロックモードをプログラムします。図6~9に両方のモードに共通するタイミング特性を示します。

### 外部クロック

外部クロックモードでは、外部クロックはデータをシフトイン/アウトするだけでなく、アナログ/デジタル変換ステップの駆動も行います。SSTRBは制御バイトの最後のビットの後で、1クロック周期だけパルス的にハイになります。逐次比較用のビット決定はそれに

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

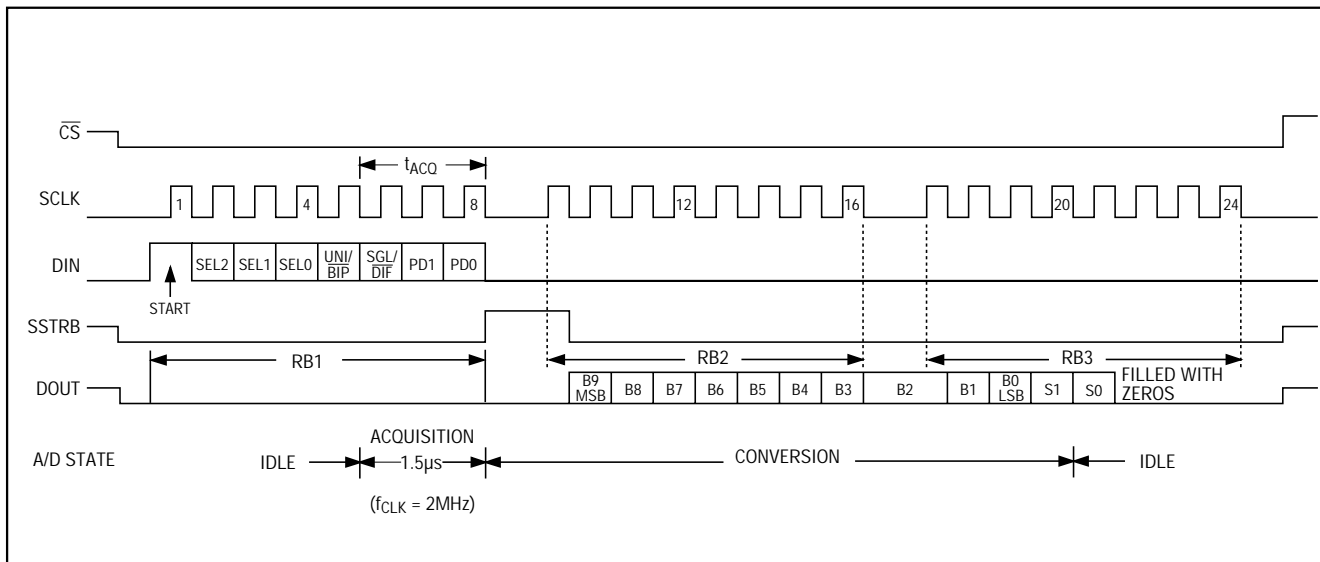


図5. 24ビット外部クロックモードの変換タイミング(MICROWIRE及びSPIコンパチブル、  
 $f_{SCLK}$  2MHzでQSPIコンパチブル)

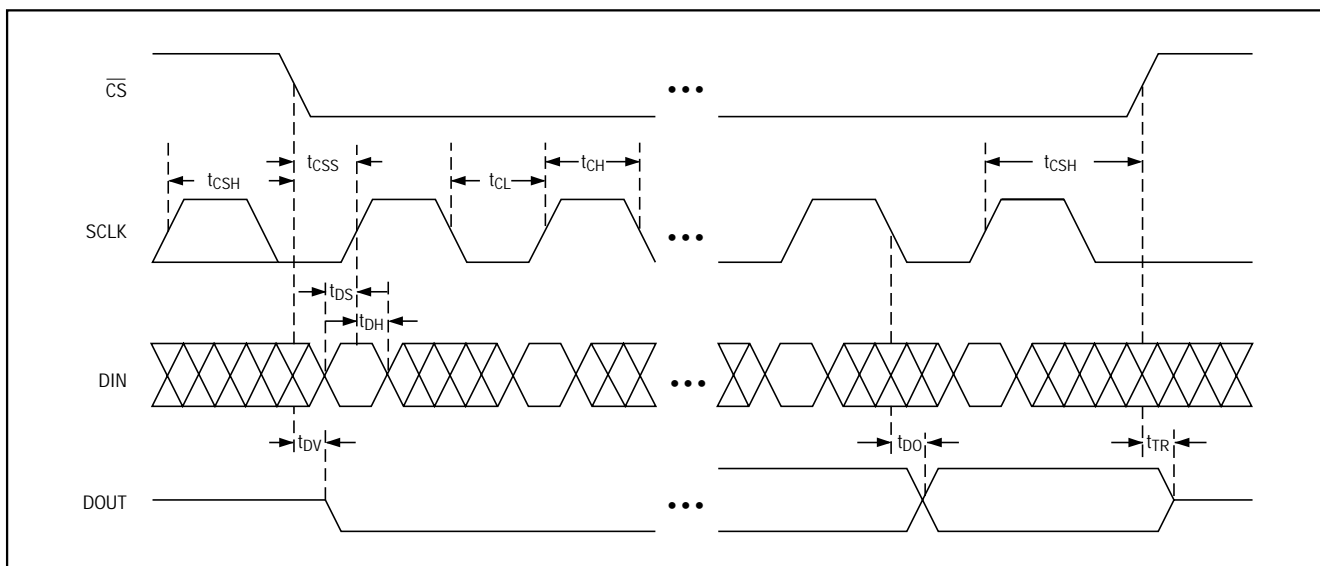


図6. シリアルインタフェースのタイミングの詳細

続くSCLKの立下がりエッジ12個でそれぞれ行われ、DOUTに出力されます(図5)。CSがハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次のCSの立下がりエッジでSSTRBはロジックローを出力します。図7に外部クロックモードでのSSTRBのタイミングを示します。

変換は一定した最小時間内に完了しなければなりません。完了しない場合は、サンプルアンドホールドコンデンサのドレージが変換結果を劣化させます。シリアルクロック周波数が100kHz以下の場合、あるいはシリアルクロックの割込みが原因で変換期間が120µsを超える可能性がある場合は、内部クロックモードを使用してください。

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

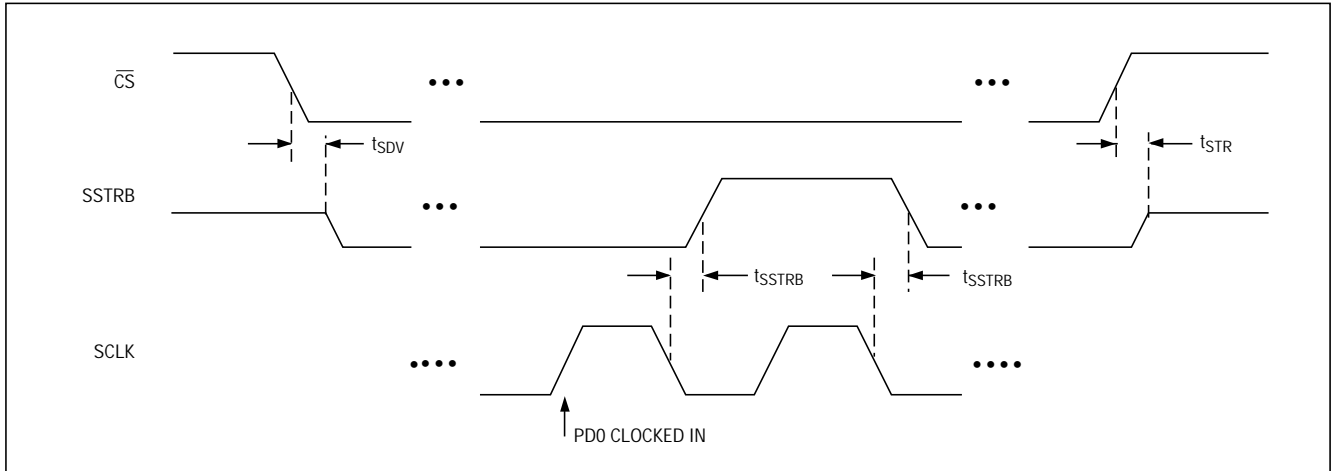


図7. 外部クロックモードでのSSTRBのタイミングの詳細

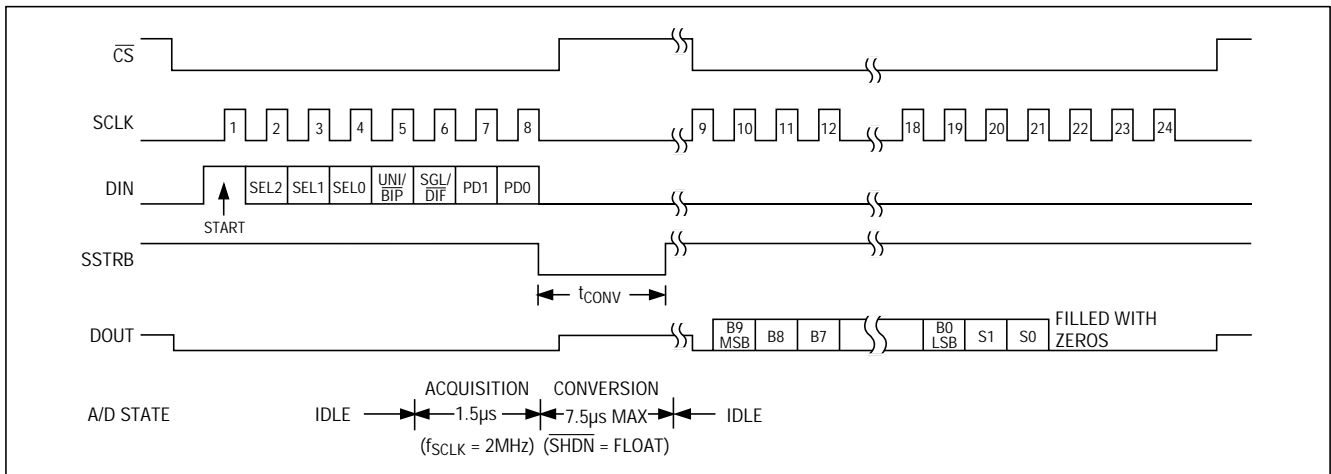


図8. 内部クロックモードのタイミング

## 内部クロック

内部クロックモードでは、MAX1248/MAX1249自体が変換クロックを内部で発生します。この結果、 $\mu P$ はSAR変換クロックを動作させる役目から解放され、変換結果はプロセッサの都合のよいときに、0~2MHzの任意のクロックレートで読取ることができます。SSTRBは変換開始時にローになり、変換が完了するとハイになります。SSTRBは最大7.5 $\mu s$ の間ローに留まりますが(SHDN = FLOAT)、最高のノイズ性能を得るためには、その間SCLKをローに保つようしてください。

変換が行われている間は、内部レジスタがデータを保管します。変換の完了後、任意の時点で、SCLKがこのレジスタからデータをクロックアウトします。SSTRBがハイになった後、次の立下がりクロックエッジでDOUTに変換のMSBが出力され、続いて残りのビット

がMSBを先頭にしたフォーマットで出力されます(図8)。一旦変換が開始されれば、 $\overline{CS}$ をローに保持する必要はありません。 $\overline{CS}$ をハイにするとデータがMAX1248/MAX1249にクロックインされなくなり、DOUTがスリーステートになりますが、すでに進行中の内部クロックモードの変換に悪影響を与えることはありません。内部クロックモードが選択されている場合、 $\overline{CS}$ がハイになってもSSTRBはハイインピーダンス状態にはなりません。

図9に内部クロックモードでのSSTRBのタイミングを示します。このモードでは、最小アキュイジション時間( $t_{ACQ}$ )が1.5 $\mu s$ 以上に保持されている限り、2.0MHz以上のクロックレートでデータをMAX1248/MAX1249にシフトインでき、また、シフトアウトすることもできます。

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

## データフレーミング

$\overline{CS}$ の立下がりエッジでは変換は開始されません。DINにクロックインされる最初のロジックハイはスタートビットとして解釈され、これにより制御バイトの最初のビットが定義されます。変換は8番目の制御ビット(PD0ビット)がDINにクロックインされた後のSCLKの立下がりエッジで開始されます。スタートビットの定義は以下のとおりです。

コンバータがアイドル状態である任意の時間(例えば  $V_{DD}$  が印加された後)に  $\overline{CS}$  がローの状態にクロックインされてきた最初のハイビット。

又は

進行中の変換のビット3(B3)がDOUTピンにクロックされた後にDINにクロックインされてきた最初のハイビット。

現在の変換が完了する前に  $\overline{CS}$  がトグルされると、その次にDINにクロックインされるハイビットがスタートビットと見なされます。そうすると、現在の変換は中止され、新しい変換が開始されます。

変換と変換の間で  $\overline{CS}$  がローに維持されているときに MAX1248/MAX1249 が動作できる最高速度は1変換につき15クロックとなります。図10aに、外部クロックモードで15 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。  $\overline{CS}$  がローでSCLKが連続的である場合は、最初に16個のゼロをクロックインしてスタートビットを保証してください。

殆どのマイクロコントローラの場合、変換は8 SCLKクロックの倍数で起きなければなりません。従って、マイクロコントローラがMAX1248/MAX1249を動作させられる最高速度は通常16クロック/変換という事になります。図10bに、外部クロックモードで16 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

## アプリケーション情報

### パワーオンリセット

最初に電源が入ったときに  $\overline{SHDN}$  がローでなければ、パワーオンリセット回路が内部クロックモードでMAX1248/MAX1249を起動します。このときSSTRB = ハイの状態、変換を開始できる体勢にあります。電源が安定した後、内部リセット時間が10 $\mu$ sありますが、この間には変換を行わないでください。SSTRBはパワーアップ時にはハイで、  $\overline{CS}$  がローの場合は、DINの最初のロジック1がスタートビットと見なされます。変換が行われるまでは、DOUTはゼロをシフトアウトします(表4参照)。

### リファレンスバッファの補償

$\overline{SHDN}$ は、シャットダウン機能の他に、内部又は外部補償の選択に使用します。この補償は、パワーアップ時間及び最大変換速度の両方に影響します。最小クロックレートは、補償の状態に関らず、サンプルアンドホールドのドループのために100kHzに制限されます。

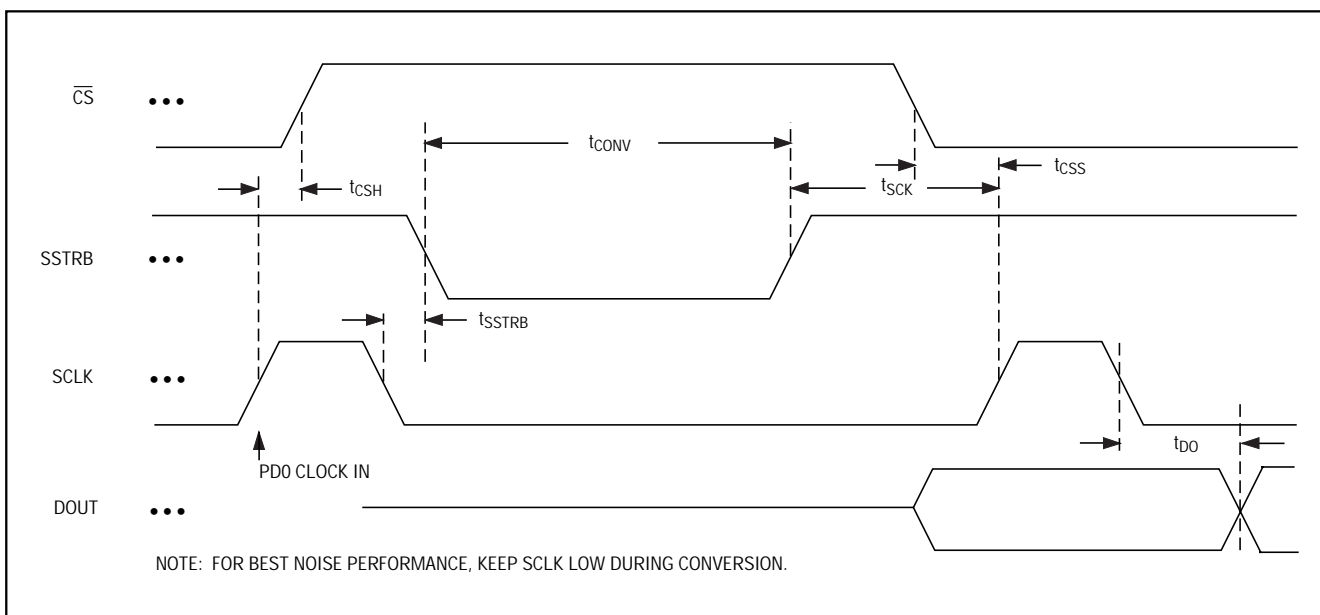


図9. 内部クロックモードでのSSTRBのタイミングの詳細

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

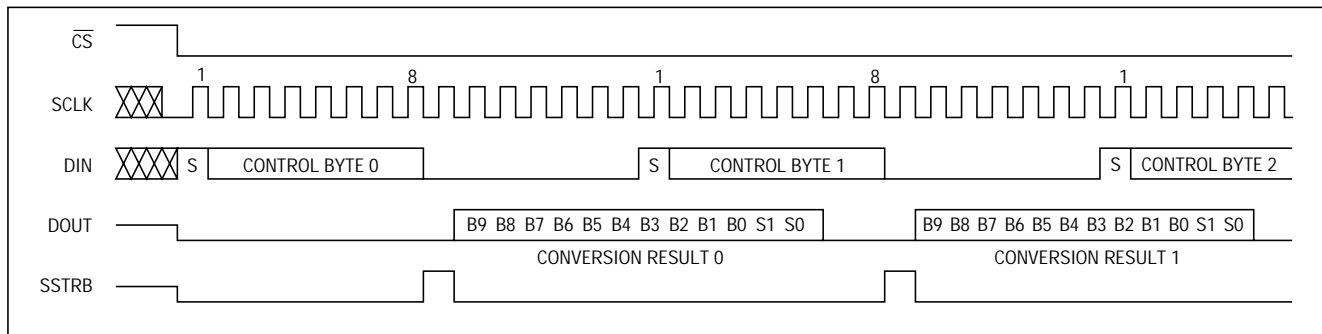


図10a. 外部クロックモード、15クロック/変換のタイミング

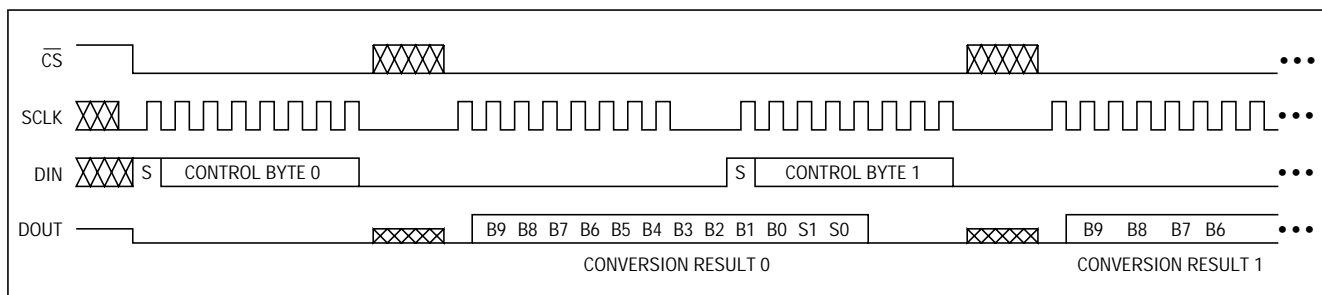


図10b. 外部クロックモード、16クロック/変換のタイミング

SHDNをフローティングにすると、外部補償になります。「標準動作回路」では、VREFにおいて4.7 $\mu$ Fコンデンサを使用しています。4.7 $\mu$ Fの場合は安定性が保証され、2 MHzのフルクロック速度の変換動作が可能になります。外部補償の場合は、パワーアップ時間が増加します(「パワーダウンモードの選択」及び表4を参照)。

SHDNをハイにすると、内部補償になります。内部補償ではVREFの外部コンデンサを必要としないため、パワーアップ時間を最も短くできます。最大クロックレートは、内部クロックモードで2MHz、外部クロックモードでは400kHzとなっています。

## パワーダウンモードの選択

変換と変換の間にコンバータを低電流のシャットダウン状態にすることにより、電力を節約できます。フルパワーダウン又は高速パワーダウンモードを選択するには、SHDNがハイ又はフローティングの状態、DIN制御バイトのビット1及びビット0を使用します(表1及び表5)。いずれのソフトウェアシャットダウンモードでも、シリアルインターフェースは動作状態に留まりませんが、ADCは変換しません。SHDNをローにすることにより、いつでもコンバータを完全にシャットダウンできます。SHDNは、制御バイトのビット1及びビット0に優先します。

フルパワーダウンモード時には、電流を消費する全てのチップ機能がターンオフされ、消費電流が2 $\mu$ A(typ)まで低下します。高速パワーダウンモードでは、バンドギャップリファレンス以外の全ての回路がターンオフされます。高速パワーダウンモードの消費電流は30 $\mu$ Aとなっています。内部補償モードでは、パワーアップ時間を5 $\mu$ sまで短縮できます。

表4は、どのリファレンスバッファ補償及びパワーダウンモードを選択するかによって、パワーアップディレイ及び最大サンプリングレートがどのように影響されるかを示しています。外部補償モードにおいて、コンデンサが初めに完全に放電している場合のパワーアップ時間は、4.7 $\mu$ Fの補償コンデンサを使用した場合に20msとなります。高速パワーダウンからのスタートアップ時間については、シャットダウン中に1/2LSB以上放電しない低リークコンデンサを使用することによって完全に無くすることができます。パワーダウン中には、VREFにおけるリーク電流によって、リファレンスパイパスコンデンサでドループが生じます。図11a及び図11bに、外部及び内部クロックモード時の様々なパワーダウンシーケンスを示します。

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

表4. 標準パワーアップディレイ時間

REFERENCE BUFFER	REFERENCE-BUFFER COMPENSATION MODE	VREF CAPACITOR (μF)	POWER-DOWN MODE	POWER-UP DELAY (μs)	MAXIMUM SAMPLING RATE (ksps)
Enabled	Internal	—	Fast	5	26
Enabled	Internal	—	Full	300	26
Enabled	External	4.7	Fast	See Figure 13c	133
Enabled	External	4.7	Full	See Figure 13c	133
Disabled	—	—	Fast	2	133
Disabled	—	—	Full	2	133

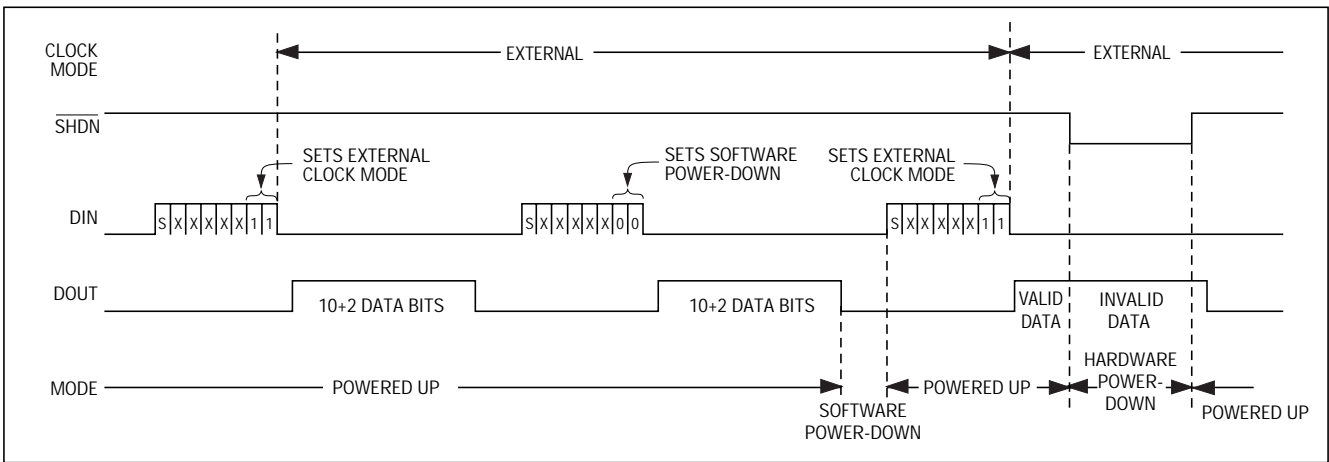


図11a. パワーダウンモードのタイミング図(外部クロック)

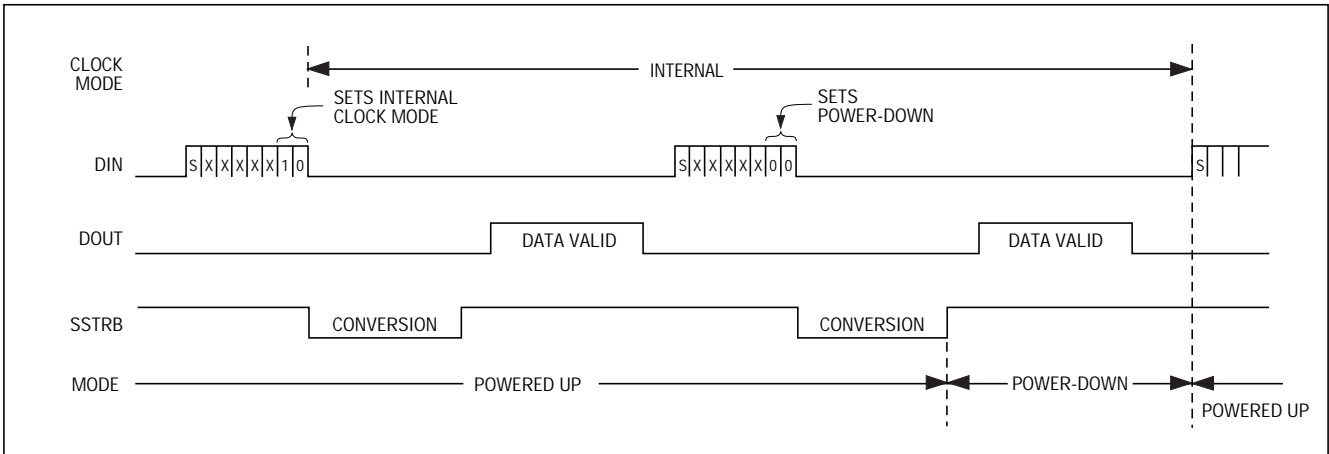


図11b. パワーダウンモードのタイミング図(内部クロック)

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

表5. ソフトウェアパワーダウン及び  
クロックモード

PD1	PD0	DEVICE
0	0	Full Power-Down
0	1	Fast Power-Down
1	0	Internal Clock
1	1	External Clock

表6. ハード配線のパワーダウン及び  
内部クロック周波数

SHDN STATE	DEVICE MODE	REFERENCE-BUFFER COMPENSATION	INTERNAL CLOCK FREQUENCY
1	Enabled	Internal	225kHz
Floating	Enabled	External	1.8MHz
0	Power-Down	N/A	N/A

## ソフトウェアのパワーダウン

制御バイトのビットPD1及びPD0を用いることで、ソフトウェアのパワーダウンを起動することができます。表5に示すように、PD1及びPD0はクロックモードを指定するためにも使用されます。ソフトウェアのシャットダウンが発生すると、変換が完了するまでADCは最後に指定されたクロックモードで動作し続けます。その後、ADCはパワーダウンし、低自己消費電流状態になります。内部クロックモードでは、MAX1249がソフトウェアのパワーダウンに入った後でもインタフェースはアクティブ状態を保ち、変換結果をクロックアウトすることができます。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1248/MAX1249はパワーアップします。スタートビットに続いて、データ入力ワード又は制御バイトがやはりクロックモードとパワーダウン状態を判断します。例えば、DINワードがPD1=1を含んでいると、チップはパワーアップ状態に留まります。PD0=PD1=0のときは、1回だけ変換を行い、その後再びパワーダウンします。

## ハードウェアのパワーダウン

SHDNがローになると、コンバータはハードウェアのパワーダウン状態に入ります(表6)。ソフトウェアのパワーダウンモードとは異なり、変換は完了せずに、SHDNがローになったときに停止します。SHDNは内部クロックモードでのクロック周波数も制御します。SHDNをフローティングのままにしておくと、内部クロック周波数が1.8MHzに設定されます。SHDNがフローティングした状態で通常動作に戻った場合、約  $2M \times C_L$  の  $t_{RC}$

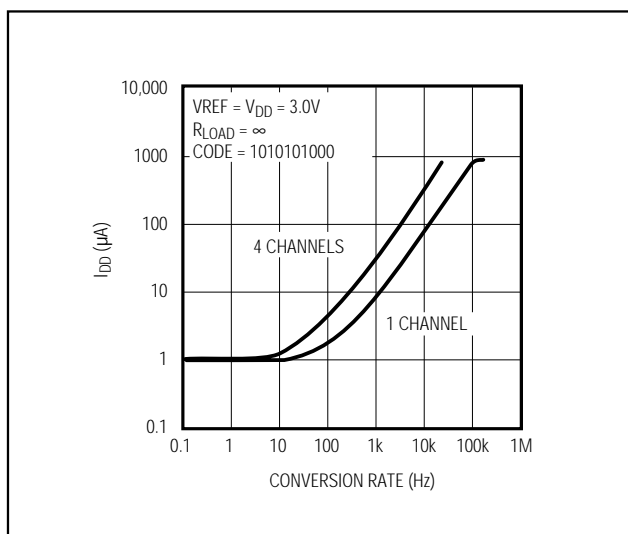


図12. 平均消費電流対変換レート  
(外部リファレンス)

遅延時間があります(ここで  $C_L$  はSHDNピンでの容量性負荷です)。SHDNをハイにすると、内部クロック周波数が225kHzに設定されます。

この機能はリファレンス電圧が課すセトリング時間の必要条件を緩和します。MAX1249は外部リファレンスで能動的にSHDNをハイにした後2µs以内に完全にパワーアップ状態とみなすことができます。

## パワーダウンシーケンス

最大サンプリングレートよりも遅い速度で動作している場合、MAX1248/MAX1249を自動パワーダウンモードに設定することで、大幅に電力を節約できます。図12、13a及び13bに、平均消費電流をサンプリングレートの関数として示します。以下に、様々なパワーダウンシーケンスについて説明します。

### 最大500変換/チャンネル/秒までの最低電力動作

以下に、2つのパワーダウンシーケンス例を示します。他のアプリケーションの場合は、これ以外のクロックレート、補償モード及びパワーダウンモードの組み合わせにより最小の消費電力を実現できることもあります。

図13aに、フルパワーダウンモード及び内部リファレンス補償を使用した場合のMAX1248の1又は4チャンネル変換に対する消費電力を示します。REFADJの0.01µFバイパスコンデンサは内部20kΩリファレンス抵抗により、時定数0.2msのRCフィルタを形成します。完全10ビット精度を実現するには、パワーアップ後、この時間定数の8倍(この例では1.6ms)が必要です。(単にフルパワーアップモードを解除して標準動作モードに戻る代わりに)FASTPDモードでこの1.6msを待つと、消費電力を10分の1以下に低減できます(図14)。



# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

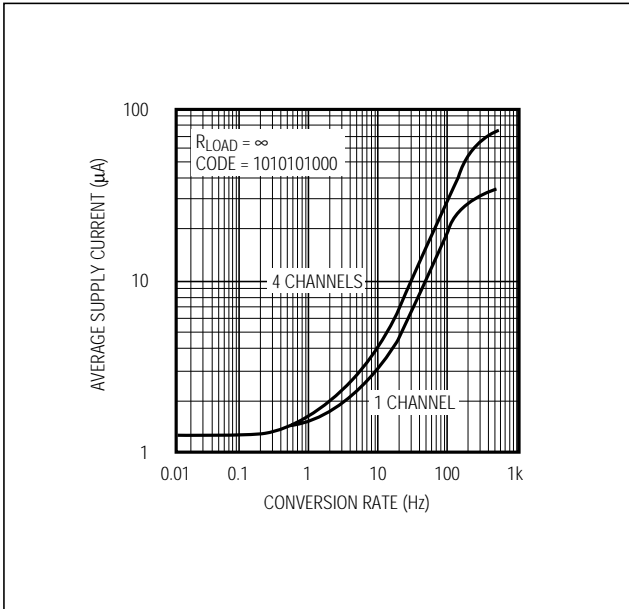


図13a. MAX1248の消費電流対変換レート(FULLPD)

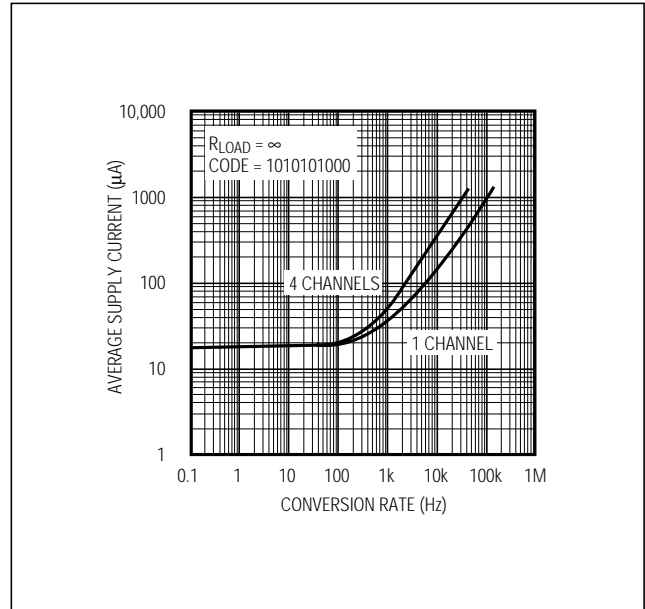


図13b. MAX1248の消費電流対変換レート(FASTPD)

## 高スループット時の最低電力動作

図13bに、高速パワーダウンモードで外部リファレンス補償を使用した場合の1及び4チャンネル変換に対する消費電力を示します。外部4.7µF補償は、ダミー変換によるパワーアップ後に75µsの待ち時間を必要とします。この回路は、可能な最小の消費電力で高速マルチチャンネル変換を行います。フルパワーダウンモードは、MAX1248/MAX1249が長時間停止し、断続的な高速変換のバーストがあるようなアプリケーションで省電力能力を発揮します。

## 内部及び外部リファレンス

MAX1248には、内部及び外部リファレンスを使用できます。MAX1249の場合は、外部リファレンスを必要とします。外部リファレンスはVREF端子に直接接続するか、REFADJピンに接続してください。

MAX1248及びMAX1249の内部バッファは、VREFにおいて2.5Vを供給するように設計されています。MAX1248の内部トリミングされた1.21Vのリファレンスは利得2.06でバッファされています。MAX1249のREFADJピンも利得2.06でバッファされ、REFADJにおける外部1.25VリファレンスがVREFにおいて2.5Vになっています。

## 内部リファレンス(MAX1248)

内部リファレンスを使用したときのMAX1248のフルスケール範囲は、ユニポーラ入力で2.5V、バイポーラ入力で±1.25Vとなっています。内部リファレンス電圧は、図15の回路で±1.5%に調節できます。

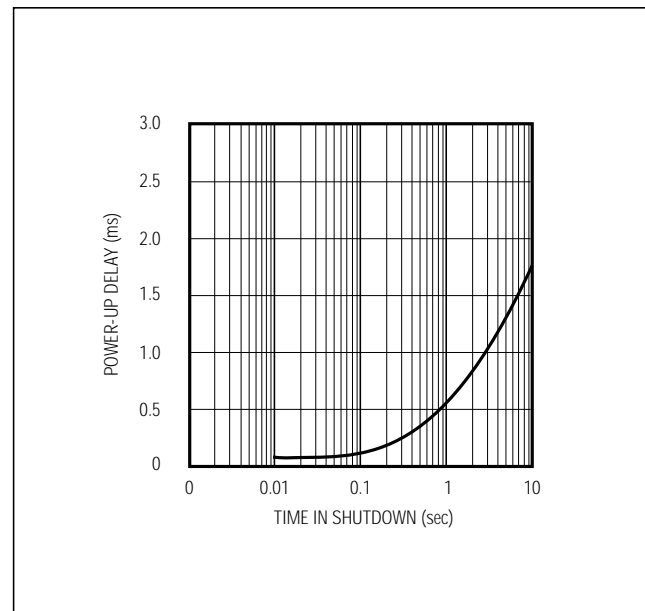


図13c. 標準リファレンスバッファパワーアップ  
ディレイ対シャットダウン時間

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

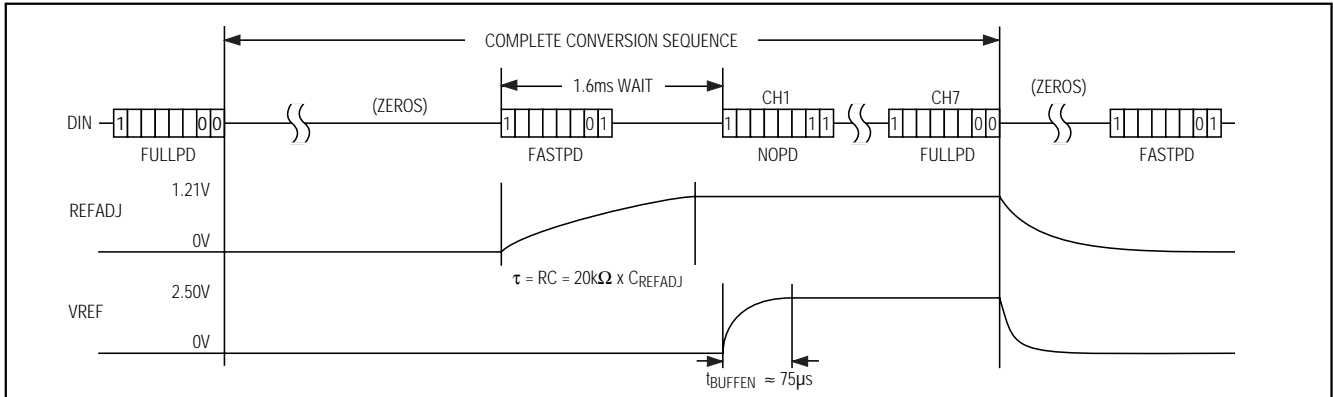


図14. MAX1248のFULLPD/FASTPDパワーアップシーケンス

## 外部リファレンス

MAX1248とMAX1249はいずれの場合も、外部リファレンスを内部リファレンスバッファアンプの入力(REFADJ)又は出力(VREF)に接続できます。REFADJにおける入力インピーダンスは、MAX1248が通常20k、MAX1249で100k 以上です。VREFでのDC入力抵抗は、最低18k です。変換時には、VREFの外部リファレンスは最大350μAのDC負荷電流を供給できなければならず、出力インピーダンスは10 以下でなければなりません。リファレンスの出力インピーダンスがこれより高い場合やノイズが多い場合は、4.7μFのコンデンサでVREFピンの近くにバイパスしてください。

REFADJ入力を使用すると、外部リファレンスをバッファする必要がなくなります。直接VREFに接続する場合は、REFADJをV<sub>DD</sub>に接続して内部バッファをディセーブしてください。パワーダウン中のREFADJへの入力バイアス電流は、REFADJがV<sub>DD</sub>に接続されている場合最大25μAになる可能性があります。パワーダウン中の入力バイアス電流を最小限に抑えるには、REFADJをAGNDに引き下げてください。

## 伝達関数

表7に、ユニポーラ及びバイポーラモードでのフルスケール電圧範囲を示します。

民生用温度範囲(0 ~ +70 )で1LSB以内の精度を達成するためには、外部リファレンスの温度係数が20ppm/ 以下でなければなりません。

図16は通常のユニポーラ入力/出力(I/O)伝達関数を示しています。図17はバイポーラ入力/出力(I/O)伝達関数です。コード遷移は隣り合う整数LSB値同士の間で起こります。出力コーディングはバイナリで、ユニポーラ動作では1LSB = 2.44mV(2.500V/1024)、バイポーラ動作では1LSB = 2.44mV[(2.500V/2 - -2.500V/2)/1024]となります。

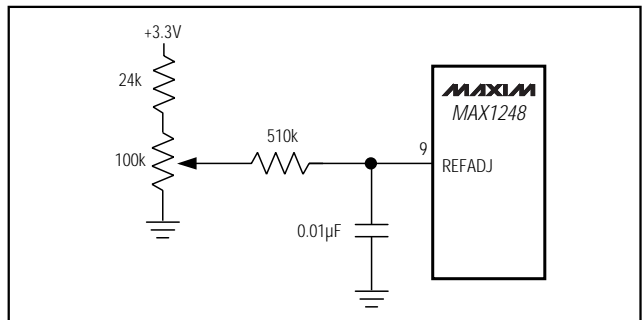


図15. MAX1248リファレンス調節回路

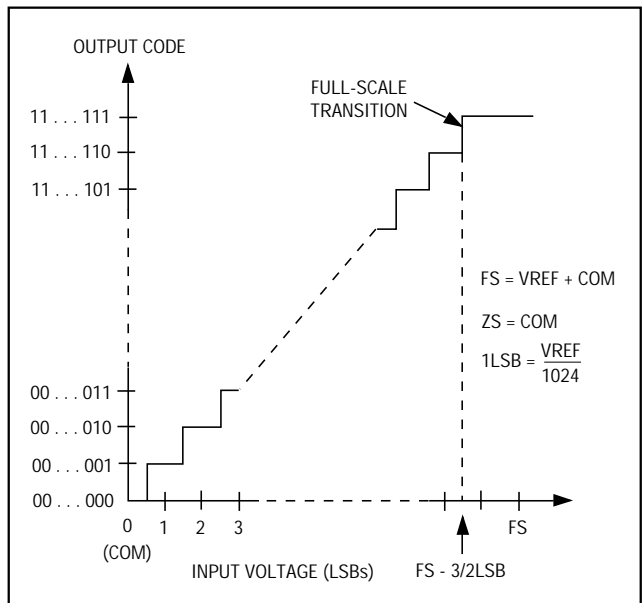


図16. ユニポーラの伝達関数、フルスケール(FS) = VREF + COM、ゼロスケール(ZS) = COM

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

表7. フルスケール、及びゼロスケール

UNIPOLAR MODE		BIPOLAR MODE		
Full Scale	Zero Scale	Positive Full Scale	Zero Scale	Negative Full Scale
VREF + COM	COM	VREF / 2 + COM	COM	-VREF / 2 + COM

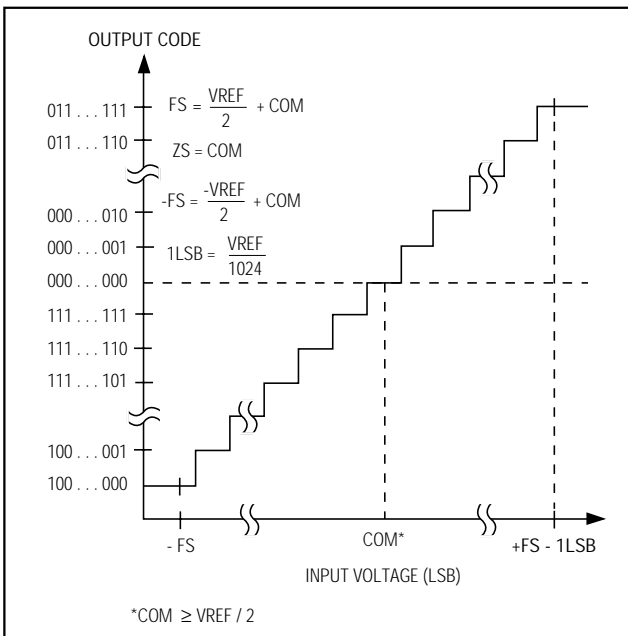


図17. バイポーラの伝達関数、ゼロスケール(ZS) = COM、フルスケール(FS) = VREF/2 + COM

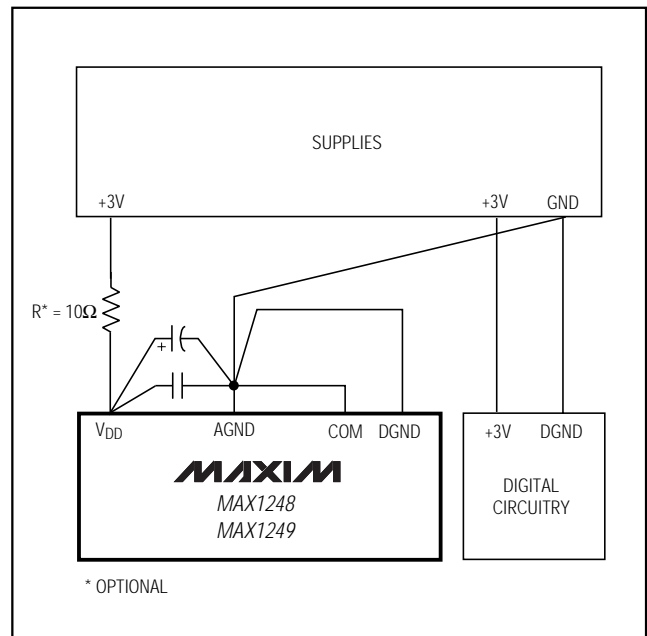


図18. 電源グランド接続図

## レイアウト、グランド、及びバイパス

最高の性能を得るためにはプリント回路基板を使用してください。ワイヤラップボードはお勧めできません。ボードレイアウトは、デジタル信号ラインとアナログ信号ラインが分離されるようにしてください。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないでください。又、デジタルラインがADCパッケージの下に来ないようにしてください。

図18に、推奨されるシステムグランド接続法を示します。一点アナロググランド(スターグランドポイント)をAGNDのところを設定し、ロジックグランドとは分離してください。その他全てのアナロググランドとDGNDをスターグランドに接続してください。このグランドに他のデジタルシステムグランドを接続しないでください。ノイズを最小限に抑えるために、スターグランドから電源へのグランドリターンはできるだけ短くすると共に低インピーダンスにしてください。

V<sub>DD</sub>電源内の高周波ノイズがADC内の高速コンパレータに影響を与える可能性があります。この電源は

MAX1248/MAX1249のピン1に近いところで、0.1μF及び1μFコンデンサを使用してスターグランドにバイパスしてください。コンデンサのリード線をできるだけ短くして最高の電源ノイズ除去比を得るようにします。+3V電源のノイズが特に大きい場合は、10抵抗をローパスフィルタとして接続することができます(図18)。

## QSPIとの高速デジタルインタフェース

図19の回路を用いると、MAX1248/MAX1249をQSPIとインタフェースさせることができます(f<sub>CLK</sub> = 2.0MHz、CPOL = 0、CPHA = 0)。このQSPI回路は、4個の各チャンネルの全てで変換を行うようにプログラムできます。QSPIはそれ自体がマイクロシーケンサを備えているため、変換結果はCPUに負担をかけることなくメモリに記憶されます。

MAX1248/MAX1249は、最大外部クロック周波数2.0MHzまでQSPIコンパチブルです。

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

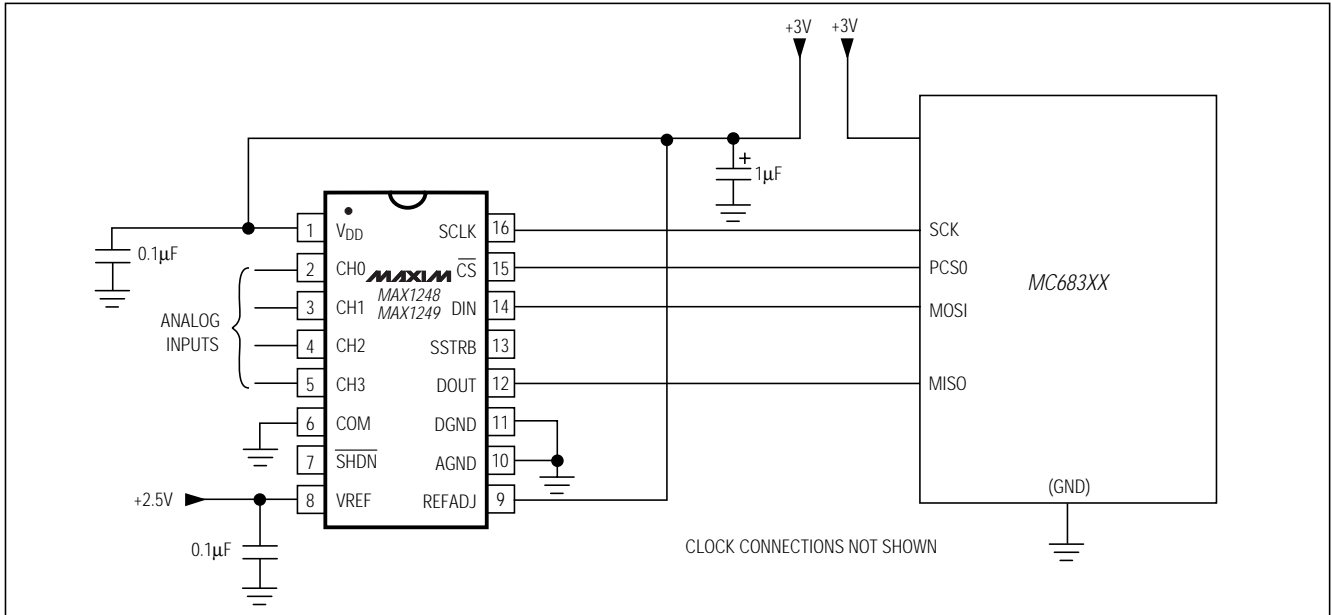


図19. MAX1248/MAX1249のQSPI接続図、外部リファレンス

## TMS320LC3xのインタフェース

図20に示すのは、外部クロックモードでMAX1248/MAX1249をTMS320にインタフェースするためのアプリケーション回路です。このインタフェースのタイミング図を図21に示します。

MAX1248/MAX1249で変換を開始し、結果を読み取るための手順は以下のとおりです。

- 1) TMS320はCLKX(送信クロック)がアクティブハイ出力クロック、CLKR(TMS320受信クロック)がアクティブハイ入力クロックとなるように設定してください。TMS320のCLKXとCLKRは、MAX1248/MAX1249のSCLKと一緒にまとめて接続されています。
- 2) MAX1248/MAX1249のCSピンはTMS320のXF\_I/Oポートによってローにされています。これはMAX1248/MAX1249のDINにデータがクロックインできるようにするためです。
- 3) 変換を開始するために8ビットワード(1XXXXX11)をMAX1248/MAX1249に書き込み、素子を外部クロックモードに設定します。特定のアプリケーションに適したXXXXXビットを選択するためには、表1を参照してください。
- 4) MAX1248/MAX1249のSSTRB出力はTMS320のFSR入力を通じて監視されています。SSTRB出力の立下がりエッジは、変換が進行中であり、データを

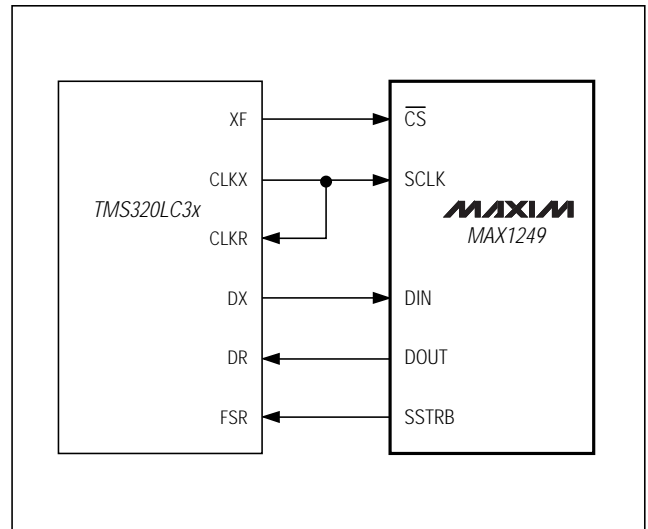


図20. MAX1248/MAX1249からTMS320へのシリアルインタフェース

MAX1248/MAX1249から受け取る準備ができていることを示します。

- 5) TMS320は、続くSCLK16個の各立上がりエッジで1データビットずつ読み込みます。これらのデータビットは、10+2ビットの変換結果を表しています。この後に続く4ビットは無視してください。
- 6) 次の変換が開始されるまではCSをハイにし、MAX1248/MAX1249をディセーブルします。

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

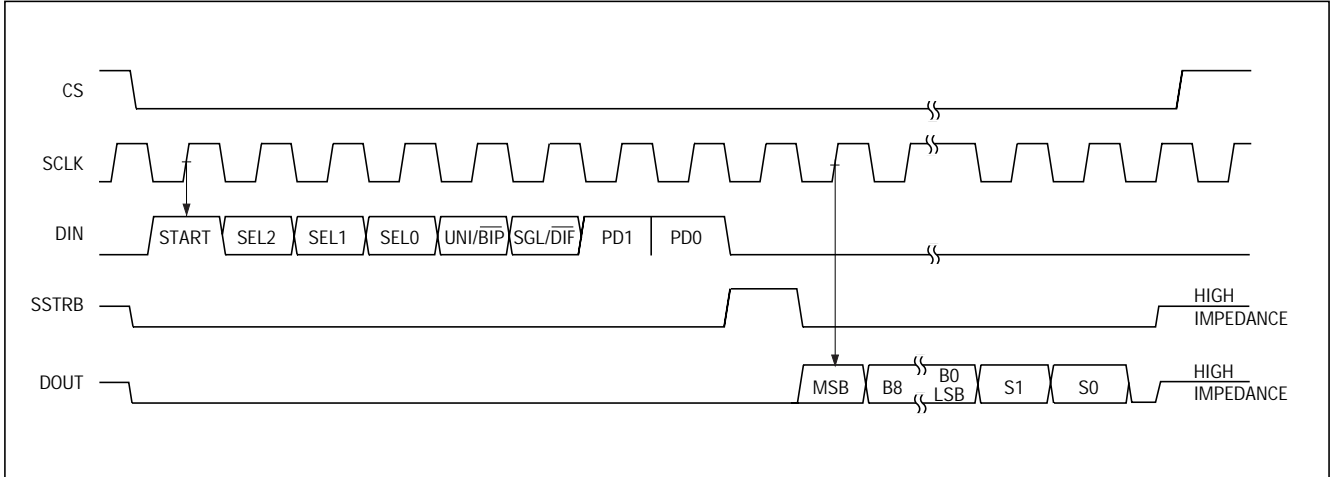


図21. TMS320のシリアルインタフェースタイミング図

## 型番(続き)

PART <sup>†</sup>	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1248AEPE	-40°C to +85°C	16 Plastic DIP	±1/2
MAX1248BEPE	-40°C to +85°C	16 Plastic DIP	±1
MAX1248AEFE	-40°C to +85°C	16 QSOP	±1/2
MAX1248BEFE	-40°C to +85°C	16 QSOP	±1
MAX1248AMJE	-55°C to +125°C	16 CERDIP*	±1/2
MAX1248BMJE	-55°C to +125°C	16 CERDIP*	±1
<b>MAX1249ACPE</b>	0°C to +70°C	16 Plastic DIP	±1/2
MAX1249BCPE	0°C to +70°C	16 Plastic DIP	±1

PART <sup>†</sup>	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1249ACEE	0°C to +70°C	16 QSOP	±1/2
MAX1249BCEE	0°C to +70°C	16 QSOP	±1
MAX1249AEFE	-40°C to +85°C	16 Plastic DIP	±1/2
MAX1249BEFE	-40°C to +85°C	16 Plastic DIP	±1
MAX1249AEFE	-40°C to +85°C	16 QSOP	±1/2
MAX1249BEFE	-40°C to +85°C	16 QSOP	±1
MAX1249AMJE	-55°C to +125°C	16 CERDIP*	±1/2
MAX1249BMJE	-55°C to +125°C	16 CERDIP*	±1

<sup>†</sup> Contact factory for availability of alternate surface-mount packages.

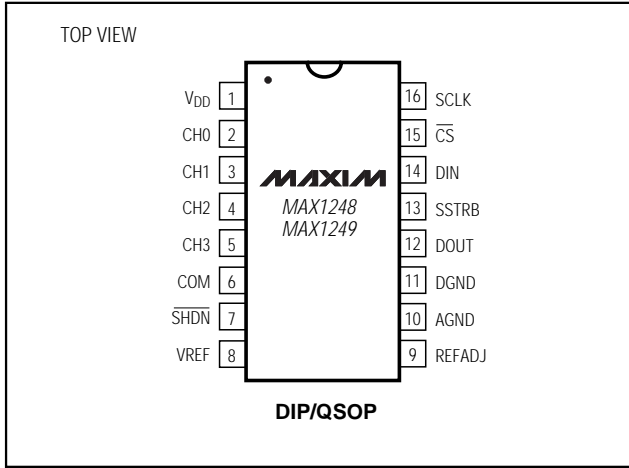
\* Contact factory for availability of CERDIP package, and for processing to MIL-STD-883B.

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

MAX1248/MAX1249

ピン配置

チップ情報



TRANSISTOR COUNT: 2554

パッケージ

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

**MAXIM**

PROPRIETARY INFORMATION

TITLE:

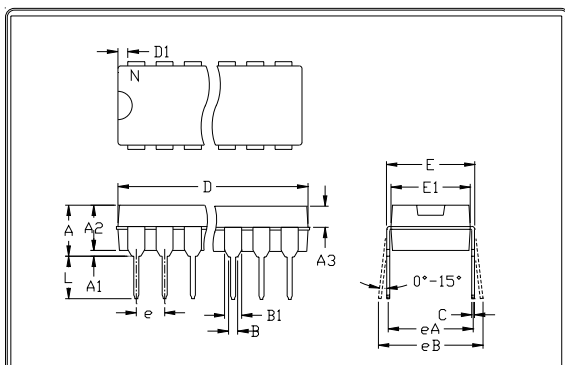
PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV	B
	21-0055		1/1

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

パッケージ(続き)

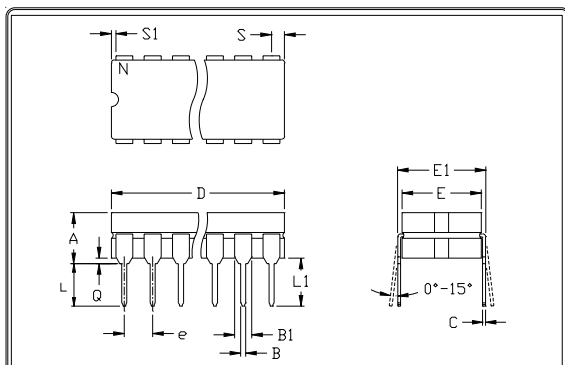
MAX1248/MAX1249



INCHES				MILLIMETERS				INCHES				MILLIMETERS			
	MIN	MAX		MIN	MAX		MIN	MAX		MIN	MAX	N	MS001		
A	---	0.200	---	5.08	---	D	0.348	0.390	8.84	9.91	8	AB			
A1	0.015	---	0.38	---	D	0.735	0.765	18.67	19.43	14	AC				
A2	0.125	0.175	3.18	4.45	D	0.745	0.765	18.92	19.43	16	AA				
A3	0.055	0.080	1.40	2.03	D	0.885	0.915	22.48	23.24	18	AD				
B	0.016	0.022	0.41	0.56	D	1.015	1.045	25.78	26.54	20	AE				
B1	0.045	0.065	1.14	1.65	D	1.14	1.265	28.96	32.13	24	AF				
C	0.008	0.012	0.20	0.30	D	1.360	1.380	34.54	35.05	28	*5				
D1	0.005	0.080	0.13	2.03											
E	0.300	0.325	7.62	8.26											
E1	0.240	0.310	6.10	7.87											
e	0.100	---	2.54	---											
eA	0.300	---	7.62	---											
eB	---	0.400	---	10.16											
L	0.115	0.150	2.92	3.81											

- NOTES:  
 1. D&E DO NOT INCLUDE MOLD FLASH  
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 15µm (0.002")  
 3. CONTROLLING DIMENSION: MILLIMETER  
 4. MEETS JEDEC MS001-XX AS SHOWN IN ABOVE TABLE  
 5. SIMILAR TO JEDEC MO-058AB  
 6. N = NUMBER OF PINS

MAXIM PACKAGE FAMILY OUTLINE: PDIP .300" 1/4 21-0043 A



INCHES				MILLIMETERS				INCHES				MILLIMETERS			
	MIN	MAX		MIN	MAX		MIN	MAX		MIN	MAX	N	CASE		
A	---	0.200	---	5.08	---	D	---	0.405	---	10.29	8	P-D4			
B	0.014	0.023	0.36	0.58	D	---	0.785	---	19.94	14	C-D1				
B1	0.038	0.065	0.97	1.65	D	---	0.840	---	21.34	16	E-D2				
C	0.008	0.015	0.20	0.38	D	---	0.960	---	24.38	18	V-D6				
E	0.220	0.310	5.59	7.87	D	---	1.060	---	26.92	20	R-D8				
E1	0.290	0.320	7.37	8.13	D	---	1.280	---	32.51	24	L-D9				
e	0.100	---	2.54	---											
L	0.125	0.200	3.18	5.08											
L1	0.150	---	0.00	---											
Q	0.015	0.070	0.38	1.78											
S	---	0.098	---	2.49											
S1	0.005	---	0.13	---											

- NOTES:  
 1. CONTROLLING DIMENSION: INCH  
 2. MEETS 1835 CASE OUTLINE CONFIGURATION #1 AS SHOWN IN ABOVE TABLE  
 3. N = NUMBER OF PINS

MAXIM PACKAGE FAMILY OUTLINE: CDIP .300" 1/4 21-0045 A

# +2.7V ~ +5.25V、低電力、4チャンネル シリアル10ビットADC、16ピンQSOP

---

MAX1248/MAX1249

## NOTES

販売代理店

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1998 Maxim Integrated Products

**MAXIM** is a registered trademark of Maxim Integrated Products.