19-3761; Rev 0; 8/05

EVALUATION KIT AVAILABLE

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、210Msps ADC

MAX1219

概要

デュアル、モノリシック、12ビット、210Msps A/Dコンバータ(ADC)のMAX1219は、最大250MHzの入力周波数まで優れたダイナミック性能を発揮します。この製品は、最大210Mspsの変換レートで動作しますが、チャネル当りの消費電力はわずか800mWです。

210Mspsおよび200MHzの入力周波数で、MAX1219は79dBcのスプリアスフリーのダイナミックレンジ(SFDR)と65.5dB(200MHzにおいて)の優れた信号対ノイズ比(SNR)を実現します。このSNRは、最大250MHzの入力トーンに対して平坦性(3dB以内)を維持します。このため、MAX1219は通信レシーバ、ケーブルヘッドエンドのレシーバ、およびセルラ基地局トランシーバにおけるパワーアンプのプリディストーション処理などの広帯域アプリケーションに最適です。

MAX1219は1.8Vの単一電源で動作します。各チャネルのアナログ入力は、AC結合の差動またはシングルエンドで動作するように設計されています。ADCは選択可能な2分周クロック回路も内蔵しており、これは420MHzという高いクロック周波数を利用して入力クロックソースの位相ノイズを抑制します。最高性能を得るためには、低電圧差動信号(LVDS)のサンプリングクロックをお奨めします。コンバータのディジタル出力はLVDS対応で、データ形式は2の補数またはオフセットバイナリのいずれかを選択することができます。

MAX1219はエクスポーズドパッド付きの100ピンTQFPパッケージで提供され、拡張温度範囲(-40℃～+85℃)での動作が保証されています。低速のピンコンパチブル製品については、MAX1218(170Msps)およびMAX1217(125Msps)のデータシートを参照してください。

アプリケーション

- ケーブルモデム端末システム(CMTS)
- ケーブルディジタルリターンパストランスミッタ
- セルラ基地局パワーアンプ線形化
- IFおよびベースバンドディジタル化
- ATEおよび計測器
- レーダシステム

特長

- ◆ 210Mspsの変換レート
- ◆ 優れた低ノイズ特性
  SNR = 66.6dB(f_{IN} = 100MHzにおいて)
  SNR = 65.5dB(f_{IN} = 200MHzにおいて)
- ◆ 優れたダイナミックレンジ
  SFDR = 81dBc(f_{IN} = 100MHzにおいて)
  SFDR = 79dBc(f_{IN} = 200MHzにおいて)
- ◆ 1.8V単一電源
- ◆ 電力消費：1.6W(f_{SAMPLE} = 210Mspsおよびf_{IN} = 10MHzにおいて)
- ◆ トラックアンドホールドアンプを搭載
- ◆ 1.24Vバンドキャップリファレンスを内蔵
- ◆ 選択可能な2分周クロック入力を搭載
- ◆ データクロック出力付きのLVDSディジタル出力
- ◆ EVキットが利用可能(MAX1219EVKITをご注文ください)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX1219ECQ	-40°C to +85°C	100 TQFP-EP*	C100E-6

*EP = エクスポーズドパッド

ピンコンパチブルバージョン

PART	RESOLUTION (BITS)	SPEED GRADE (Msps)
MAX1219	12	210
MAX1218	12	170
MAX1217	12	125

ピン配置はデータシートの最後に記載されています。

ABSOLUTE MAXIMUM RATINGS

AV_{CC} to AGND ....-0.3V to +2.1V
OV_{CC} to OGND ....-0.3V to +2.1V
OV_{CC} to AV_{CC} ....-0.3V to +0.3V
OGND to AGND ....-0.3V to +0.3V
CLKP, CLKN, INAP, INAN, INBP,
INBN to AGND ....-0.3V to (AV_{CC} + 0.3V)
CLKDIV, $\overline{T}$/BA, $\overline{T}$/BB to AGND ....-0.3V to (AV_{CC} + 0.3V)
REFA, REFADJA, REFB, REFADJB
to AGND...-0.3V to (AV_{CC} + 0.3V)
DCOP, DCON, DA0P–DA11P, DA0N–DA11N,
DB0P–DB11P, DB0N–DB11N, ORAP, ORAN,
ORBP, ORBN to OGND......................-0.3V to (OV_{CC} + 0.3V)

Current into any Pin...50mA
ESD Voltage on INAP, INAN, INBP, INBN
(Human Body Model)..±750V
ESD Voltage on All Other Pins (Human Body Model)......±2000V
Continuous Power Dissipation (T_A = +70°C)
100-Pin TQFP (derate 37mW/°C above +70°C).........2963mW
Operating Temperature Range ....-40°C to +85°C
Storage Temperature Range ....-65°C to +150°C
Junction Temperature ....+150°C
Lead Temperature (soldering, 10s) ....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(AV_{CC} = OV_{CC} = +1.8V, AGND = OGND = 0, f_{SAMPLE} = 210MHz, differential input and differential sine-wave clock signal, 0.1µF capacitors on REFA and REFB, internal reference, digital output differential R_L = 100Ω, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	N		12			Bits
Integral Nonlinearity (Note 2)	INL	f_{IN} = 10MHz	-2.5	±1	+2.5	LSB
Differential Nonlinearity (Note 2)	DNL	T_A = +25°C, no missing codes	-1	±0.3	+1	LSB
Transfer Curve Offset	V_{OS}	T_A = +25°C (Note 2)	-3		+3	mV
Offset Temperature Drift				10		µV/°C
ANALOG INPUTS (INAP, INAN, INBP, INBN)						
Full-Scale Input Voltage Range	V_{FSR}	T_A = +25°C (Note 2)	1375	1475	1625	mV_{P-P}
Full-Scale Range Temperature Drift				150		ppm/°C
Common-Mode Input Range	V_{CM}			0.8		V
Differential Input Capacitance	C_{IN}			3		pF
Differential Input Resistance	R_{IN}			1.8		kΩ
Full-Power Analog Bandwidth	FPBW			800		MHz
REFERENCE (REFA, REFB, REFADJA, REFADJB)						
Reference Output Voltage	$V_{REF\_}$	T_A = +25°C, REFADJ_ = AGND	1.18	1.24	1.30	V
Reference Temperature Drift				65		ppm/°C
REFADJ_ Input High Voltage	$V_{REFADJ\_}$	Used to disable the internal reference	AV_{CC} - 0.1			V
SAMPLING CHARACTERISTICS						
Maximum Sampling Rate	f_{SAMPLE}		210			MHz
Minimum Sampling Rate	f_{SAMPLE}			40		MHz

DC ELECTRICAL CHARACTERISTICS (continued)

(AV_{CC} = OV_{CC} = +1.8V, AGND = OGND = 0, f_{SAMPLE} = 210MHz, differential input and differential sine-wave clock signal, 0.1µF capacitors on REFA and REFB, internal reference, digital output differential R_L = 100Ω, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Pulse-Width Low	t_{CL}	Figure 5 (Note 3)	1.2		20.0	ns
Clock Pulse-Width High	t_{CH}	Figure 5 (Note 3)	1.2		20.0	ns
Clock Duty Cycle		Set by clock-management circuit		25 to 75		%
Aperture Delay	t_{AD}	Figures 5, 11		310		ps
Aperture Jitter	t_{AJ}	Figure 11		0.15		ps_{RMS}
CLOCK INPUTS (CLKP, CLKN)						
Differential Clock Input Amplitude		(Note 3)	200	500		mV_{P-P}
Clock Input Common-Mode Voltage	V_{CLKCM}			1.15 ± 0.25		V
Clock Differential Input Resistance	R_{CLK}	T_A = +25°C (Note 3)		10 ±25%		kΩ
Clock Differential Input Capacitance	C_{CLK}			3		pF
DYNAMIC CHARACTERISTICS (at -1dBFS) (Note 4)						
Signal-to-Noise Ratio	SNR	f_{IN} = 10MHz	65	67.1		dB
		f_{IN} = 65MHz	65	66.7		
		f_{IN} = 100MHz		66.6		
		f_{IN} = 200MHz		65.5		
Effective Number of Bits	ENOB	f_{IN} = 10MHz	10.5	10.9		Bits
		f_{IN} = 65MHz	10.5	10.8		
		f_{IN} = 100MHz		10.8		
		f_{IN} = 200MHz		10.5		
Signal-to-Noise Plus Distortion	SINAD	f_{IN} = 10MHz	64.8	67		dB
		f_{IN} = 65MHz	64.8	66.6		
		f_{IN} = 100MHz		66.3		
		f_{IN} = 200MHz		65.2		
Spurious-Free Dynamic Range	SFDR	f_{IN} = 10MHz	72	88		dBc
		f_{IN} = 65MHz	72	83.5		
		f_{IN} = 100MHz		81		
		f_{IN} = 200MHz		79		
Worst Harmonic (HD2 or HD3)		f_{IN} = 10MHz		-88	-72	dBc
		f_{IN} = 65MHz		-84	-72	
		f_{IN} = 100MHz		-81		
		f_{IN} = 200MHz		-79		
Two-Tone Intermodulation Distortion	TTIMD	f_{IN1} = 29MHz at -7dBFS f_{IN2} = 31MHz at -7dBFS		87		dBc
		f_{IN1} = 97MHz at -7dBFS f_{IN2} = 100MHz at -7dBFS		83		

DC ELECTRICAL CHARACTERISTICS (continued)

(AV_{CC} = OV_{CC} = +1.8V, AGND = OGND = 0, f_{SAMPLE} = 210MHz, differential input and differential sine-wave clock signal, 0.1µF capacitors on REFA and REFB, internal reference, digital output differential R_L = 100Ω, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

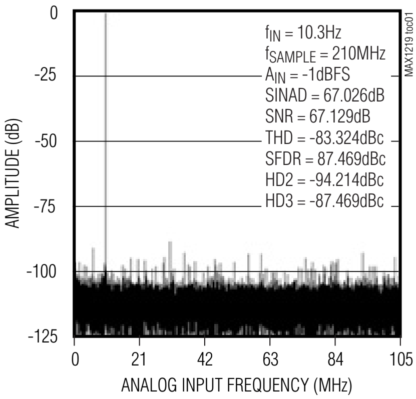
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CHANNEL CROSSTALK AND CHANNEL MATCHING SPECIFICATIONS						
Channel Isolation		f_{IN} = 200MHz, A_{IN} = -1dBFS		90		dB
LVCMOS LOGIC INPUTS (CLKDIV, $\overline{T}$/BA, $\overline{T}$/BB)						
Input High Voltage	V_{IH}		0.8 x OV_{CC}			V
Input Low Voltage	V_{IL}				0.2 x OV_{CC}	V
Input Capacitance				2		pF
LVDS DIGITAL OUTPUTS (DA0P/N–DA11P/N, DB0P/N–DB11P/N, ORAP/N, ORBP/N, DCOP/N)						
Differential Output Voltage	$\lvert V_{OD} \rvert$		225		490	mV
Output Offset Voltage	V_{OS}		1.125		1.310	V
OUTPUT TIMING CHARACTERISTICS						
CLK to Data Propagation Delay	t_{PDL}	Figure 5 (Note 3)		1.7		ns
CLK to DCO Propagation Delay	t_{CPDL}	Figure 5 (Note 3)		3.7		ns
DCO to Data Propagation Delay	t_{PDL} - t_{CPDL}	(Note 3)	2.3	2.7	3.1	ns
LVDS Output Rise Time	t_{RL}	20% to 80%, C_L = 5pF		350		ns
LVDS Output Fall Time	t_{FL}	20% to 80%, C_L = 5pF		350		ns
Output Data Pipeline Delay	$t_{LATENCY}$	Figure 5		11		Clock Cycles
POWER REQUIREMENTS						
Analog Supply Voltage Range	AV_{CC}		1.71	1.8	1.89	V
Output Supply Voltage Range	OV_{CC}		1.71	1.8	1.89	V
Analog Supply Current	I_{AVCC}	f_{IN} = 10MHz		760	900	mA
Output Supply Current	I_{OVCC}	f_{IN} = 10MHz		120	160	mA
Analog Power Dissipation	P_{DISS}	f_{IN} = 10MHz		1.6	1.908	W
Power-Supply Rejection Ratio	PSRR	T_A = +25°C (Note 5)		5		mV/V

Note 1: Values at T_A = +25°C to +85°C are guaranteed by production test. Values at T_A < +25°C are guaranteed by design and characterization.
Note 2: Static linearity and offset parameters are computed from a best-fit straight line through the code transition points. The full-scale range (FSR) is defined as 4095 x slope of the line.
Note 3: Parameter guaranteed by design and characterization; T_A = -40°C to +85°C.
Note 4: ENOB and SINAD are computed from a curve fit.
Note 5: PSRR is measured with the analog and output supplies connected to the same potential.

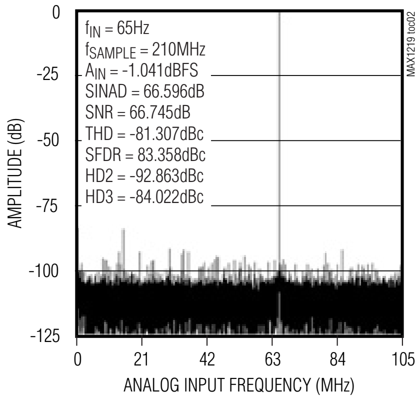
標準動作特性

($AV_{CC} = OV_{CC} = 1.8V$, f_{SAMPLE} = 210MHz, differential input and differential sine-wave clock signal, 0.1µF capacitors on REFA and REFB, internal reference, digital output differential $R_L = 100\Omega$, $T_A = +25°C$, unless otherwise noted.)

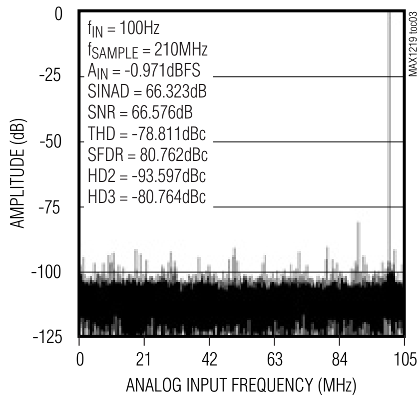
FFT PLOT (16,384 SAMPLES)



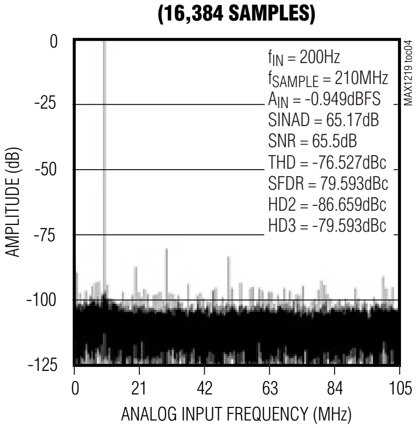
FFT PLOT (16,384 SAMPLES)



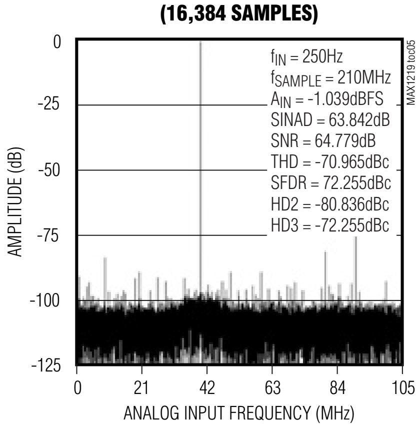
FFT PLOT (16,384 SAMPLES)



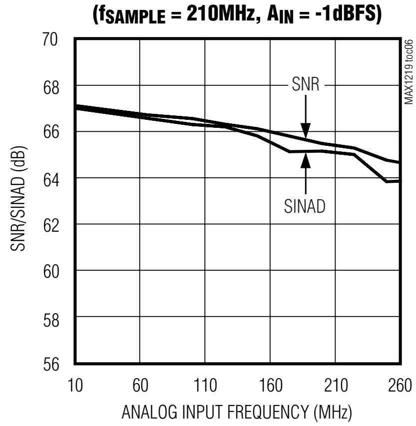
FFT PLOT (16,384 SAMPLES)



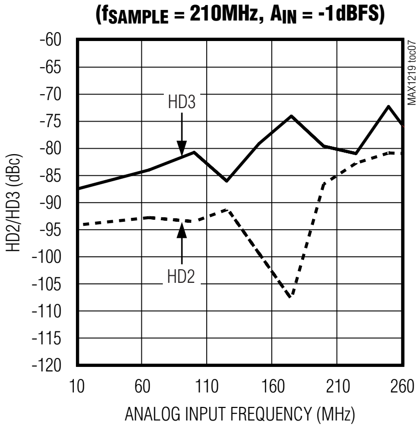
FFT PLOT (16,384 SAMPLES)



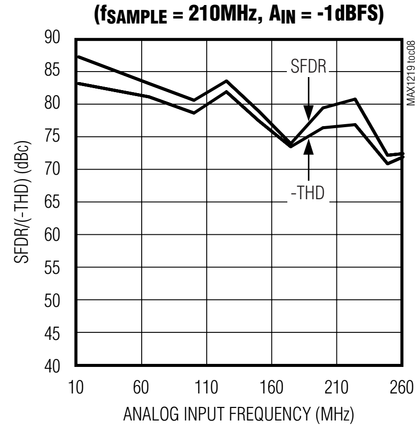
SNR/SINAD vs. ANALOG INPUT FREQUENCY (f_{SAMPLE} = 210MHz, A_{IN} = -1dBFS)



HD2/HD3 vs. ANALOG INPUT FREQUENCY (f_{SAMPLE} = 210MHz, A_{IN} = -1dBFS)

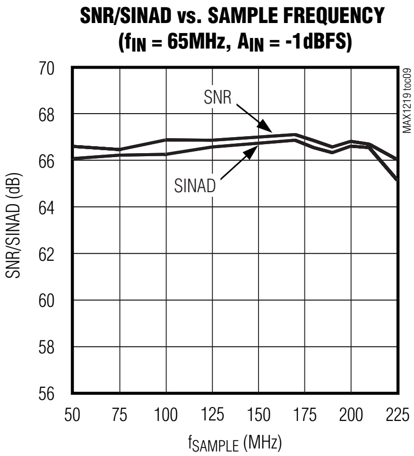


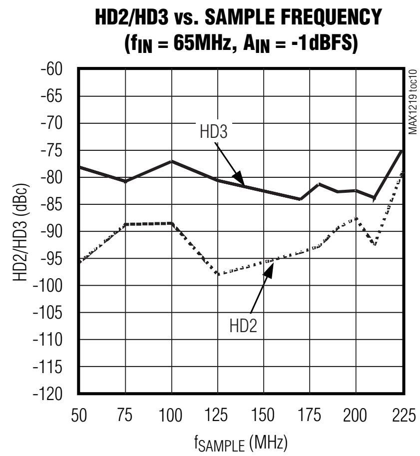
SFDR/(-THD) vs. ANALOG INPUT FREQUENCY (f_{SAMPLE} = 210MHz, A_{IN} = -1dBFS)

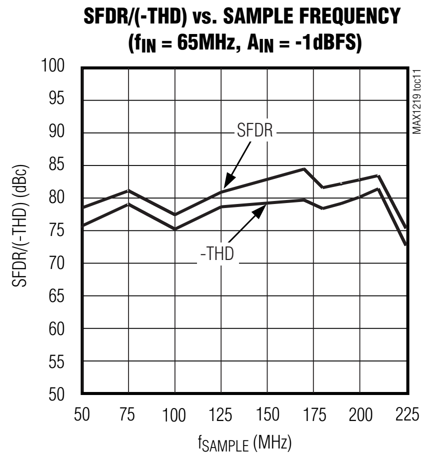


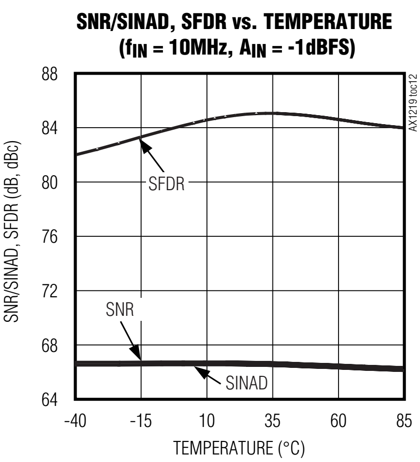
標準動作特性(続き)

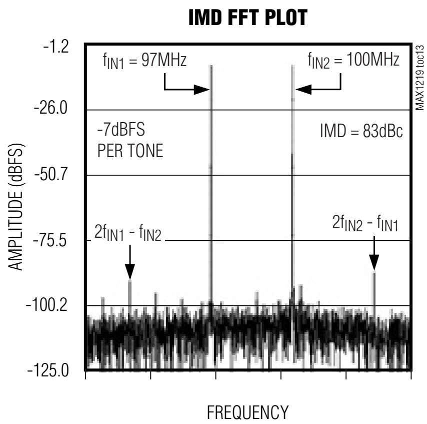
($AV_{CC} = OV_{CC}$ = 1.8V, f_{SAMPLE} = 210MHz, differential input and differential sine-wave clock signal, 0.1µF capacitors on REFA and REFB, internal reference, digital output differential R_L = 100Ω, T_A = +25°C, unless otherwise noted.)

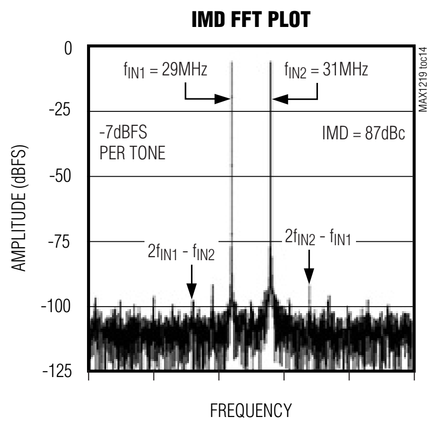






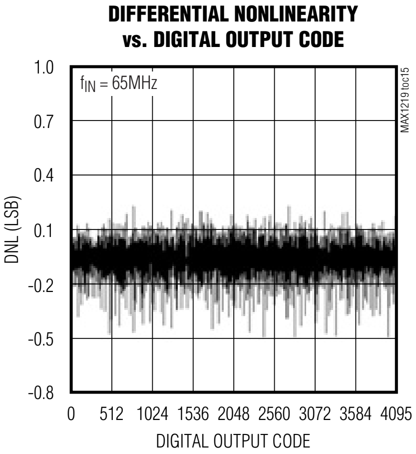


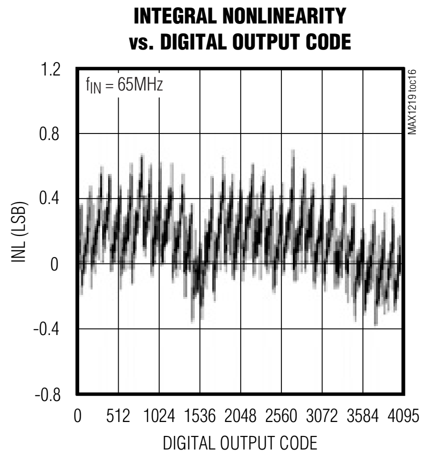


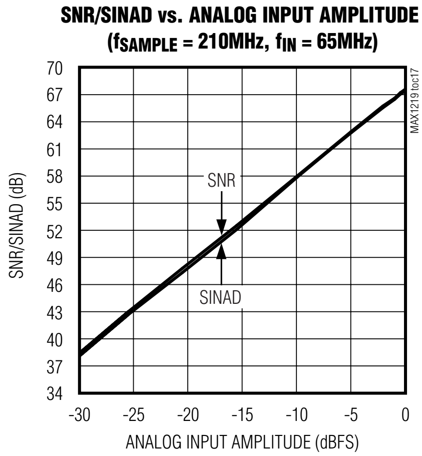


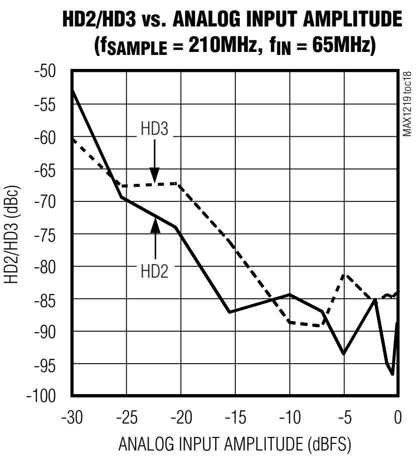
標準動作特性(続き)

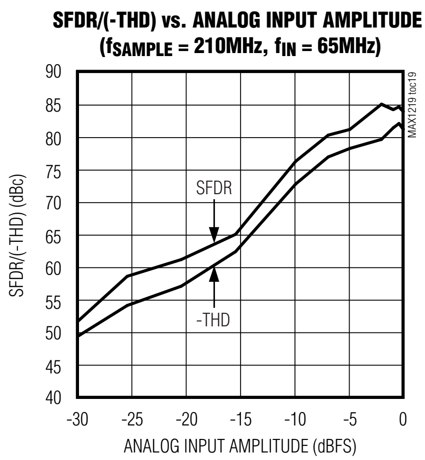
($AV_{CC} = OV_{CC} = 1.8V$, f_{SAMPLE} = 210MHz, differential input and differential sine-wave clock signal, 0.1µF capacitors on REFA and REFB, internal reference, digital output differential $R_L = 100\Omega$, $T_A = +25°C$, unless otherwise noted.)

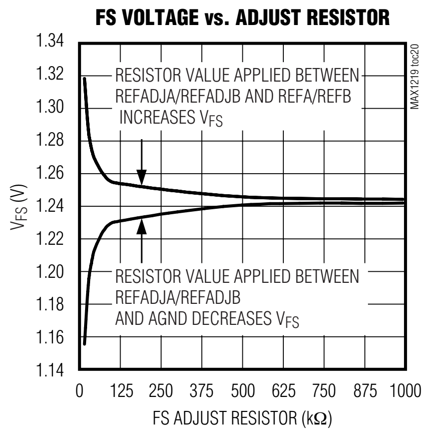












端子説明

端子	名称	機能
1	REFA	チャネルAリファレンス入力/出力。REFADJAがローに駆動されるときはチャネルAの1.23Vリファレンス出力。REFADJAがハイに駆動されるときはチャネルAの外部リファレンス入力。内部および外部の両リファレンスに関して0.1µFのコンデンサをREFAからAGNDに接続してください。
2	REFADJA	チャネルAリファレンス調整入力。REFADJAを使って、REFADJAとAGNDの間(FS範囲の縮小)、またはREFADJAとREFAの間(FS範囲の拡大)に抵抗器または調整用ポテンショメータを配置すると、フルスケール範囲を調整することができます。内部リファレンスを外部リファレンスによってオーバドライブするためには、REFADJAをAV_{CC}に接続してください。内部リファレンスによってデータコンバータのフルスケール範囲を決定するためには、REFADJAをAGNDに接続してください。「内部バンドキャップリファレンスを使用するFSR調整」の項をご覧ください。
3, 5, 8, 11, 14, 18, 21, 23, 26, 28, 30, 33, 93, 96, 99, 100	AGND	アナロググコンバータグランド
4, 9, 10, 15, 16, 17, 22, 27, 29, 31, 94, 95	AV_{CC}	アナログ電源電圧。最良のデカップリング結果を得るために、0.1µFのコンデンサでAV_{CC}をAGNDにバイパスしてください。さらに基板のデカップリングを行ってください。「グランド、バイパス、および基板レイアウト」の項をご覧ください。
6	INAP	正アナログ入力A。チャネルAへの正アナログ入力。
7	INAN	負アナログ入力A。チャネルAへの負アナログ入力。
12	CLKP	真のクロック入力。LVDS対応入力レベルをCLKPに印加してください。
13	CLKN	相補クロック入力。LVDS対応入力レベルをCLKNに印加してください。
19	INBN	負アナログ入力B。チャネルBへの負アナログ入力。
20	INBP	正アナログ入力B。チャネルBへの正アナログ入力。
24	REFADJB	チャネルBリファレンス調整入力。REFADJBを使って、REFADJBとAGNDの間(FS範囲の縮小)、またはREFADJBとREFAの間(FS範囲の拡大)に抵抗器または調整用ポテンショメータを配置すると、フルスケール範囲を調整することができます。内部リファレンスを外部リファレンスによってオーバドライブするためには、REFADJBをAV_{CC}に接続してください。内部リファレンスによってデータコンバータのフルスケール範囲を決定するためには、REFADJBをAGNDに接続してください。「内部バンドキャップリファレンスを使用するFSR調整」の項をご覧ください。
25	REFB	チャネルBリファレンス入力/出力。REFADJBがローに駆動されるときはチャネルBの1.23Vリファレンス出力。REFADJBがハイに駆動されるときはチャネルBの外部リファレンス入力。内部および外部の両リファレンスに関して0.1µFのコンデンサをREFBからAGNDに接続してください。
32	CLKDIV	クロック分周器入力。CLKDIVは、入力クロック周波数を基準としてサンプリング周波数を制御します。CLKDIVはプルダウン抵抗器を内蔵しています。 CLKDIV = 0：サンプリング周波数は入力クロック周波数の半分です。 CLKDIV = 1：サンプリング周波数は入力クロック周波数に等しくなります。
34, 62, 92	OV_{CC}	出力段電源電圧。OV_{CC}を0.1µFのコンデンサでAGNDにバイパスしてください。さらに基板のデカップリングを行ってください。「グランド、バイパス、および基板レイアウト」の項をご覧ください。
35	ORBP	チャネルB真の差動オーバレンジ出力
36	ORBN	チャネルB相補差動オーバレンジ出力
37	DB11P	チャネルB真の差動ディジタル出力ビット11(MSB)
38	DB11N	チャネルB相補差動ディジタル出力ビット11(MSB)
39	DB10P	チャネルB真の差動ディジタル出力ビット10
40	DB10N	チャネルB相補差動ディジタル出力ビット10
41	DB9P	チャネルB真の差動ディジタル出力ビット9
42	DB9N	チャネルB相補差動ディジタル出力ビット9

端子説明(続き)

端子	名称	機　能
43	DB8P	チャネルB真の差動ディジタル出力ビット8
44	DB8N	チャネルB相補差動ディジタル出力ビット8
45	DB7P	チャネルB真の差動ディジタル出力ビット7
46	DB7N	チャネルB相補差動ディジタル出力ビット7
47	DB6P	チャネルB真の差動ディジタル出力ビット6
48	DB6N	チャネルB相補差動ディジタル出力ビット6
49	DB5P	チャネルB真の差動ディジタル出力ビット5
50	DB5N	チャネルB相補差動ディジタル出力ビット5
51	DB4P	チャネルB真の差動ディジタル出力ビット4
52	DB4N	チャネルB相補差動ディジタル出力ビット4
53	DB3P	チャネルB真の差動ディジタル出力ビット3
54	DB3N	チャネルB相補差動ディジタル出力ビット3
55	DB2P	チャネルB真の差動ディジタル出力ビット2
56	DB2N	チャネルB相補差動ディジタル出力ビット2
57	DB1P	チャネルB真の差動ディジタル出力ビット1
58	DB1N	チャネルB相補差動ディジタル出力ビット1
59	DB0P	チャネルB真の差動ディジタル出力ビット0(LSB)
60	DB0N	チャネルB相補差動ディジタル出力ビット0(LSB)
61, 63	OGND	出力段グランド。出力回路用のグランド接続。
64	DCON	相補LVDSディジタルクロック出力。ADCのサンプリング周波数と同じ周波数を出力します。
65	DCOP	真のLVDSディジタルクロック出力。ADCのサンプリング周波数と同じ周波数を出力します。
66	DA0N	チャネルA相補差動ディジタル出力ビット0(LSB)
67	DA0P	チャネルA真の差動ディジタル出力ビット0(LSB)
68	DA1N	チャネルA相補差動ディジタル出力ビット1
69	DA1P	チャネルA真の差動ディジタル出力ビット1
70	DA2N	チャネルA相補差動ディジタル出力ビット2
71	DA2P	チャネルA真の差動ディジタル出力ビット2
72	DA3N	チャネルA相補差動ディジタル出力ビット3
73	DA3P	チャネルA真の差動ディジタル出力ビット3
74	DA4N	チャネルA相補差動ディジタル出力ビット4
75	DA4P	チャネルA真の差動ディジタル出力ビット4
76	DA5N	チャネルA相補差動ディジタル出力ビット5
77	DA5P	チャネルA真の差動ディジタル出力ビット5
78	DA6N	チャネルA相補差動ディジタル出力ビット6
79	DA6P	チャネルA真の差動ディジタル出力ビット6
80	DA7N	チャネルA相補差動ディジタル出力ビット7
81	DA7P	チャネルA真の差動ディジタル出力ビット7
82	DA8N	チャネルA相補差動ディジタル出力ビット8
83	DA8P	チャネルA真の差動ディジタル出力ビット8
84	DA9N	チャネルA相補差動ディジタル出力ビット9

端子説明(続き)

端子	名称	機　能
85	DA9P	チャネルA真の差動ディジタル出力ビット9
86	DA10N	チャネルA相補差動ディジタル出力ビット10
87	DA10P	チャネルA真の差動ディジタル出力ビット10
88	DA11N	チャネルA相補差動ディジタル出力ビット11(MSB)
89	DA11P	チャネルA真の差動ディジタル出力ビット11(MSB)
90	ORAN	チャネルB相補差動オーバレンジ出力
91	ORAP	チャネルB真の差動オーバレンジ出力
97	T̅/BB	チャネルB用の出力形式選択入力。T̅/BBはMAX1219のチャネルBのディジタル出力形式を制御します。T̅/BBはプルダウン抵抗器を内蔵しています。 T̅/BB = 1：バイナリ出力形式 T̅/BB = 0：2の補数出力形式
98	T̅/BA	チャネルA用の出力形式選択入力。T̅/BAはMAX1219のチャネルAのディジタル出力形式を制御します。T̅/BAはプルダウン抵抗器を内蔵しています。 T̅/BA = 1：バイナリ出力形式 T̅/BA = 0：2の補数出力形式
—	EP	エクスポーズドパッド。エクスポーズドパッドは、デバイスの裏側にあり、AGNDに接続する必要があります。

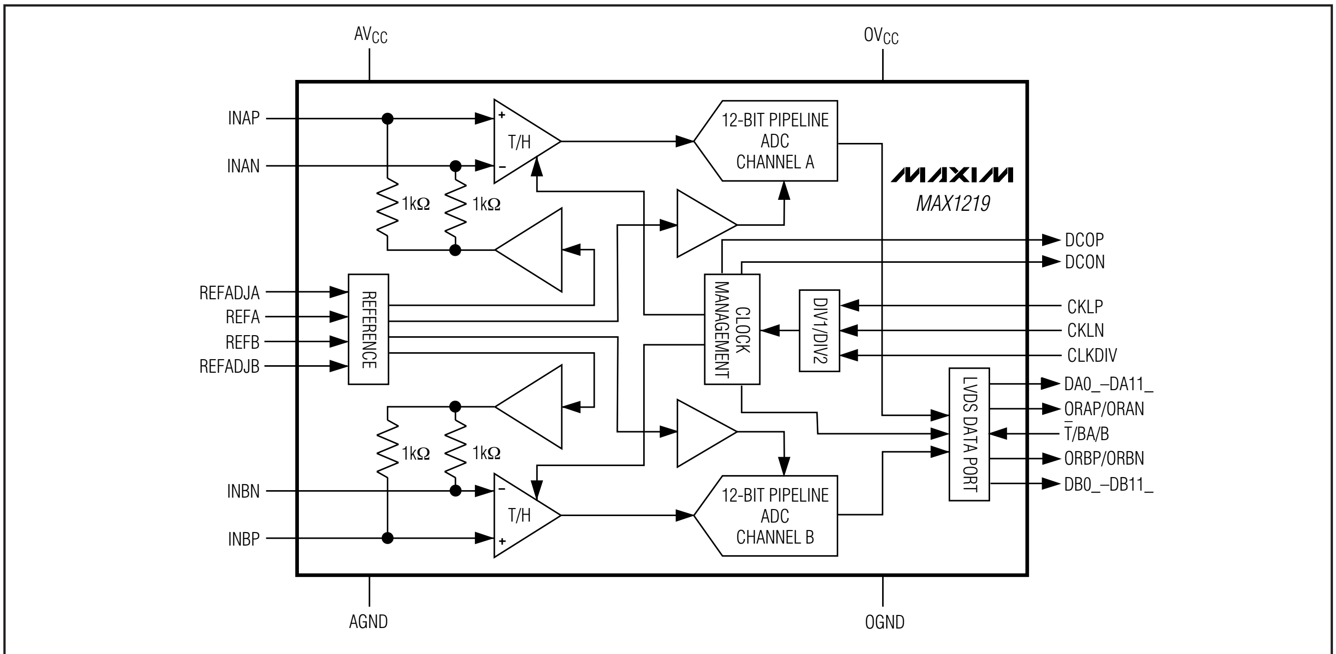


図1．ファンクションダイアグラム

詳細

動作原理

MAX1219は完全差動パイプライン式アーキテクチャを採用し、これによって高速変換、最適な精度、およびリニアリティを可能とし、しかも消費電力を最小限に抑制します。

正入力(INAP、INBP)および負/相補アナログ入力(INAN、INBN)は、ともに0.8Vのコモンモード電圧を中心にして、それぞれ±V_{FS}/4の差動アナログ入力電圧振幅を受け付け、その結果、1.475V_{P-P}の標準差動フルスケール信号振幅となります。入力の各組(INAP、INAN、およびINBP、INBN)は、差動サンプリングクロック信号がハイに遷移するとサンプリングされます。クロック分周モードを使用すると、差動サンプリングクロックが2回ハイに遷移するたびにアナログ入力はサンプリングされます。

パイプラインの各コンバータ段はその入力電圧をディジタル出力コードに変換します。最終段を除いたすべての段で、入力電圧とディジタル出力コード間の誤差が増幅され、次のパイプライン段に渡されます。ディジタル誤差補正は各パイプライン段においてADCコンパレータのオフセットを補償し、ミッシングコードがないことを確かにします。その結果は、LVDS対応出力レベルを備えるユーザ選択可能な2の補数またはオフセットバイナリ出力形式による12ビットパラレルディジタル出力ワードです(図1)。

アナログ入力

MAX1219は、各入力チャネルに対して2組の完全差動入力(INAP、INANおよびINBP、INBN)を備えています。差動入力は偶数次高調波を適切に除去し、信号がアナログ段を通過するときにAC性能を向上させることができます。MAX1219アナログ入力は0.8Vのコモンモード電圧で自己バイアスされ、1.475V_{P-P}の差動入力電圧振幅を実現します(図2)。両入力は1kΩの抵抗器によって自己バイアスされ、その結果、標準値2kΩの差動入力抵抗となります。最高のダイナミック性能を達成するためには、AC結合構成のMAX1219アナログ入力を駆動してください。「トランス結合、差動アナログ入力駆動」の項をご覧ください。

内蔵リファレンス回路

MAX1219は1.24Vのバンドギャップリファレンス回路(図3)を内蔵し、内部リファレンススケーリングアンプとの組合せによって各チャネルのFSRを決定します。REFAとREFBを0.1µFのコンデンサでAGNDにバイパスしてください。利得誤差の補償または各チャネルのFSRの拡大を行うために、外付け抵抗器(100kΩの調整用ポテンショメータなど)をREFADJA/REFADJBとAGNDの間、またはREFADJA/REFADJBとREFA/REFBの間に追加して、各チャネルのバンドギャップリファレンス電圧を独立に調整してください。このプロセスの詳細については、「アプリケーション情報」の項をご覧ください。

各チャネルの内部リファレンスをディセーブルするためには、リファレンス調整入力(REFADJA、REFADJB)をAV_{CC}に接続してください。コンバータのフルスケールを設定するためには、安定した外部リファレンスをチャネルのリファレンス入力/出力(REFA、REFB)に印加してください。チャネルの内部リファレンスをイネーブルするためには、該当するリファレンス調整入力(REFADJA、REFADJB)をAGNDに接続してください。

クロック入力(CLKP、CLKN)

最良のダイナミック性能を得るためには、LVDS対応クロックでMAX1219のクロック入力を駆動してください。ADCのノイズ性能の悪化を回避するためには、クロック信号源を高品質、低位相ノイズとする必要があります。クロック入力(CLKP、CLKN)は1.15Vに内部でバイアスされ、0.5V_{P-P}(typ)の差動信号振幅を受け付けます(図4)。CLKPおよびCLKNを適切に駆動する方法に関する回路の詳細については、「差動、AC結合、LVPECL対応クロック入力」の項をご覧ください。推奨しませんが、クロック入力はシングルエンド入力信号も受け付けます。

MAX1219はクロック管理回路(デューティサイクルイコライザ)も内蔵しています。この回路によって、入力CLKPおよびCLKNに印加されるクロック信号が処理され、50%のデューティサイクルクロック信号が保証されます。このため、入力クロックソースのデューティサイクル変動に対するコンバータ性能の影響が小さくなります。なお、クロックデューティサイクルイコライザを外部からオフとすることはできず、デバイスがデータシートの仕様を満たすようにするためには40MHzを超えるクロック周波数を必要とします。

MAX1219へのクロックが停止すると、ディジタル出力の状態が不規則な変動を開始し、その結果、消費電流が最大40mAまで増加します。

クロック出力(DCON、DCOP)

MAX1219は差動クロック出力を備え、これを使って外部ラッチやレシーバによってディジタル出力データをラッチするのに利用できます。また、クロック出力を使って、外付けデバイス(FPGAなど)とADCを同期させることもできます。DCOPおよびDCONは、LVDS対応電圧レベルを備えた差動出力です。CLKP(CLKN)の立上り(立下り)エッジとDCOP(DCON)の立上り(立下り)エッジとの間に3.7ns(typ)の遅延時間があります。タイミングの詳細については図5をご覧ください。

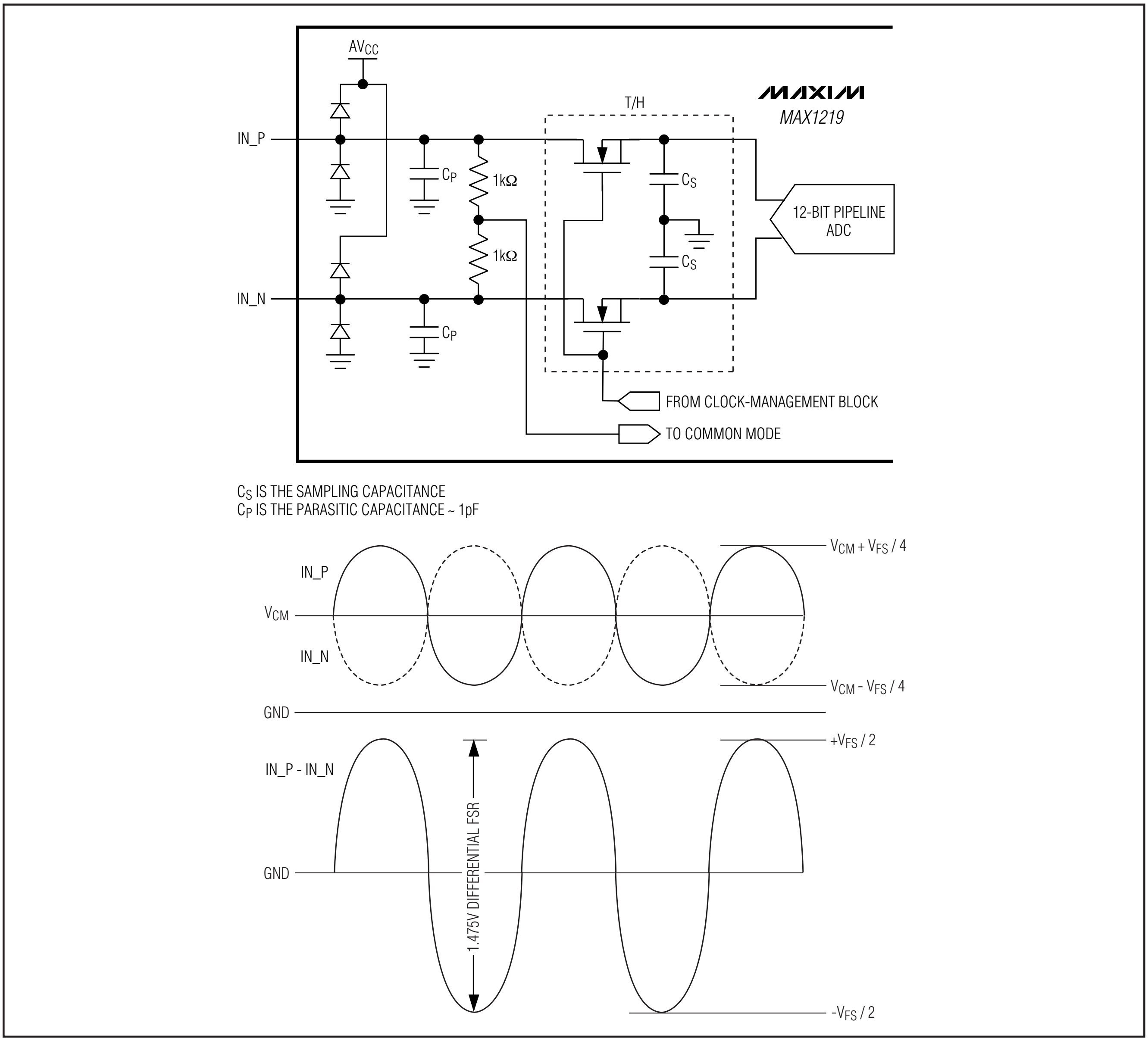


図2. 簡略アナログ入力アーキテクチャと許容入力電圧範囲

2分周クロック制御

MAX1219はクロック制御ライン(CLKDIV)を備え、システム内のクロックジッタの低減を支援します。ADCの内蔵2分周クロック分周器をイネーブルするためには、CLKDIVをOGNDに接続してください。するとデータはADCの入力クロックレートの半分で更新されます。CLKDIVは、プルダウン抵抗器を内蔵し、この2分周モードを必要とするアプリケーションの場合は開放状態にすることができます。CLKDIVをOV_{CC}に接続すると、2分周モードがディセーブルされます。

システムのタイミング要求

図5は、クロック入力と出力、アナログ入力、サンプリングイベント、およびデータ出力間の関係を示します。MAX1219は、CLKP(CLKN)の立上り(立下り)エッジでサンプリングします。出力データは次のDCOP(DCON)の立上り(立下り)エッジで有効ですが、11クロックサイクルの内部遅延があります。

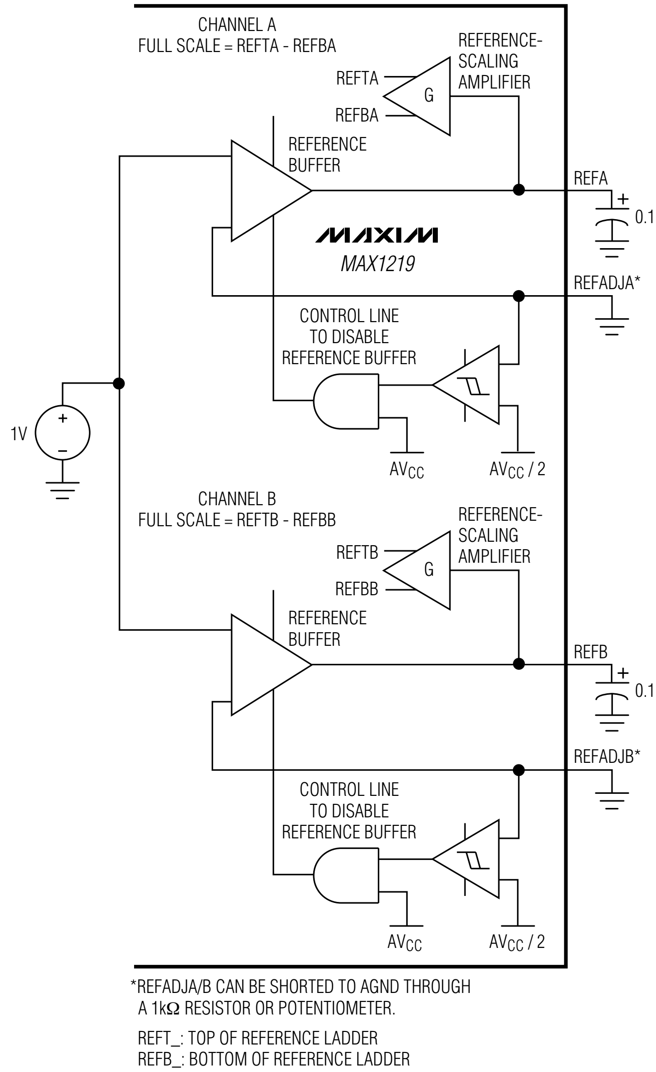


図3. 簡略化リファレンスアーキテクチャ

ディジタル出力(DA0P/N～DA11P/N、DB0P/N～DB11P/N、ORAP/N、ORBP/N、DCOP/N)と制御入力$\overline{\text{T}}$/BA、$\overline{\text{T}}$/BB

ディジタル出力DA0P/N～DA11P/N、DB0P/N～DB11P/N、ORAP/N、ORBP/N、およびDCOP/Nは、LVDS対応で、DA0P/N～DA11P/NおよびDB0P/N～DB11P/Nのデータはバイナリまたは2の補数形式で表わされます(表1)。$\overline{\text{T}}$/BA、$\overline{\text{T}}$/BB制御ラインはLVCMOS対応入力であり、各チャネルの出力形式の選択を可能にします。$\overline{\text{T}}$/BA、$\overline{\text{T}}$/BBをローに駆動すると2の補数形式で、ハイに駆動するとオフセットバイナリ形式でチャネルの12ビットパラレルバスの各々にデータを提供します。$\overline{\text{T}}$/BA、$\overline{\text{T}}$/BBはプルダウン抵抗器を内蔵し、2の補数出力形式のみを使用するアプリケーションにおいて未接続状態のままにすることができます。すべてのLVDS出力は約1.2Vのコモンモード電圧を中心に標準値0.371Vの電圧振幅を備え、各伝送ラインペア(真および相補)は遠端で100Ω終端する必要があります。LVDS出力に給電するためには、OV_{CC}に1.71V～1.89Vの電源電圧を印加してください。

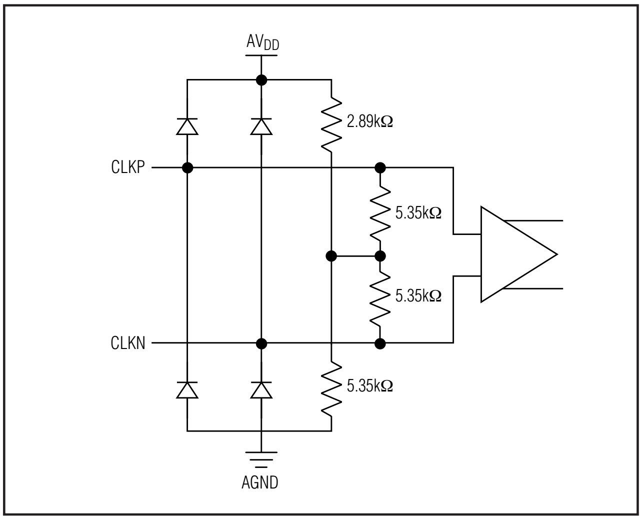


図4. 簡略化クロック入力アーキテクチャ

MAX1219は、各チャネルの「範囲外」状態に対してフラグを設定する差動出力ペア(ORAP/NおよびORBP/N)をさらに備えています。「範囲外」とは、正のフルスケールを上回るか、または負のフルスケールを下回る状態です。各チャネルの「範囲外」状態は、ORAPまたはORBP(ORANまたはORBN)がハイ(ロー)に遷移することによって識別されます。

注：差動LVDS出力アーキテクチャによって電源およびグランドプレーンに対するシングルエンドトランジェントは減少しますが、ディジタル出力の容量性負荷はできる限り小さくする必要があります。より大きな負荷の駆動時にADCのディジタル出力にLVDSバッファを使用すると、全体性能を向上し、システムタイミングの制約を緩和することができます。

アプリケーション情報

内部バンドギャップリファレンスを使用するFSR調整

MAX1219は、各チャネルで10%(±5%)のフルスケール調整範囲を可能にします。チャネルのフルスケール範囲を縮小するために、13kΩ～1MΩの範囲の外付け抵抗器をチャネルのリファレンス調整入力(REFADJA、REFADJB)とAGNDの間に追加してください。チャネルのリファレンス調整入力(REFADJA、REFADJB)とその各リファレンス入力/出力(REFA、REFB)の間に可変抵抗器、ポテンショメータ、または固定抵抗器を追加するとチャネルのFSRが拡大します。図6aは2つの可能な構成とMAX1219の全体的なフルスケール範囲調整に対する影響を示します。各チャネルのFSRは、他のチャネルのFSRとは関係のない許容範囲の任意の値に設定することができます。バンドギャップリファレンスに対する内部利得レギュレーションループの不安定性を避けるために、13kΩを下回る抵抗値を使用しないでください。一連の抵抗値から得られるFSRの結果については、図6bをご覧ください。

差動、AC結合、LVPECL対応クロック入力

MAX1219のダイナミック性能は、非常にクリーンなクロックソースの使用に依存します。クロックソースの位相ノイズフロアは、SNR性能に負の影響を与えます。また、クロック信号ソースのスプリアス信号もADCのダイナミックレンジに影響を与えます。推奨されるMAX1219のクロック制御方式は、LVDSまたはLVPECL対応入力レベルの差動方式です。これらのロジックファミリの高速データ遷移速度はクロック入力回路の遷移の不確実性を最小にし、SNR性能を向上させます。

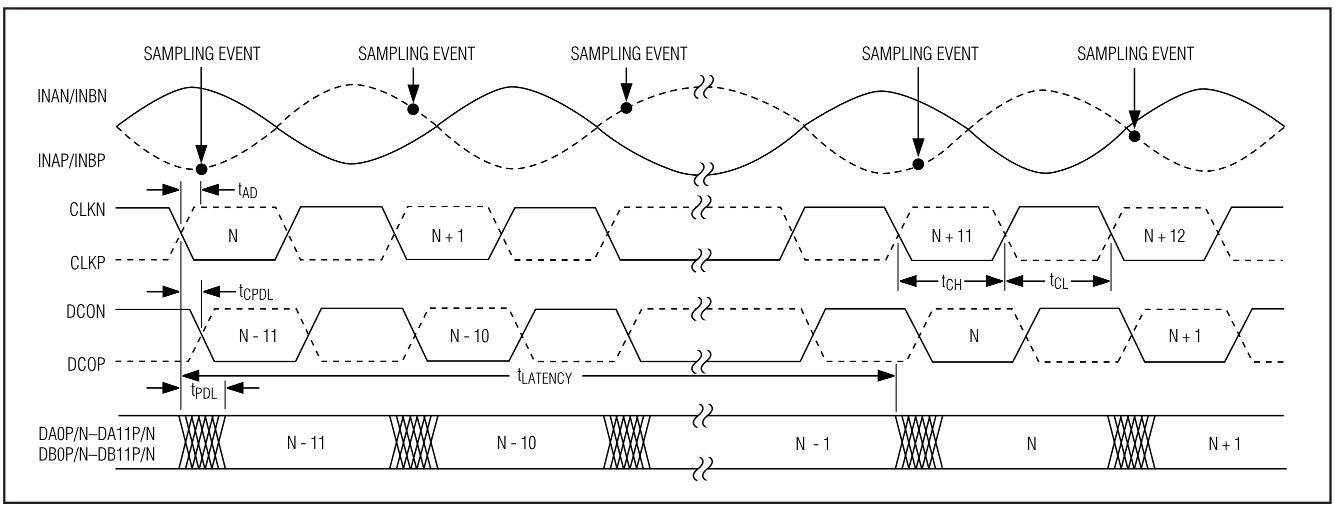


図5. システムおよび出力タイミング図

表1. MAX1219のディジタル出力コーディング

INAP/INBP ANALOG INPUT VOLTAGE LEVEL	INAN/INBN ANALOG INPUT VOLTAGE LEVEL	OUT-OF-RANGE ORAP/ORBP (ORAN/ORBN)	BINARY DIGITAL OUTPUT CODE (DA11P/N–DA0P/N; DB11P/N–DB0P/N)	TWO'S-COMPLEMENT DIGITAL OUTPUT CODE (DA11P/N–DA0P/N; DB11P/N–DB0P/N)
> V_{CM} + V_{FS} / 4	< V_{CM} - V_{FS} / 4	1 (0)	1111 1111 1111 (exceeds +FS, OR set)	0111 1111 1111 (exceeds +FS, OR set)
V_{CM} + V_{FS} / 4	V_{CM} - V_{FS} / 4	0 (1)	1111 1111 1111 (+FS)	0111 1111 1111 (+FS)
V_{CM}	V_{CM}	0 (1)	1000 0000 0000 or 0111 1111 1111 (FS / 2)	0000 0000 0000 or 1111 1111 1111 (FS / 2)
V_{CM} - V_{FS} / 4	V_{CM} + V_{FS} / 4	0 (1)	0000 0000 0000 (-FS)	1000 0000 0000 (-FS)
< V_{CM} + V_{FS} / 4	> V_{CM} - V_{FS} / 4	1 (0)	0000 0000 0000 (exceeds -FS, OR set)	1000 0000 0000 (exceeds -FS, OR set)

これを実現するためには、低位相ノイズの50Ωの逆終端クロック信号ソースをMAX9388などの高速差動レシーバにAC結合してください(図7)。このレシーバは、データコンバータのクロック入力を駆動するために必要とするLVPECL出力レベルを生成します。

トランス結合、差動アナログ入力駆動

MAX1219は、完全差動入力信号の場合に最良のSFDRおよびTHDを提供します。差動入力モードでは、各チャネルへの入力(INAP/NとINBP/N)はバランスが保たれるため偶数次高調波は低下し、かつ各チャネル入力にはシングルエンド構成に比べ半分の信号振幅しか必要としません。

広帯域RFトランスは、シングルエンド信号を完全差動信号に変換する卓越したソリューションを提供します。2つの個別の24.9Ω抵抗器によって1:1のトランス(Mini-CircuitのADT1-1WTなど)の二次側を終端してください。ダイナミック性能を低下させても支障がなければ高いソースインピーダンス値を採用することができます。不平衡の影響を最小限に抑制するために高精度(0.5%)の抵抗器を使用し、ADCのダイナミックレンジを最大化してください。この構成では、トランス寄生容量の影響を緩和してADCのTHDおよびSFDR性能を最適化します。しかし、プリント基板がもたらすシャント容量とADCの寄生容量の組み合わされたソースインピーダンスによって、ADCのフルパワー入力帯域幅が制限されます。

高入力周波数(100MHzを超える)でTHDおよびSFDR性能をさらに向上させるためには、2番目のトランス(図8)をシングルエンドから差動への変換トランスと直列に配置してください。2番目のトランスは高周波における偶数次高調波の増大を緩和します。

シングルエンド、AC結合アナログ入力

推奨しませんが、MAX1219をシングルエンドモードで使用することができます(図9)。アナログ信号を0.1μFのコンデンサを通じて各チャネルの正入力(INAP、INBP)にAC結合し、AGNDへの49.9Ω抵抗器で終端してください。各チャネルの負入力(INAN、INBN)は、0.1μFのコンデンサと直列の24.9Ωの抵抗器でAGNDに終端してください。シングルエンドモードでは、入力範囲がデバイスのFSRの約半分に制限され、通常、ダイナミック性能が低下します。

グランド、バイパス、および基板レイアウト

MAX1219には、高速データコンバータに適した基板レイアウト設計技法が必要です。このADCは、個別のアナログおよび出力電源を受け付けます。アナログおよび出力電源入力は、1.71V～1.89Vの入力電圧範囲を受け付けます。AV_{CC}とOV_{CC}を統合した、1つの電源から供給することができますが、アナログ電源回路に結合可能な出力スイッチング電流による性能低下を緩和するために別の電源を使用してください。アナログおよび出力電源(AV_{CC}およびOV_{CC})はプリント基板に入る場所で対応するグランド(AGND、OGND)に接続したフェライトビーズとコンデンサからなる個別回路を使って、分離してください。

最適性能を得るためには、47μFのタンタルコンデンサと10μFおよび1μFのセラミックコンデンサの並列接続から構成される独立した回路を使って各電源を供給してください。さらに、このADCでは、各電源入力を個別の0.1μFセラミックコンデンサでバイパスする必要があります(図10)。これらのコンデンサをADC電源入力にじかに配置するか、またはMAX1219にできる限り

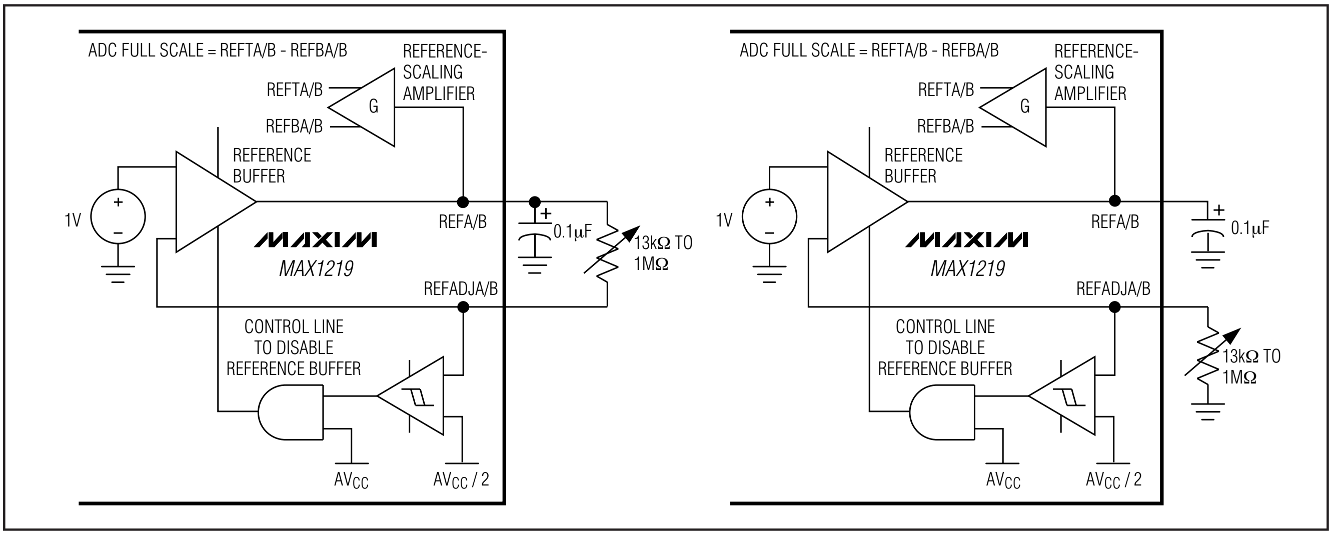


図6a. ADCのフルスケール範囲を調整する回路案

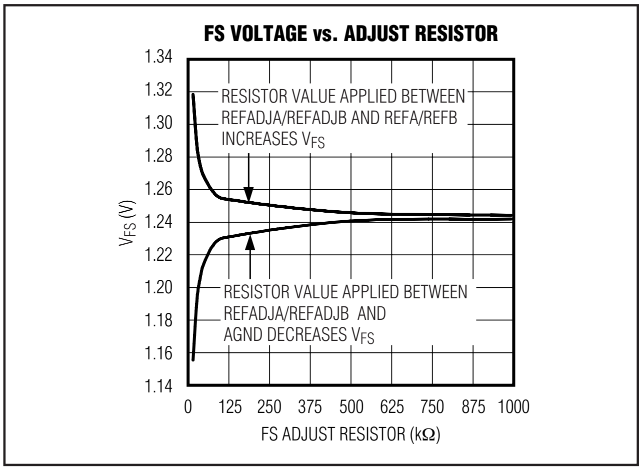


図6b. FS調整範囲 対 FS調整抵抗器

近づけて配置してください。表面実装コンデンサを選択し、面積を節約してインダクタンスを最小限に抑制するために、できればコンバータと同じ側に配置してください。

同じ側に近づけて配置することが不可能な場合は、これらのバイパスコンデンサを、ビアを通じてプリント基板の裏側に配置して配線してください。

独立したグランドプレーンと電源プレーンを持つ多層基板は、最高レベルの信号完全性を提供します。ADCのパッケージ上のアナロググランドと出力グランドの物理位置を整合させるために配置する分割グランドプレーンを使用してください。ノイズの多い出力グランド電流がアナロググランドプレーンに干渉しないように、2つのグランドプレーンを1点で接続してください。グランドに達するまで長距離を進行するダイナミック電流は、大きくて望ましくないグランドループをもたらします。

グランドループはコンバータのアナログフロントエンドに再結合して入力ノイズを悪化させる場合があり、スプリアスアクティビティを増大させ、ノイズ性能を低下させせます。

グランドプレーンがノイズの多い出力システムグランドから十分分離されている場合は、すべてのAGND接続は同一のグランドプレーンを共用することができます。アナログ入力への出力信号の結合を最小限に抑制するためには、出力バスをアナログ入力回路から十分に分離してください。ノイズ結合の影響をさらに最小限に抑制するために、グランドリターンのビアをレイアウト全体に配置して、出力スイッチング電流をADCのノイズに敏感なアナログセクションから遠ざけてください。この方式は、分割グランドプレーンを必要とせずに、アナログフロントエンドとディジタル出力の間に十分多くのグランド接続部を配置して実現することができます。

MAX1219は100ピンTQFP-EPパッケージ(**パッケージコード：C100E-6**)で提供されるため、設計の柔軟性と放熱性が向上し、ADCのAC性能が最適化されます。エクスポーズドパッド(EP)はAGNDに半田付けする必要があります。

データコンバータのダイは、パッケージのプリント基板側に面し、EPリードフレームの裏面をパッケージ底面に露出して、EPリードフレームに接続されています。このため、標準的な赤外線(IR)フロー半田付け技術で基板にパッケージを確実に接続することができます。

熱効率は、MAX1219に関してエクスポーズドパッド付きパッケージを選択する要因の1つです。エクスポーズドパッドによって熱効率が向上し、ADCとプリント基板のアナロググランド層との堅固なグランド接続が実現します。

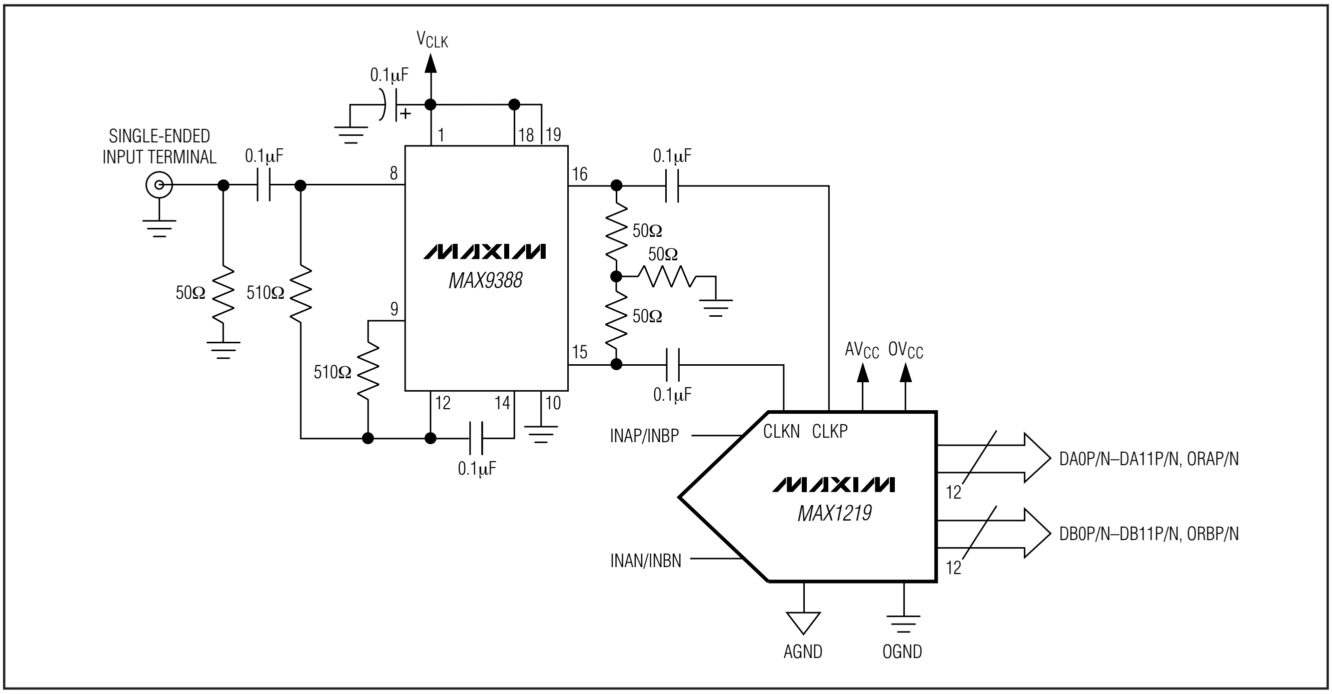


図7．差動、AC結合、LVPECL対応クロック入力構成

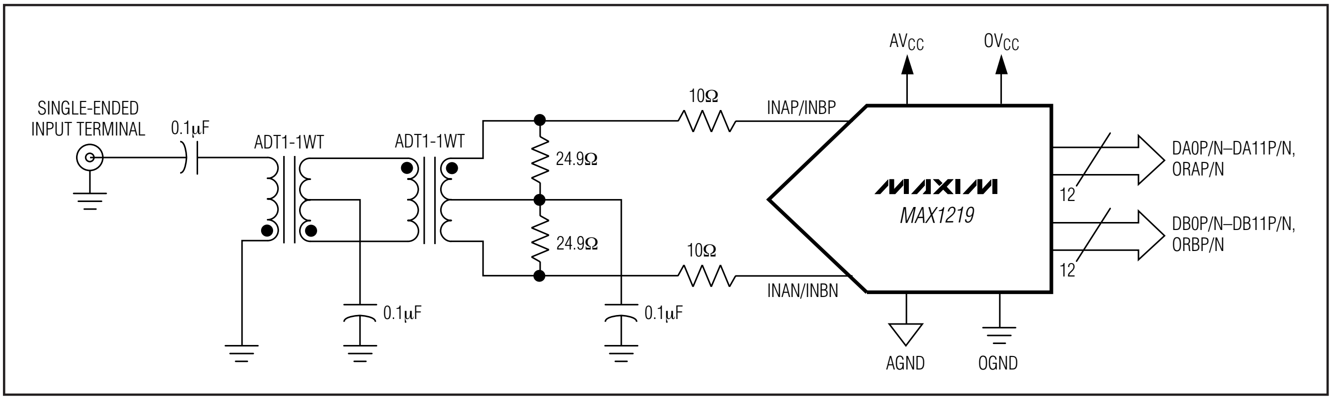


図8．バックトゥバックトランスと二次側終端を備えるアナログ入力構成

注意して高速、高分解能データコンバータ用にディジタル出力トレースを配線してください。トレース長をできる限り短くしてディジタルトレースに関する容量性負荷を最小限(5pF以下)に抑制し、ADCの敏感なアナログセクションへの結合を防止してください。ADCからLVDS負荷デバイスまで100Ωの特性インピーダンスを備える差動ラインとしてLVDS出力トレースを配線してください。

静的パラメータの定義

積分非直線性(Integral Nonlinearity：INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は最適な直線フィット、またはオフセットと利得誤差をヌル(ゼロ)にした後に伝達関数の両端点を結んだ直線です。ただし、MAX1219の静的直線性パラメータは、65MHzの入力周波数のヒストグラム法によって測定されます。

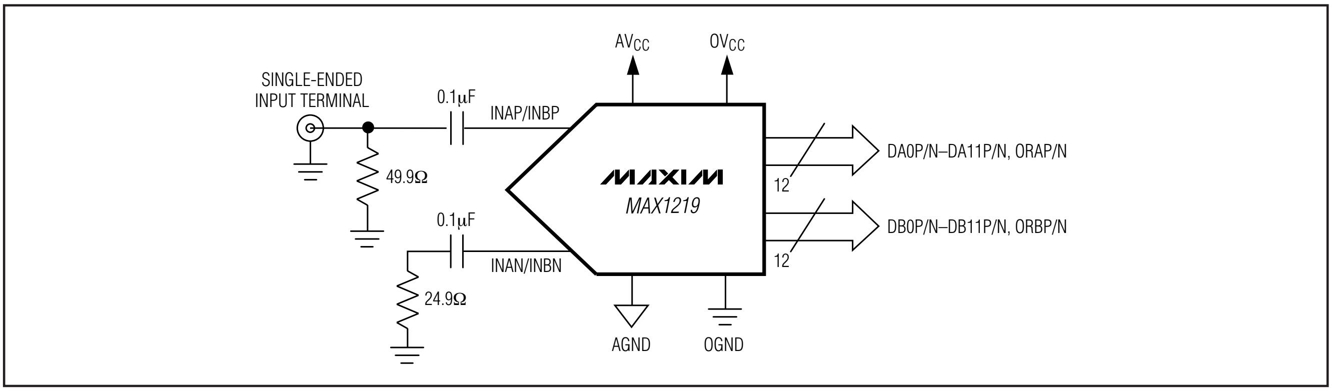


図9. シングルエンドAC結合アナログ入力構成

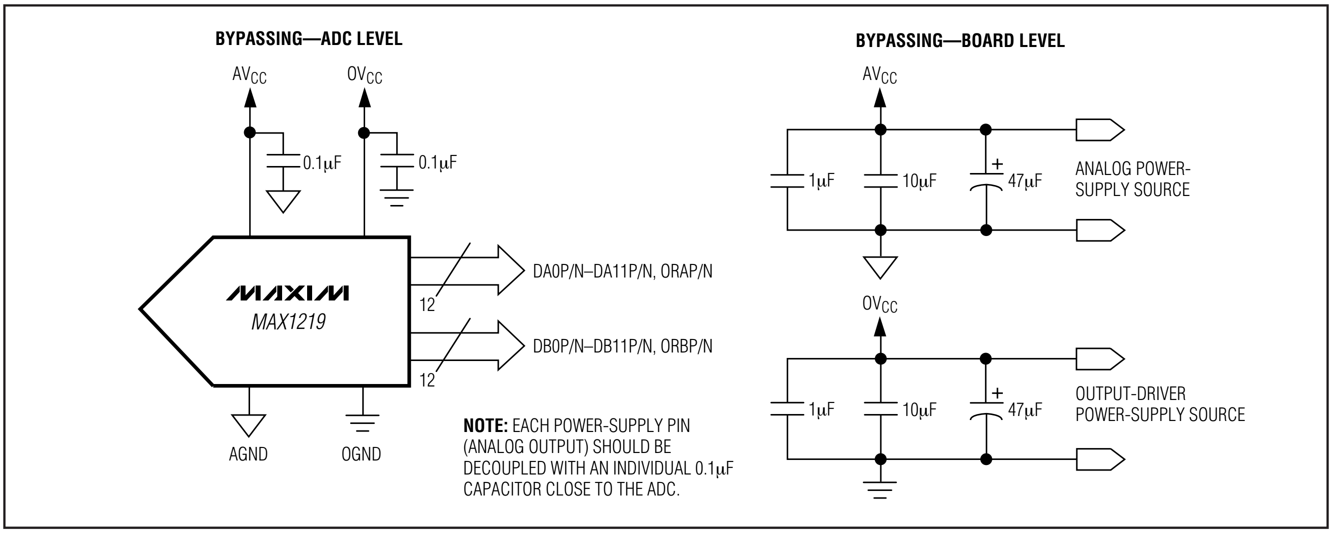


図10. MAX1219のグランド、バイパス、およびデカップリングの推奨図

微分非直線性(Differential Nonlinearity：DNL)

微分非直線性は、実際のステップ幅と1LSBの理想値との差です。-1LSB以上のDNL誤差規格によって、ミッシングコードがないこと、および伝達関数が単調性であることが保証されます。MAX1219のDNL規格は、65MHzの入力トーンに基づくヒストグラム法によって測定されます。

動的パラメータの定義

アパーチャジッタ(Aperture Jitter)

図11はアパーチャジッタ(t_{AJ})を示します。このジッタはアパーチャ遅延におけるサンプル間のばらつきです。

アパーチャ遅延(Aperture Delay)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと、実際のサンプル取得時点との間の時間です(図11)。

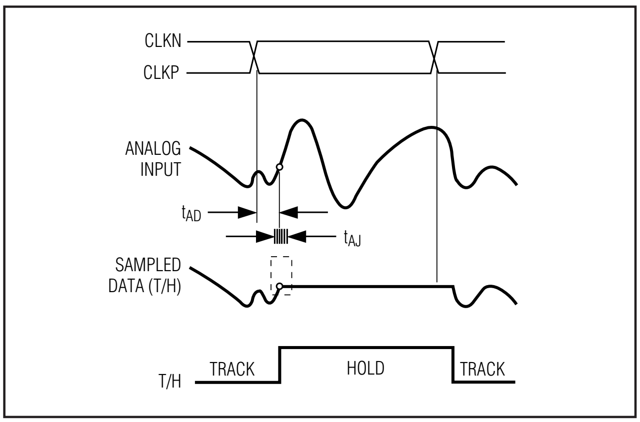


図11. アパーチャジッタ/遅延の仕様

信号 対 ノイズ比(Signal-to-Noise Ratio：SNR)

ディジタルサンプルから完全に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比です。理想的な理論的最小アナログ-ディジタルノイズは、量子化誤差のみによってもたらされ、ADCの分解能(Nビット)に直接起因します。

$$SNR_{dB}[max] = 6.02dB \times N + 1.76dB$$

実際には、量子化ノイズ以外に、サーマルノイズ、リファレンスノイズ、クロックジッタなどのノイズソースもあります。SNRは、RMS信号のRMSノイズに対する比を取ることによって算出されます。RMSノイズは、基本波、最初の6つの高調波(HD2～HD7)、およびDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

信号 対 ノイズ + 歪み(Signal-to-Noise Plus Distortion：SINAD)

SINADは、RMS信号の、全スペクトル成分(基本波およびDCオフセットを除く)に対する比を取ることによって算出されます。MAX1219の場合は、SINADは曲線フィットから算出されます。

スプリアスフリー、ダイナミックレンジ(Spurious-Free Dynamic Range：SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅の、次に大きなノイズまたは高調波歪み成分のRMS値(DCオフセットを除く)に対する比です。SFDRは、通常、基本(キャリア)周波数振幅についてはdBcで測定され、ADCのフルスケール範囲についてはdBFSで測定されます。

相互変調歪み(Intermodulation Distortion：IMD)

IMDは、相互変調積のRMS和の、2つの基本入力トーンのRMS和に対する比です。これは、以下のように表わされます。

$$IMD = 20 \times \log\left(\frac{\sqrt{V^2_{IM1} + V^2_{IM2} + \ldots + V^2_{IMn}}}{\sqrt{V_1^2 + V_2^2}}\right)$$

基本入力トーン振幅(V_1およびV_2)は、-7dBFSでの振幅です。相互変調積は、以下の周波数での出力スペクトルの振幅です。

- 2次相互変調積(IM2)： $f_{IN1} + f_{IN2}$、$f_{IN2} - f_{IN1}$
- 3次相互変調積(IM3)：$2f_{IN1} - f_{IN2}$、$2f_{IN2} - f_{IN1}$、$2f_{IN1} + f_{IN2}$、$2f_{IN2} + f_{IN1}$
- 4次相互変調積(IM4)：$3f_{IN1} - f_{IN2}$、$3f_{IN2} - f_{IN1}$、$3f_{IN1} + f_{IN2}$、$3f_{IN2} + f_{IN1}$
- 5次相互変調積(IM5)：$3f_{IN1} - 2f_{IN2}$、$3f_{IN2} - 2f_{IN1}$、$3f_{IN1} + 2f_{IN2}$、$3f_{IN2} + 2f_{IN1}$

フルパワー帯域幅(Full-Power Bandwidth)

-1dBFSのアナログ入力大信号がADCに加えられ、ディジタル変換結果の振幅が3dB低下するポイントまで入力周波数がスイープされます。-3dBポイントは、ADCのフルパワー入力帯域幅周波数として定義されます。

オフセット誤差(Offset Error)

理想的には、MAX1219のミッドスケールの遷移は、ミッドスケールよりも0.5LSB高い値で起ります。オフセット誤差は、測定された遷移点と理想的な遷移点とのずれの大きさです。

利得誤差(Gain Error)

理想的には、MAX1219の正フルスケールの遷移は、正フルスケールよりも1.5LSB低い値で起こり、負フルスケール遷移は負フルスケールよりも0.5LSB高い値で起ります。利得誤差は、測定遷移点の差から理想遷移点の差を差し引いた値です。

有効ビット数(Effective Number of Bits：ENOB)

ENOBは、特定の入力周波数およびサンプリングレートにおけるADCのダイナミック性能を表わします。理想的なADCの誤差は量子化ノイズのみを含みます。フルスケール正弦波入力波形に対するENOBは次式から算出されます。

$$ENOB = \left(\frac{SINAD - 1.76}{6.02}\right)$$

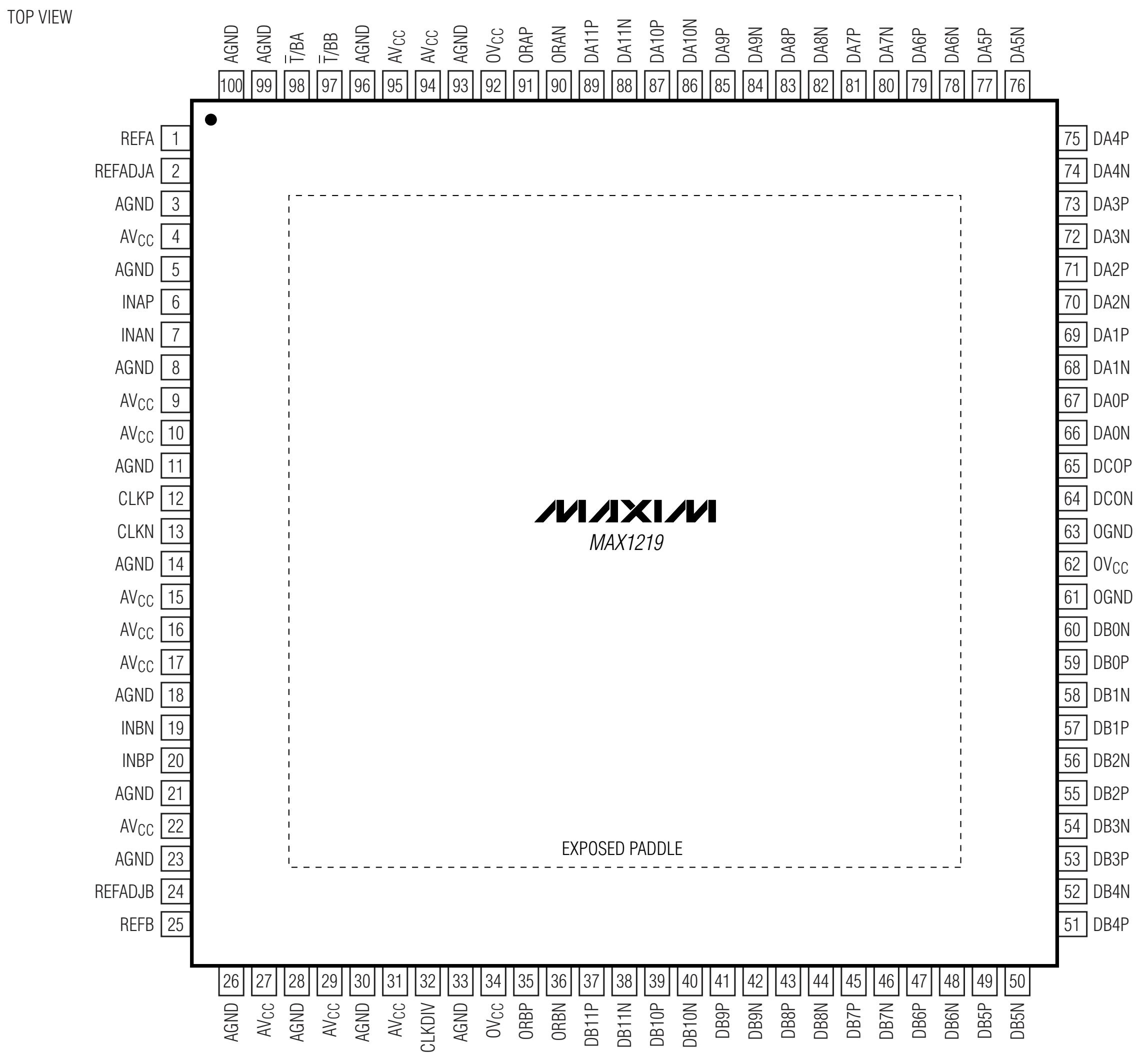
全高調波歪み(Total Harmonic Distortion：THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS和の、基本波そのものに対する比です。これは、以下のように表わされます。

$$THD = 20 \times \log\left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2)}}{V_1}\right]$$

ここで、V_1は基本波の振幅で、V_2～V_7は第2から第7までの高調波(HD2～HD7)の振幅です。

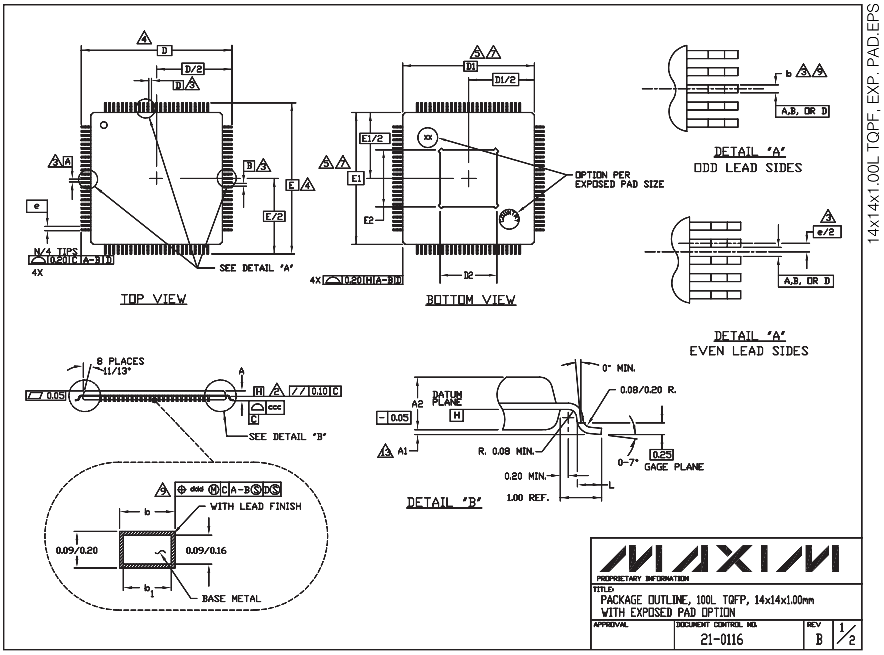
ピン配置


TOP VIEW
AGND 100
AGND 99
T/BA 98
T/BB 97
AGND 96
AVCC 95
AVCC 94
AGND 93
OVCC 92
ORAP 91
ORAN 90
DA11P 89
DA11N 88
DA10P 87
DA10N 86
DA9P 85
DA9N 84
DA8P 83
DA8N 82
DA7P 81
DA7N 80
DA6P 79
DA6N 78
DA5P 77
DA5N 76
REFA 1
REFADJA 2
AGND 3
AVCC 4
AGND 5
INAP 6
INAN 7
AGND 8
AVCC 9
AVCC 10
AGND 11
CLKP 12
CLKN 13
AGND 14
AVCC 15
AVCC 16
AVCC 17
AGND 18
INBN 19
INBP 20
AGND 21
AVCC 22
AGND 23
REFADJB 24
REFB 25
75 DA4P
74 DA4N
73 DA3P
72 DA3N
71 DA2P
70 DA2N
69 DA1P
68 DA1N
67 DA0P
66 DA0N
65 DCOP
64 DCON
63 OGND
62 OVCC
61 OGND
60 DB0N
59 DB0P
58 DB1N
57 DB1P
56 DB2N
55 DB2P
54 DB3N
53 DB3P
52 DB4N
51 DB4P
26 AGND
27 AVCC
28 AGND
29 AVCC
30 AGND
31 AVCC
32 CLKDIV
33 AGND
34 OVCC
35 ORBP
36 ORBN
37 DB11P
38 DB11N
39 DB10P
40 DB10N
41 DB9P
42 DB9N
43 DB8P
44 DB8N
45 DB7P
46 DB7N
47 DB6P
48 DB6N
49 DB5P
50 DB5N
MAXIM
MAX1219
EXPOSED PADDLE

TQFP

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、**japan.maxim-ic.com/packages**をご参照下さい。)



NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. DATUM PLANE [H] LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DATUM [A-B] AND [D] TO BE DETERMINED AT CENTERLINE BETWEEN LEADS WHERE LEADS EXITS PLASTIC BODY AT DATUM PLANE [H].
4. TO BE DETERMINED AT SEATING PLANE [C].
5. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254mm ON D1 AND E1 DIMENSIONS.
6. "N" IS THE TOTAL NUMBER OF TERMINALS.
7. THESE DIMENSIONS TO BE DETERMINED AT DATUM PLANE [H].
8. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15mm.
9. DIMENSIONS b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
10. CONTROLLING DIMENSION: MILLIMETER
11. MAXIMUM ALLOWABLE DIE THICKNESS TO BE ASSEMBLED IN THIS PACKAGE FAMILY IS 0.50mm.
12. THIS OUTLINE IS NOT YET JEDEC REGISTERED.
13. A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
14. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 0.05mm.
15. METAL AREA OF EXPOSED DIE PAD SHALL BE WITHIN 0.30mm OF THE NOMINAL DIE PAD SIZE.
16. COUNTRY OF ORIGIN MUST BE MARKED ON THE PACKAGE.

SYMBOL	ALL DIMENSIONS ARE IN MILLIMETERS			
	MIN.	NOM.	MAX.	NOTES
A	-	-	1.20	
A_1	0.05	-	0.15	13
A_2	0.95	1.00	1.05	
D	16.00 BSC.			4
D_1	14.00 BSC.			7,8
E	16.00 BSC.			4
E_1	14.00 BSC.			7,8
L	0.45	0.60	0.75	
N	100			
e	0.50 BSC.			
b	0.17	0.22	0.27	9
b1	0.17	0.20	0.23	
ccc	-	-	0.08	
ddd	-	-	0.08	

EXPOSED PAD VARIATIONS						
	D2			E2		
PKG. CODE	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
C100E-2	7.7	8.0	8.3	7.7	8.0	8.3
C100E-3	6.2	6.5	6.8	6.2	6.5	6.8
C100E-6	4.7	5.0	5.3	4.7	5.0	5.3

MAXIM
PROPRIETARY INFORMATION
TITLE: PACKAGE OUTLINE, 100L TQFP, 14x14x1.00mm WITH EXPOSED PAD OPTION
APPROVAL | DOCUMENT CONTROL NO. 21-0116 | REV B | 2/2

マキシム・ジャパン株式会社
〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149