

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170MSPS ADC

概要

デュアル、モノリシック、12ビット、170MSPS A/Dコンバータ(ADC)のMAX1218は、最大250MHzの入力周波数まで優れたダイナミック性能を発揮します。この製品は、最大170MSPSの変換レートで動作しますが、チャンネル当りの消費電力はわずか700mWです。

170MSPSで200MHzの入力周波数で、MAX1218は78dBcのスプリアスフリーのダイナミックレンジ(SFDR)と66.2dB(200MHzにおいて)の優れた信号対ノイズ比(SNR)を実現します。このSNRは、最大250MHzの入力トーンに対して平坦性(3dB以内)を維持します。このため、MAX1218を通信レシーバ、ケーブルヘッドエンドレシーバ、およびセルラ基地局トランシーバにおけるパワーアンプのプリディストーション処理などの広帯域アプリケーションに最適化します。

MAX1218は1.8Vの単一電源で動作します。各チャンネルのアナログ入力、AC結合の差動またはシングルエンドで動作するように設計されています。ADCは選択可能な2分周クロック回路も内蔵しており、これは340MHzという高いクロック周波数を利用して入力クロックソースの位相ノイズを抑制します。最高性能を得るためには、低電圧差動信号(LVDS)のサンプリングクロックをお奨めします。コンバータのデジタル出力はLVDS対応で、データ形式は2の補数またはオフセットバイナリのいずれかを選択することができます。

MAX1218はエクスポーズドパッド付きの100ピンTQFPパッケージで提供され、拡張温度範囲(-40°C ~ +85°C)での動作が保証されています。高速または低速のピンコンパチブル製品については、MAX1217(125MSPS)およびMAX1219(210MSPS)のデータシートを参照してください。

アプリケーション

- ケーブルモデム端末システム(CMTS)
- ケーブルデジタルリターンパストランスミッタ
- セルラ基地局パワーアンプ線形化
- IFおよびベースバンドデジタル化
- ATEおよび計測器
- レーダシステム

ピン配置はデータシートの最後に記載されています。

特長

- ◆ 170MSPSの変換レート
- ◆ 優れた低ノイズ特性
 - SNR = 67.1dB($f_{IN} = 100\text{MHz}$ において)
 - SNR = 66.2dB($f_{IN} = 200\text{MHz}$ において)
- ◆ 優れたダイナミックレンジ
 - SFDR = 82dBc($f_{IN} = 100\text{MHz}$ において)
 - SFDR = 78dBc($f_{IN} = 200\text{MHz}$ において)
- ◆ 1.8V単一電源
- ◆ 電力消費: 1.4W($f_{SAMPLE} = 170\text{MSPS}$ および $f_{IN} = 10\text{MHz}$ において)
- ◆ トラックアンドホールドアンプを搭載
- ◆ 1.24Vバンドキャップリファレンスを内蔵
- ◆ 選択可能な2分周クロック入力を搭載
- ◆ データクロック出力付きのLVDSデジタル出力
- ◆ EVキットが利用可能(MAX1218EVKITをご注文ください)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX1218ECQ	-40°C to +85°C	100 TQFP-EP*	C100E-6

*EP = エクスポーズドパッド

ピンコンパチブルバージョン

PART	RESOLUTION (BITS)	SPEED GRADE (MSPS)
MAX1219	12	210
MAX1218	12	170
MAX1217	12	125

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

ABSOLUTE MAXIMUM RATINGS

AV _{CC} to AGND	-0.3V to +2.1V	Current into any Pin.....	50mA
OV _{CC} to OGND	-0.3V to +2.1V	ESD Voltage on INAP, INAN, INBP, INBN (Human Body Model).....	±750V
OV _{CC} to AV _{CC}	-0.3V to +0.3V	ESD Voltage on All Other Pins (Human Body Model).....	±2000V
OGND to AGND	-0.3V to +0.3V	Continuous Power Dissipation (T _A = +70°C) 100-Pin TQFP (derate 37mW/°C above +70°C).....	2963mW
CLKP, CLKN, INAP, INAN, INBP, INBN to AGND	-0.3V to (AV _{CC} + 0.3V)	Operating Temperature Range	-40°C to +85°C
CLKDIV, T _{BA} , T _{BB} to AGND	-0.3V to (AV _{CC} + 0.3V)	Storage Temperature Range	-65°C to +150°C
REFA, REFADJA, REFB, REFADJB to AGND.....	-0.3V to (AV _{CC} + 0.3V)	Junction Temperature.....	+150°C
DCOP, DCON, DA0P–DA11P, DA0N–DA11N, DB0P–DB11P, DB0N–DB11N, ORAP, ORAN, ORBP, ORBN to OGND	-0.3V to (OV _{CC} + 0.3V)	Lead Temperature (soldering, 10s).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(AV_{CC} = OV_{CC} = +1.8V, AGND = OGND = 0, f_{SAMPLE} = 170MHz, differential input and differential sine-wave clock signal, 0.1μF capacitors on REFA and REFB, internal reference, digital output differential R_L = 100Ω, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	N		12			Bits
Integral Nonlinearity (Note 2)	INL	f _{IN} = 10MHz	-2	±0.6	+2	LSB
Differential Nonlinearity (Note 2)	DNL	No missing codes	-1	±0.3	+1	LSB
Transfer Curve Offset	V _{OS}	T _A = +25°C (Note 2)	-3		+3	mV
Offset Temperature Drift				10		μV/°C
ANALOG INPUTS (INAP, INAN, INBP, INBN)						
Full-Scale Input Voltage Range	V _{FSR}	T _A = +25°C (Note 2)	1375	1475	1625	mV _{P-P}
Full-Scale Range Temperature Drift				150		ppm/°C
Common-Mode Input Range	V _{CM}			0.8		V
Differential Input Capacitance	C _{IN}			3		pF
Differential Input Resistance	R _{IN}			1.8		kΩ
Full-Power Analog Bandwidth	FPBW			800		MHz
REFERENCE (REFA, REFB, REFADJA, REFADJB)						
Reference Output Voltage	V _{REF_}	T _A = +25°C, REFADJ_ = AGND	1.18	1.24	1.30	V
Reference Temperature Drift				65		ppm/°C
REFADJ_ Input High Voltage	V _{REFADJ_}	Used to disable the internal reference	AV _{CC} - 0.1			V
SAMPLING CHARACTERISTICS						
Maximum Sampling Rate	f _{SAMPLE}		170			MHz
Minimum Sampling Rate	f _{SAMPLE}			40		MHz

ブロードバンドアプリケーション用、1.8V、 デュアル、12ビット、170Msps ADC

MAX1218

DC ELECTRICAL CHARACTERISTICS (continued)

(AVCC = OVCC = +1.8V, AGND = OGND = 0, fSAMPLE = 170MHz, differential input and differential sine-wave clock signal, 0.1μF capacitors on REFA and REFB, internal reference, digital output differential RL = 100Ω, TA = -40°C to +85°C, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Pulse-Width Low	tCL	Figure 5 (Note 3)	1.5		20.0	ns
Clock Pulse-Width High	tCH	Figure 5 (Note 3)	1.5		20.0	ns
Clock Duty Cycle		Set by clock-management circuit		25 to 75		%
Aperture Delay	tAD	Figures 5, 11		350		ps
Aperture Jitter	tAJ	Figure 11		0.15		psRMS
CLOCK INPUTS (CLKP, CLKN)						
Differential Clock Input Amplitude		(Note 3)	200	500		mVp-p
Clock Input Common-Mode Voltage	VCLKCM			1.15 ± 0.25		V
Clock Differential Input Resistance	RCLK	TA = +25°C (Note 3)		10 ±25%		kΩ
Clock Differential Input Capacitance	CCLK			3		pF
DYNAMIC CHARACTERISTICS (at -1dBFS) (Note 4)						
Signal-to-Noise Ratio	SNR	fIN = 10MHz	65.2	67.7		dB
		fIN = 65MHz	65.2	67.5		
		fIN = 100MHz		67.1		
		fIN = 200MHz		66.2		
Effective Number of Bits	ENOB	fIN = 10MHz	10.5	11		Bits
		fIN = 65MHz	10.5	10.9		
		fIN = 100MHz		10.8		
		fIN = 200MHz		10.7		
Signal-to-Noise Plus Distortion	SINAD	fIN = 10MHz	65	67.5		dB
		fIN = 65MHz	65	67.3		
		fIN = 100MHz		66.8		
		fIN = 200MHz		65.6		
Spurious-Free Dynamic Range	SFDR	fIN = 10MHz	72	88		dBc
		fIN = 65MHz	72	85		
		fIN = 100MHz		82		
		fIN = 200MHz		78		
Worst Harmonic (HD2 or HD3)		fIN = 10MHz		-88	-72	dBc
		fIN = 65MHz		-85	-72	
		fIN = 100MHz		-82		
		fIN = 200MHz		-78		
Two-Tone Intermodulation Distortion	TTIMD	fIN1 = 29MHz at -7dBFS fIN2 = 31MHz at -7dBFS		88		dBc
		fIN1 = 97MHz at -7dBFS fIN2 = 100MHz at -7dBFS		85		

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

DC ELECTRICAL CHARACTERISTICS (continued)

(AVCC = OVCC = +1.8V, AGND = OGGND = 0, fSAMPLE = 170MHz, differential input and differential sine-wave clock signal, 0.1μF capacitors on REFA and REFB, internal reference, digital output differential RL = 100Ω, TA = -40°C to +85°C, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CHANNEL CROSSTALK AND CHANNEL MATCHING SPECIFICATIONS						
Channel Isolation		fIN = 200MHz, AIN = -1dBFS		90		dB
LVC MOS LOGIC INPUTS (CLKDIV, T/BA, T/BB)						
Input High Voltage	VIH		0.8 x OVCC			V
Input Low Voltage	VIL			0.2 x OVCC		V
Input Capacitance				2		pF
LVDS DIGITAL OUTPUTS (DA0P/N-DA11P/N, DB0P/N-DB11P/N, ORAP/N, ORBP/N, DCOP/N)						
Differential Output Voltage	VODI		225		490	mV
Output Offset Voltage	VOS		1.125		1.310	V
OUTPUT TIMING CHARACTERISTICS						
CLK to Data Propagation Delay	tPDL	Figure 5 (Note 3)		1.6		ns
CLK to DCO Propagation Delay	tCPDL	Figure 5 (Note 3)		4.2		ns
DCO to Data Propagation Delay	tPDL - tCPDL	(Note 3)	2.7	3.2	3.7	ns
LVDS Output Rise Time	tRL	20% to 80%, CL = 5pF		350		ns
LVDS Output Fall Time	tFL	20% to 80%, CL = 5pF		350		ns
Output Data Pipeline Delay	tLATENCY	Figure 5		11		Clock Cycles
POWER REQUIREMENTS						
Analog Supply Voltage Range	AVCC		1.71	1.8	1.89	V
Output Supply Voltage Range	OVCC		1.71	1.8	1.89	V
Analog Supply Current	I _{AVCC}	fIN = 10MHz		650	750	mA
Output Supply Current	I _{OVCC}	fIN = 10MHz		120	160	mA
Analog Power Dissipation	PDISS	fIN = 10MHz		1.4	1.64	W
Power-Supply Rejection Ratio	PSRR	TA = +25°C (Note 5)		2.9		mV/V

Note 1: Values at TA = +25°C to +85°C are guaranteed by production test. Values at TA < +25°C are guaranteed by design and characterization.

Note 2: Static linearity and offset parameters are computed from a best-fit straight line through the code transition points. The full-scale range (FSR) is defined as 4095 x slope of the line.

Note 3: Parameter guaranteed by design and characterization; TA = -40°C to +85°C.

Note 4: ENOB and SINAD are computed from a curve fit.

Note 5: PSRR is measured with the analog and output supplies connected to the same potential.

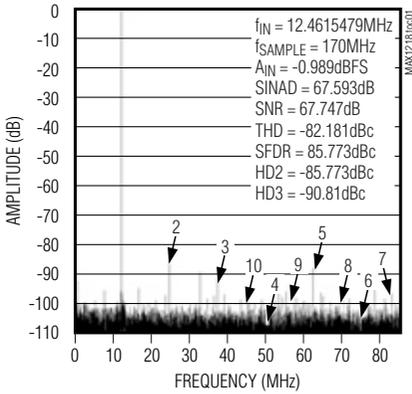
ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170MSPS ADC

MAX1218

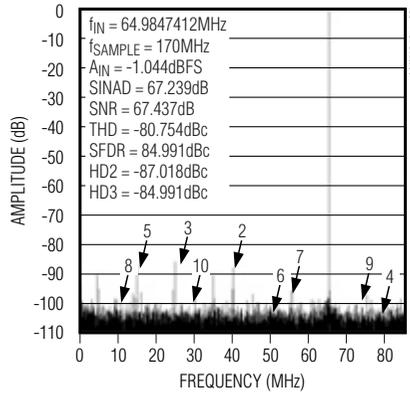
標準動作特性

($V_{CC} = V_{DD} = +1.8V$, $f_{SAMPLE} = 170MHz$, differential input and differential sine-wave clock, $0.1\mu F$ capacitors on REFA and REFB, digital output differential $R_L = 100\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

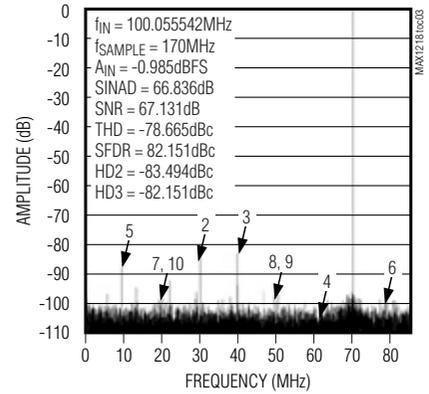
FFT PLOT
(16,384 SAMPLES)



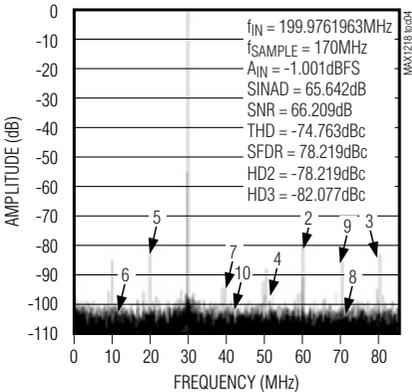
FFT PLOT
(16,384 SAMPLES)



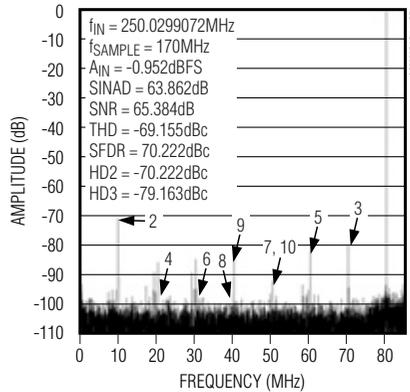
FFT PLOT
(16,384 SAMPLES)



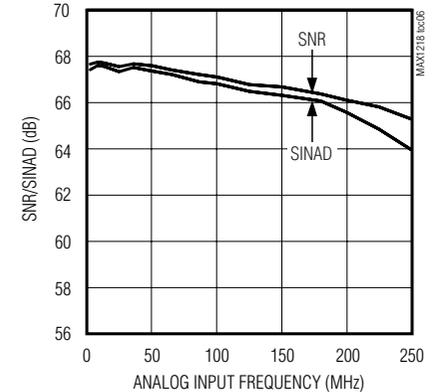
FFT PLOT
(16,384 SAMPLES)



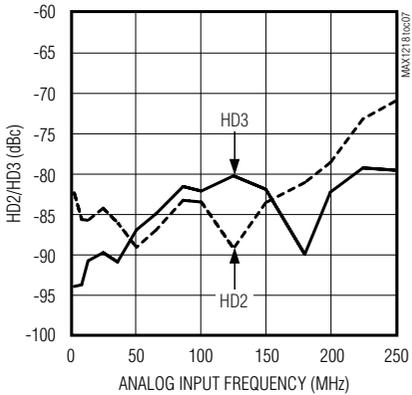
FFT PLOT
(16,384 SAMPLES)



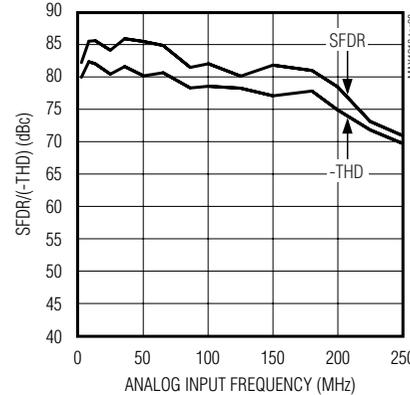
SNR/SINAD vs. ANALOG INPUT FREQUENCY
($f_{SAMPLE} = 170MHz$, $A_{IN} = -1dBFS$)



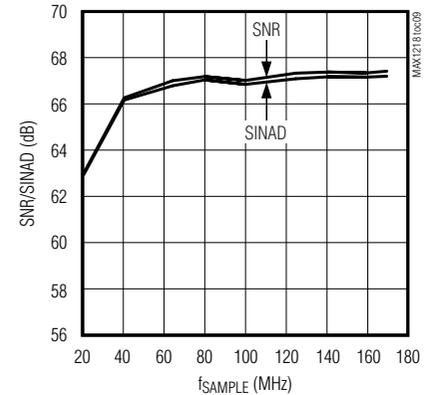
HD2/HD3 vs. ANALOG INPUT FREQUENCY
($f_{SAMPLE} = 170MHz$, $A_{IN} = -1dBFS$)



SFDR/(-THD) vs. ANALOG INPUT FREQUENCY
($f_{SAMPLE} = 170MHz$, $A_{IN} = -1dBFS$)



SNR/SINAD vs. SAMPLE FREQUENCY
($f_{IN} = 64.9847412MHz$, $A_{IN} = -1dBFS$)

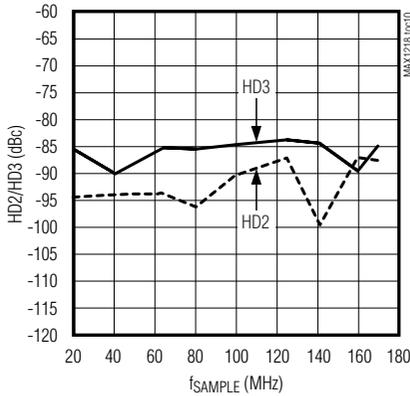


ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170MSPS ADC

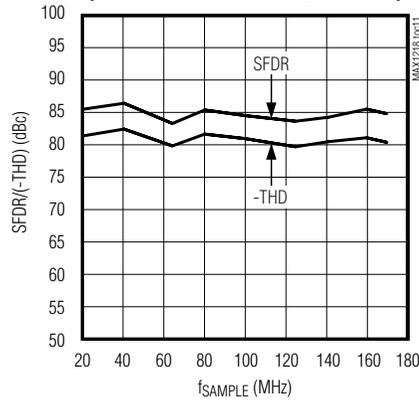
標準動作特性(続き)

($V_{CC} = V_{DD} = +1.8V$, $f_{SAMPLE} = 170MHz$, differential input and differential sine-wave clock, $0.1\mu F$ capacitors on REFA and REFB, digital output differential $R_L = 100\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

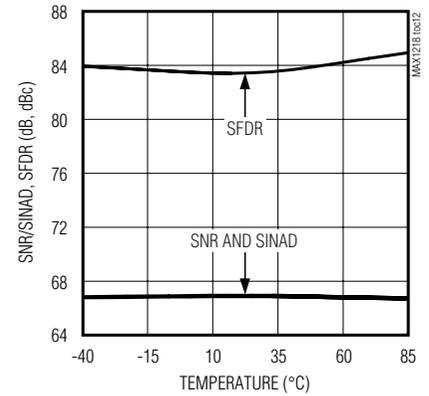
HD2/HD3 vs. SAMPLE FREQUENCY
($f_{IN} = 64.9847412MHz$, $A_{IN} = -1dBFS$)



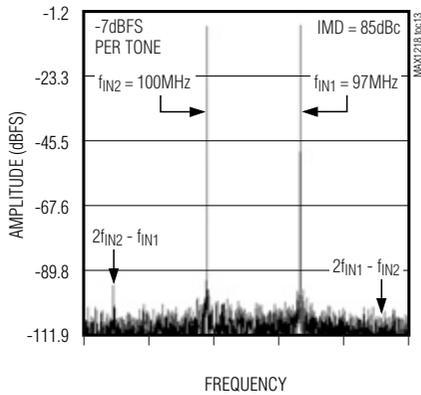
SFDR/(-THD) vs. SAMPLE FREQUENCY
($f_{IN} = 64.9847412MHz$, $A_{IN} = -1dBFS$)



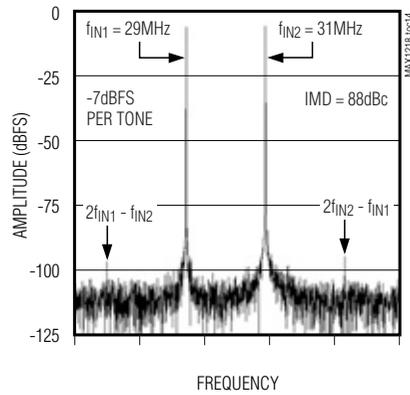
SNR/SINAD, SFDR vs. TEMPERATURE
($f_{IN} = 10MHz$, $A_{IN} = -1dBFS$)



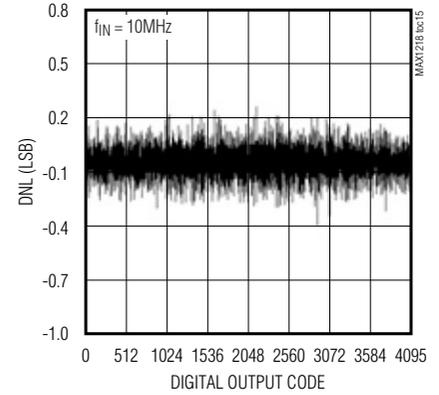
IMD FFT PLOT



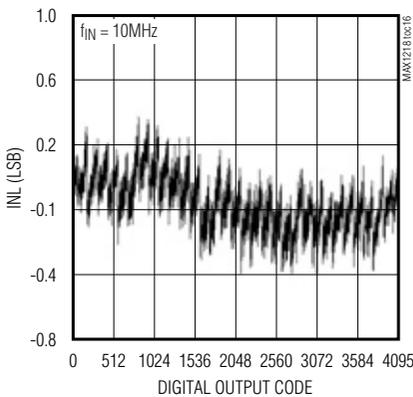
IMD FFT PLOT



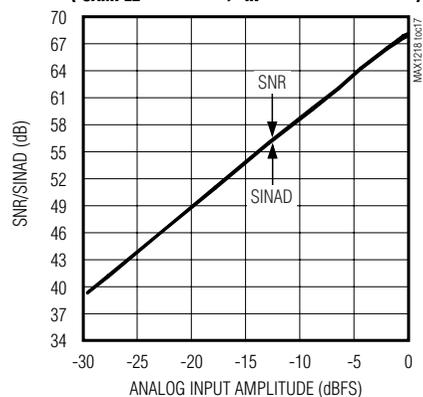
DIFFERENTIAL NONLINEARITY vs. DIGITAL OUTPUT CODE



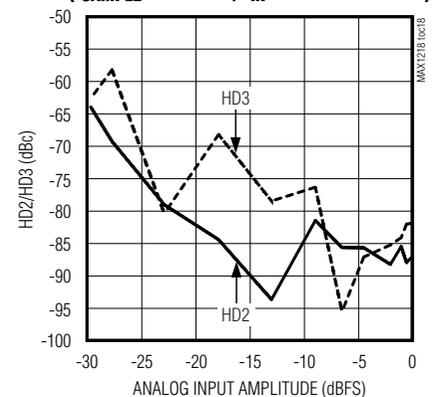
INTEGRAL NONLINEARITY vs. DIGITAL OUTPUT CODE



SNR/SINAD vs. ANALOG INPUT AMPLITUDE
($f_{SAMPLE} = 170MHz$, $f_{IN} = 64.9847412MHz$)



HD2/HD3 vs. ANALOG INPUT AMPLITUDE
($f_{SAMPLE} = 170MHz$, $f_{IN} = 64.9847412MHz$)



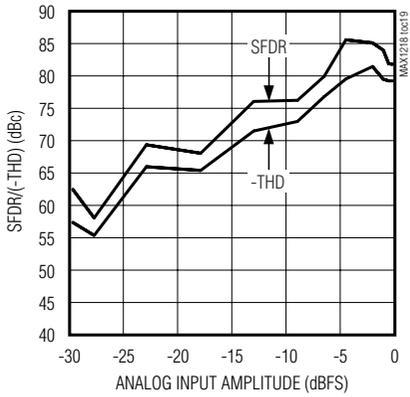
ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

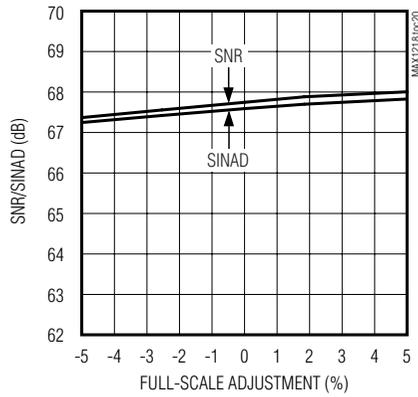
標準動作特性(続き)

($V_{CC} = O_{VCC} = +1.8V$, $f_{SAMPLE} = 170MHz$, differential input and differential sine-wave clock, $0.1\mu F$ capacitors on REFA and REFB, digital output differential $R_L = 100\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

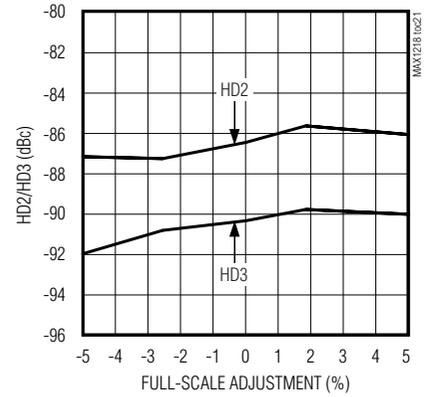
SFDR/(-THD) vs. ANALOG INPUT AMPLITUDE
($f_{SAMPLE} = 170MHz$, $f_{IN} = 64.9847412MHz$)



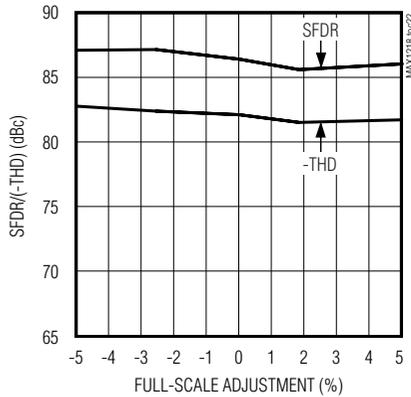
SNR/SINAD vs. % FS ADJUSTMENT
($f_{SAMPLE} = 170MHz$, $f_{IN} = 12.5MHz$, $A_{IN} = -1dB$)



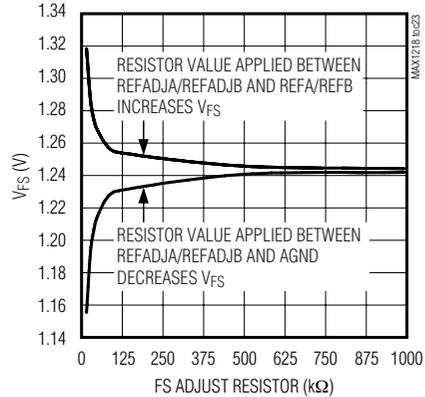
HD2/HD3 vs. % FS ADJUSTMENT
($f_{SAMPLE} = 170MHz$, $f_{IN} = 12.5MHz$, $A_{IN} = -1dBFS$)



SFDR/(-THD) vs. % FS ADJUSTMENT
($f_{SAMPLE} = 170MHz$, $f_{IN} = 12.5MHz$, $A_{IN} = -1dBFS$)



FS VOLTAGE vs. ADJUST RESISTOR



ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

端子説明

端子	名称	機能
1	REFA	チャンネルAリファレンス入力/出力。REFADJAがローに駆動される時はチャンネルAの1.23Vリファレンス出力。REFADJAがハイに駆動される時はチャンネルAの外部リファレンス入力。内部および外部の両リファレンスに関して0.1 μ FのコンデンサをREFAからAGNDに接続してください。
2	REFADJA	チャンネルAリファレンス調整入力。REFADJAを使って、REFADJAとAGNDの間(FS範囲の縮小)、またはREFADJAとREFAの間(FS範囲の拡大)に抵抗器または調整用ポテンショメータを配置すると、フルスケール範囲を調整することができます。内部リファレンスを外部リファレンスによってオーバドライブするためには、REFADJAをAV _{CC} に接続してください。内部リファレンスによってデータコンバータのフルスケール範囲を決定するためには、REFADJAをAGNDに接続してください。「内部バンドキャップリファレンスを使用するFSR調整」の項をご覧ください。
3, 5, 8, 11, 14, 18, 21, 23, 26, 28, 30, 33, 93, 96, 99, 100	AGND	アナログコンバータグランド
4, 9, 10, 15, 16, 17, 22, 27, 29, 31, 94, 95	AV _{CC}	アナログ電源電圧。最良のデカップリング結果を得るために、0.1 μ FのコンデンサでAV _{CC} をAGNDにバイパスしてください。基板のデカップリングをさらに行ってください。「グランド、バイパス、および基板レイアウトの検討」の項をご覧ください。
6	INAP	正アナログ入力A。チャンネルAへの正アナログ入力。
7	INAN	負アナログ入力A。チャンネルAへの負アナログ入力。
12	CLKP	真のクロック入力。LVDS対応入力レベルをCLKPに印加してください。
13	CLKN	相補クロック入力。LVDS対応入力レベルをCLKNに印加してください。
19	INBN	負アナログ入力B。チャンネルBへの負アナログ入力。
20	INBP	正アナログ入力B。チャンネルBへの正アナログ入力。
24	REFADJB	チャンネルBリファレンス調整入力。REFADJBを使って、REFADJBとAGNDの間(FS範囲の縮小)、またはREFADJBとREFAの間(FS範囲の拡大)に抵抗器または調整用ポテンショメータを配置すると、フルスケール範囲を調整することができます。内部リファレンスを外部リファレンスによってオーバドライブするためには、REFADJBをAV _{CC} に接続してください。内部リファレンスによってデータコンバータのフルスケール範囲を決定するためには、REFADJBをAGNDに接続してください。「内部バンドキャップリファレンスを使用するFSR調整」の項をご覧ください。
25	REFB	チャンネルBリファレンス入力/出力。REFADJBがローに駆動される時はチャンネルBの1.23Vリファレンス出力。REFADJBがハイに駆動される時はチャンネルBの外部リファレンス入力。内部および外部の両リファレンスに関して0.1 μ FのコンデンサをREFBからAGNDに接続してください。
32	CLKDIV	クロック分周器入力。CLKDIVは、入力クロック周波数を基準としてサンプリング周波数を制御します。CLKDIVはプルダウン抵抗器を内蔵しています。CLKDIV = 0:サンプリング周波数は入力クロック周波数の半分です。CLKDIV = 1:サンプリング周波数は入力クロック周波数に等しくなります。
34, 62, 92	OV _{CC}	出力段電源電圧。OV _{CC} を0.1 μ FのコンデンサでAGNDにバイパスしてください。基板のデカップリングをさらに行ってください。「グランド、バイパス、および基板レイアウトの検討」の項をご覧ください。
35	ORBP	チャンネルB真の差動オーバーレンジ出力
36	ORBN	チャンネルB相補差動オーバーレンジ出力
37	DB11P	チャンネルB真の差動デジタル出力ビット11(MSB)
38	DB11N	チャンネルB相補差動デジタル出力ビット11(MSB)
39	DB10P	チャンネルB真の差動デジタル出力ビット10
40	DB10N	チャンネルB相補差動デジタル出力ビット10
41	DB9P	チャンネルB真の差動デジタル出力ビット9
42	DB9N	チャンネルB相補差動デジタル出力ビット9

ブロードバンドアプリケーション用、1.8V、 デュアル、12ビット、170Msps ADC

MAX1218

端子説明(続き)

端子	名称	機能
43	DB8P	チャンネルB真の差動デジタル出力ビット8
44	DB8N	チャンネルB相補差動デジタル出力ビット8
45	DB7P	チャンネルB真の差動デジタル出力ビット7
46	DB7N	チャンネルB相補差動デジタル出力ビット7
47	DB6P	チャンネルB真の差動デジタル出力ビット6
48	DB6N	チャンネルB相補差動デジタル出力ビット6
49	DB5P	チャンネルB真の差動デジタル出力ビット5
50	DB5N	チャンネルB相補差動デジタル出力ビット5
51	DB4P	チャンネルB真の差動デジタル出力ビット4
52	DB4N	チャンネルB相補差動デジタル出力ビット4
53	DB3P	チャンネルB真の差動デジタル出力ビット3
54	DB3N	チャンネルB相補差動デジタル出力ビット3
55	DB2P	チャンネルB真の差動デジタル出力ビット2
56	DB2N	チャンネルB相補差動デジタル出力ビット2
57	DB1P	チャンネルB真の差動デジタル出力ビット1
58	DB1N	チャンネルB相補差動デジタル出力ビット1
59	DB0P	チャンネルB真の差動デジタル出力ビット0(LSB)
60	DB0N	チャンネルB相補差動デジタル出力ビット0(LSB)
61, 63	OGND	出力段グランド。出力回路用のグランド接続。
64	DCON	相補LVDSデジタルクロック出力。ADCのサンプリング周波数と同じ周波数を出力します。
65	DCOP	真のLVDSデジタルクロック出力。ADCのサンプリング周波数と同じ周波数を出力します。
66	DA0N	チャンネルA相補差動デジタル出力ビット0(LSB)
67	DA0P	チャンネルA真の差動デジタル出力ビット0(LSB)
68	DA1N	チャンネルA相補差動デジタル出力ビット1
69	DA1P	チャンネルA真の差動デジタル出力ビット1
70	DA2N	チャンネルA相補差動デジタル出力ビット2
71	DA2P	チャンネルA真の差動デジタル出力ビット2
72	DA3N	チャンネルA相補差動デジタル出力ビット3
73	DA3P	チャンネルA真の差動デジタル出力ビット3
74	DA4N	チャンネルA相補差動デジタル出力ビット4
75	DA4P	チャンネルA真の差動デジタル出力ビット4
76	DA5N	チャンネルA相補差動デジタル出力ビット5
77	DA5P	チャンネルA真の差動デジタル出力ビット5
78	DA6N	チャンネルA相補差動デジタル出力ビット6
79	DA6P	チャンネルA真の差動デジタル出力ビット6
80	DA7N	チャンネルA相補差動デジタル出力ビット7
81	DA7P	チャンネルA真の差動デジタル出力ビット7
82	DA8N	チャンネルA相補差動デジタル出力ビット8
83	DA8P	チャンネルA真の差動デジタル出力ビット8
84	DA9N	チャンネルA相補差動デジタル出力ビット9

ブロードバンドアプリケーション用、1.8V、 デュアル、12ビット、170Msps ADC

端子説明(続き)

端子	名称	機能
85	DA9P	チャンネルA真の差動デジタル出力ビット9
86	DA10N	チャンネルA相補差動デジタル出力ビット10
87	DA10P	チャンネルA真の差動デジタル出力ビット10
88	DA11N	チャンネルA相補差動デジタル出力ビット11(MSB)
89	DA11P	チャンネルA真の差動デジタル出力ビット11(MSB)
90	ORAN	チャンネルB相補差動オーバレンジ出力
91	ORAP	チャンネルB真の差動オーバレンジ出力
97	\bar{T}/BB	チャンネルB用の出力形式選択入力。 \bar{T}/BB はMAX1218のチャンネルBのデジタル出力形式を制御します。 \bar{T}/BB はプルダウン抵抗器を内蔵しています。 $\bar{T}/\text{BB} = 1$: バイナリ出力形式 $\bar{T}/\text{BB} = 0$: 2の補数出力形式
98	\bar{T}/BA	チャンネルA用の出力形式選択入力。 \bar{T}/BA はMAX1218のチャンネルAのデジタル出力形式を制御します。 \bar{T}/BA はプルダウン抵抗器を内蔵しています。 $\bar{T}/\text{BA} = 1$: バイナリ出力形式 $\bar{T}/\text{BA} = 0$: 2の補数出力形式
—	EP	エクスポーズパッド。エクスポーズパッドは、デバイスの裏側にあり、AGNDに接続する必要があります。

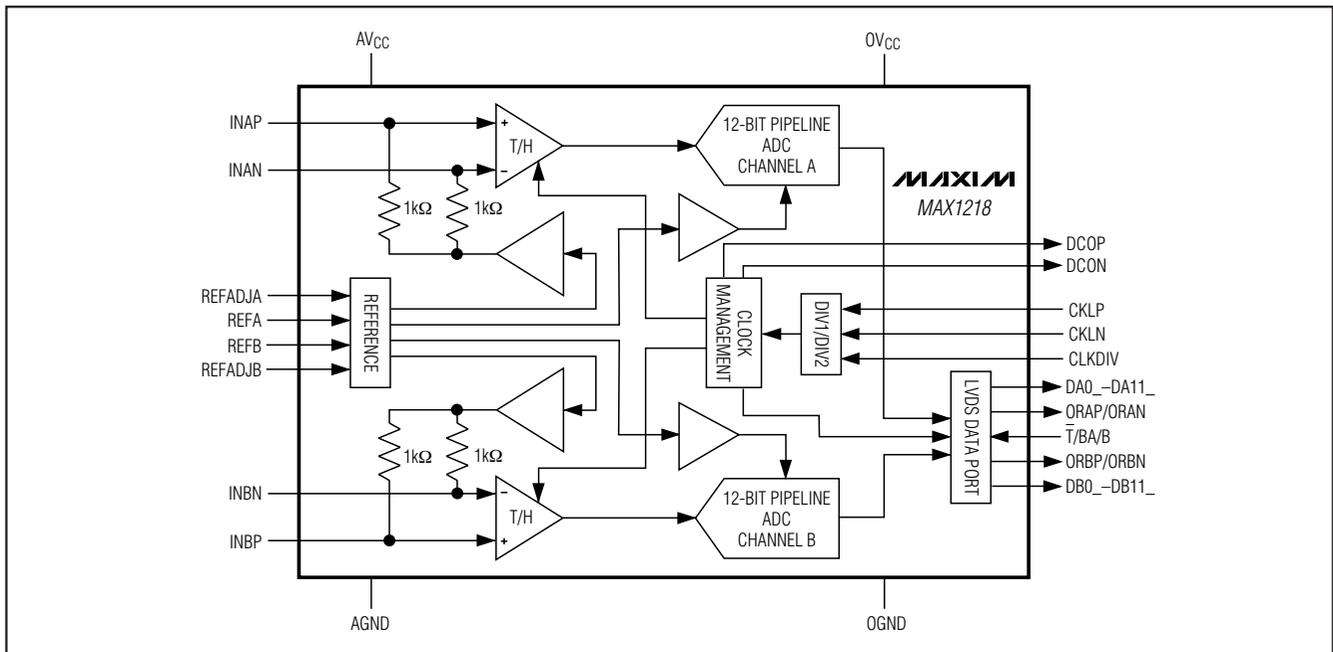


図1. ファンクションダイアグラム

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

詳細

動作原理

MAX1218は完全差動パイプライン化アーキテクチャを採用し、このアーキテクチャによって高速変換、最適な精度、および消費電力を最小限に抑制したリニアリティを可能とします。

正入力(INAP、INBP)および負/相補アナログ入力(INAN、INBN)は、ともに0.8Vのコモンモード電圧を中心にして、それぞれ $\pm V_{FS} / 4$ の差動アナログ入力電圧振幅を受け付け、その結果、1.475V_{p-p}標準の差動フルスケール信号振幅となります。入力の各組(INAP、INAN、およびINBP、INBN)は、差動サンプリングクロック信号がハイに遷移するとサンプリングされます。クロック分周モードを使用すると、差動サンプリングクロックが2回ハイに遷移するたびにアナログ入力はサンプリングされます。

パイプラインの各コンバータ段はその入力電圧をデジタル出力コードに変換します。最終段を除いたすべての段で、入力電圧とデジタル出力コード間の誤差が増幅され、次のパイプライン段に渡されます。デジタル誤差補正は各パイプライン段においてADCコンパレータのオフセットを補正し、ミッシングコードがないことを確実にします。その結果は、LVDS対応出力レベルを備える選択可能な2の補数またはオフセットバイナリ出力形式による12ビットパラレルデジタル出力ワードです(図1)。

アナログ入力

MAX1218は、各入力チャンネルに対して完全差動入力(INAP、INANおよびINBP、INBN)を2組備えています。差動入力は偶数次高調波を適切に除去するため、信号がアナログ段を通過するにつれてAC性能を向上することができます。MAX1218アナログ入力は0.8Vのコモンモード電圧で自己バイアスされ、1.475V_{p-p}の差動入力電圧振幅を実現します(図2)。両入力は1kΩの抵抗器によって自己バイアスされ、その結果、標準2kΩの差動入力抵抗となります。最高のダイナミック性能を達成するためには、AC結合構成としてMAX1218のアナログ入力を駆動してください。「トランス結合、差動アナログ入力駆動」の項をご覧ください。

内蔵リファレンス回路

MAX1218は1.24Vのバンドギャップリファレンス回路(図3)を内蔵し、2組の内部リファレンススケーリングアンプとの組合せによって各チャンネルのFSRを決定します。REFAとREFBを0.1μFのコンデンサでAGNDにバイパスしてください。利得誤差の補償または各チャンネルのFSRの拡大を行うために、外付け抵抗器(100kΩの調整用ポテンショメータなど)をREFADJA/REFADJBと

AGNDの間、またはREFADJA/REFADJBとREFA/REFBの間に追加して、各チャンネルのバンドギャップリファレンス電圧を独立に調整してください。このプロセスの詳細については、「アプリケーション情報」の項をご覧ください。

各チャンネルの内部リファレンスをディセーブルするためには、リファレンス調整入力(REFADJA、REFADJB)をAVCCに接続してください。コンバータのフルスケールを設定するためには、外部から安定したリファレンスをチャンネルのリファレンス入力/出力(REFA、REFB)に印加してください。チャンネルの内部リファレンスをイネーブルするためには、該当するリファレンス調整入力(REFADJA、REFADJB)をAGNDに接続してください。

クロック入力(CLKP、CLKN)

最良のダイナミック性能を得るためには、LVDS対応クロックでMAX1218のクロック入力を駆動してください。ADCのノイズ性能の悪化を回避するためには、クロック信号源は高品質、低位相ノイズである必要があります。クロック入力(CLKP、CLKN)は1.15Vに内部でバイアスされ、0.5V_{p-p}(typ)の差動信号振幅を受け付けます(図4)。CLKPおよびCLKNを適切に駆動する方法に関する回路の詳細については、「差動、AC結合LVPECL対応クロック入力」の項をご覧ください。推奨しませんが、クロック入力はシングルエンド入力信号も受け付けます。

MAX1218はクロック管理回路(デューティサイクルイコライザ)も内蔵しています。この回路によって、入力CLKPおよびCLKNに印加されるクロック信号が処理され、50%のデューティサイクルクロック信号が保証されます。このため、入力クロックソースのデューティサイクル変動に対するコンバータ性能への影響が小さくなります。なお、クロックデューティサイクルイコライザを外部からオフとすることはできず、デバイスがデータシートの仕様を満たすようにするためには40MHz以上のクロック周波数を必要とします。

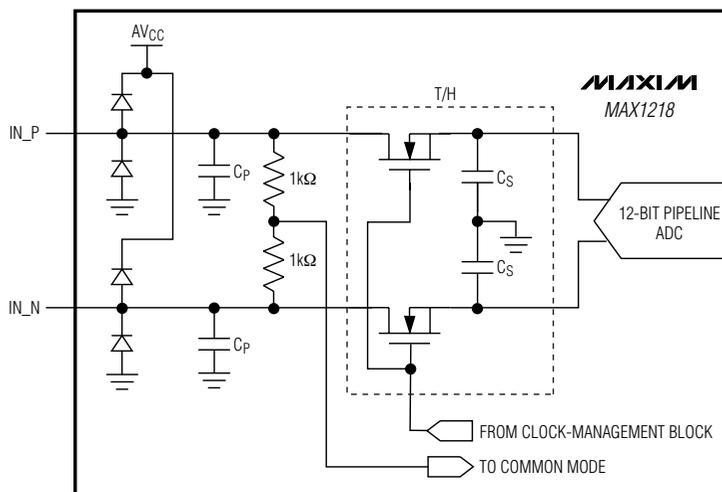
MAX1218へのクロックが停止すると、デジタル出力の状態が不規則な変動を開始し、その結果、消費電流が最大40mAまで増加します。

クロック出力(DCON、DCOP)

MAX1218は差動クロック出力を備え、これを使って外部ラッチやレシーバによってデジタル出力データをラッチすることができます。また、クロック出力を使って、外付けデバイス(FPGAなど)とADCを同期させることもできます。DCOPおよびDCONは、LVDS対応電圧レベルを備えた差動出力です。CLKP(CLKN)の立上り(立下り)エッジとDCOP(DCON)の立上り(立下り)エッジとの間に4.2ns(typ)の遅延時間があります。タイミングの詳細については図5をご覧ください。

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218



C_S IS THE SAMPLING CAPACITANCE
 C_P IS THE PARASITIC CAPACITANCE - 1pF

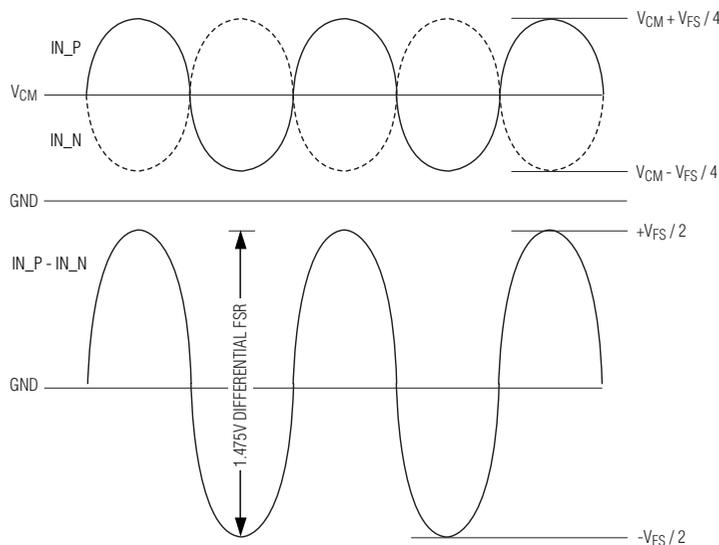


図2. 簡略化アナログ入力アーキテクチャと許容入力電圧範囲

2分周クロック制御

MAX1218はクロック制御ライン(CLKDIV)を備え、システム内のクロックジッタの低減を支援します。ADCの内蔵2分周クロック分周器をイネーブするためには、CLKDIVをOGNDに接続してください。するとデータはADCの入カクロックレートの半分で更新されます。CLKDIVは、プルダウン抵抗器を内蔵し、この2分周モードを必要とするアプリケーションの場合は開放状態にすることができます。CLKDIVをOVCCに接続すると、2分周モードがディセーブルされます。

システムのタイミング要件

図5は、クロック入力と出力、アナログ入力、サンプリングイベント、およびデータ出力間の関係を示します。MAX1218は、CLKP(CLKN)の立上り(立下り)エッジでサンプリングします。出力データはDCOP(DCON)の次の立上り(立下り)エッジで有効ですが、11クロックサイクルの内部遅延があります。

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

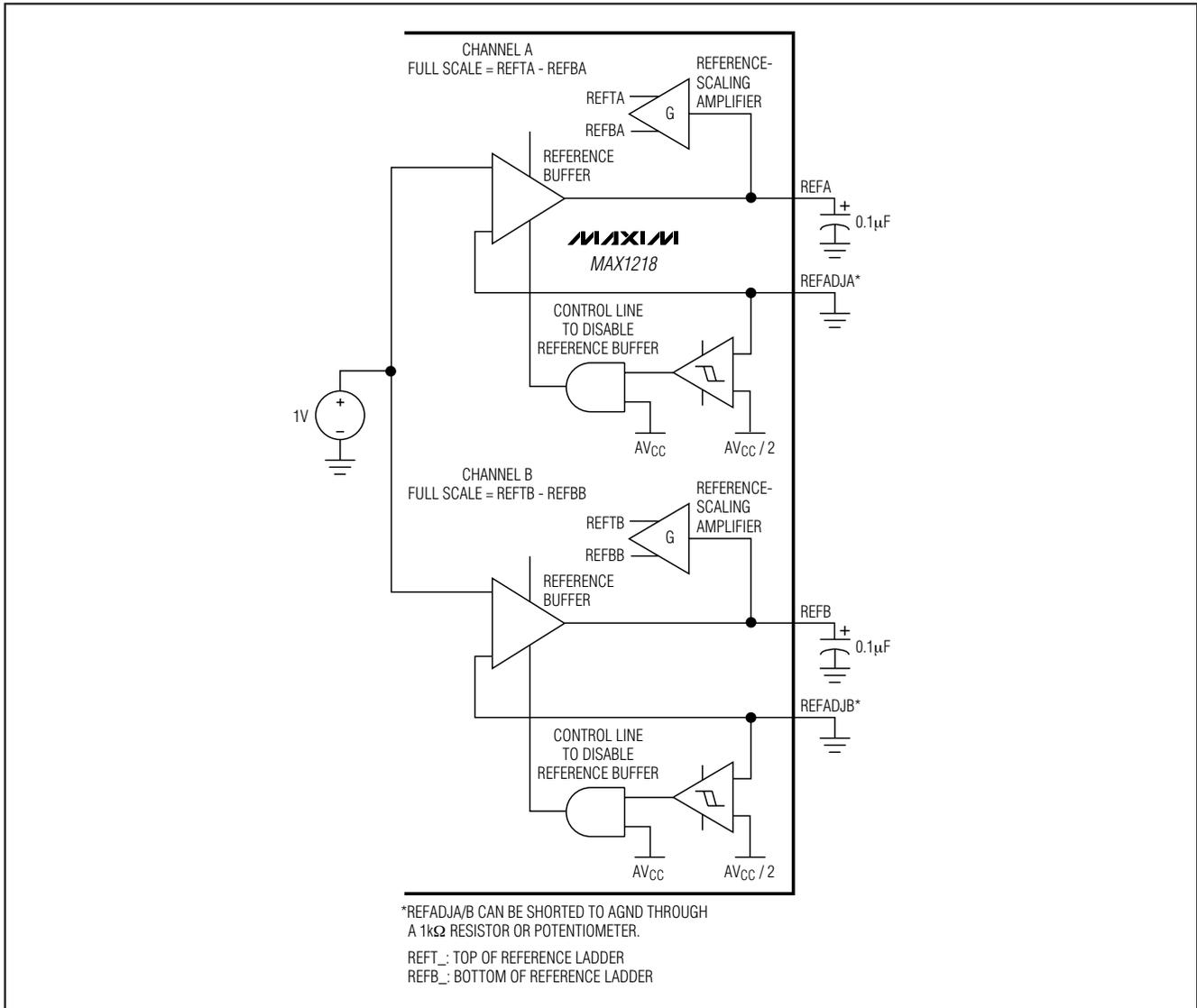


図3. 簡略化リファレンスアーキテクチャ

デジタル出力(DA0P/N~DA11P/N、DB0P/N~DB11P/N、ORAP/N、ORBP/N、DCOP/N)と制御入力 \bar{T}/BA 、 \bar{T}/BB

デジタル出力DA0P/N~DA11P/N、DB0P/N~DB11P/N、ORAP/N、ORBP/N、およびDCOP/Nは、LVDSに対応し、DA0P/N~DA11P/NおよびDB0P/N~DB11P/Nのデータはバイナリまたは2の補数形式で表わされます(表1)。 \bar{T}/BA 、 \bar{T}/BB 制御ラインはLVCMOS対応入力であり、それによって各チャンネルの出力形式の選択が可能です。 \bar{T}/BA 、 \bar{T}/BB をローに駆動すると2の補数形式で、ハイに駆動するとオフセットバイナリ

形式でデータがチャンネルの12ビットパラレルバスの各々に提供されます。 \bar{T}/BA 、 \bar{T}/BB はプルダウン抵抗器を内蔵し、2の補数出力形式のみを使用するアプリケーションにおいて未接続状態にすることができます。すべてのLVDS出力は約1.2Vのコモンモード電圧を中心に0.371V(typ)の電圧振幅を備え、各伝送ラインペア(真および相補)は遠端で100Ω終端する必要があります。LVDS出力に給電するためには、OV_{CC}に1.71V~1.89Vの電源電圧を印加してください。

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

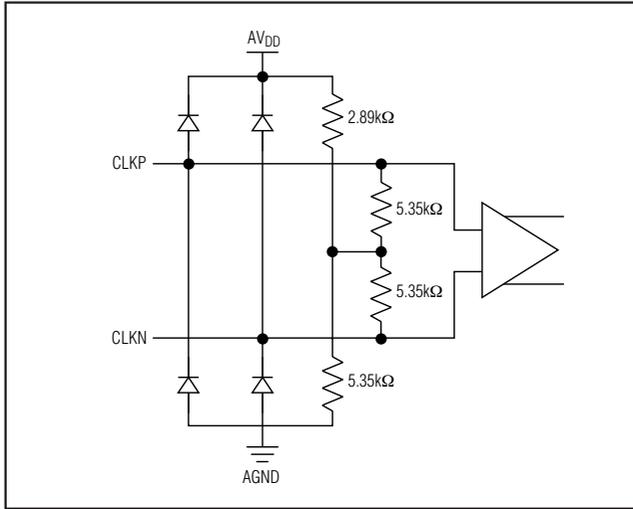


図4. 簡略化クロック入力アーキテクチャ

MAX1218は、各チャンネルの「範囲外」状態に対してフラグを設定する差動出力ペア(ORAP/NおよびORBP/N)を余分に備えています。「範囲外」とは、フルスケールを上回る正か、またはフルスケールを下回る負の状態です。各チャンネルの「範囲外」状態は、ORAPまたはORBP(ORANまたはORBN)がハイ(ロー)に遷移することによって識別されます。

注：差動LVDS出力アーキテクチャは電源およびグランドプレーンに対するシングルエンドトランジエントを減少しますが、デジタル出力の容量性負荷はできる限り小さくする必要があります。より大きな負荷の駆動時にADCのデジタル出力にLVDSバッファを使用すると、全体性能が向上し、システムタイミングの制約を緩和します。

アプリケーション情報

内部バンドギャップリファレンスを使用するFSR調整

MAX1218は、各チャンネルで10%(±5%)のフルスケール調整範囲をサポートします。チャンネルのフルスケール範囲を縮小するために、13kΩ~1MΩの範囲の外付け抵抗器をチャンネルのリファレンス調整入力(REFADJA、REFADJB)とAGNDの間に追加してください。チャンネルのリファレンス調整入力(REFADJA、REFADJB)とその各リファレンス入力/出力(REFA、REFB)の間に可変抵抗値、ポテンショメータ値、または固定抵抗値を追加するとチャンネルのFSRが拡大します。図6aは2つの可能な構成とMAX1218の全体的なフルスケール範囲調整に対する影響を示します。各チャンネルのFSRは、他のチャンネルのFSRとは関係のない許容範囲の任意の値に設定することができます。バンドギャップリファレンスに対する内部利得レギュレーションループの不安定性を避けるために、13kΩを下回る抵抗値を使用しないでください。一連の抵抗値から得られるFSRの結果については、図6bをご覧ください。

差動、AC結合、LVPECL対応クロック入力

MAX1218のダイナミック性能は、いかに非常にクリーンなクロックソースを使用するかに依存します。クロックソースの位相ノイズフロアは、SNR性能に負の影響を与えます。また、クロック信号ソースのスプリアス信号もADCのダイナミックレンジに影響を与えます。推奨されるMAX1218のクロック制御方式は、LVDSまたはLVPECL対応入力レベルによる差動クロック方式です。これらのロジックファミリ的高速データ遷移速度によってクロック入力回路の遷移の不確実性が

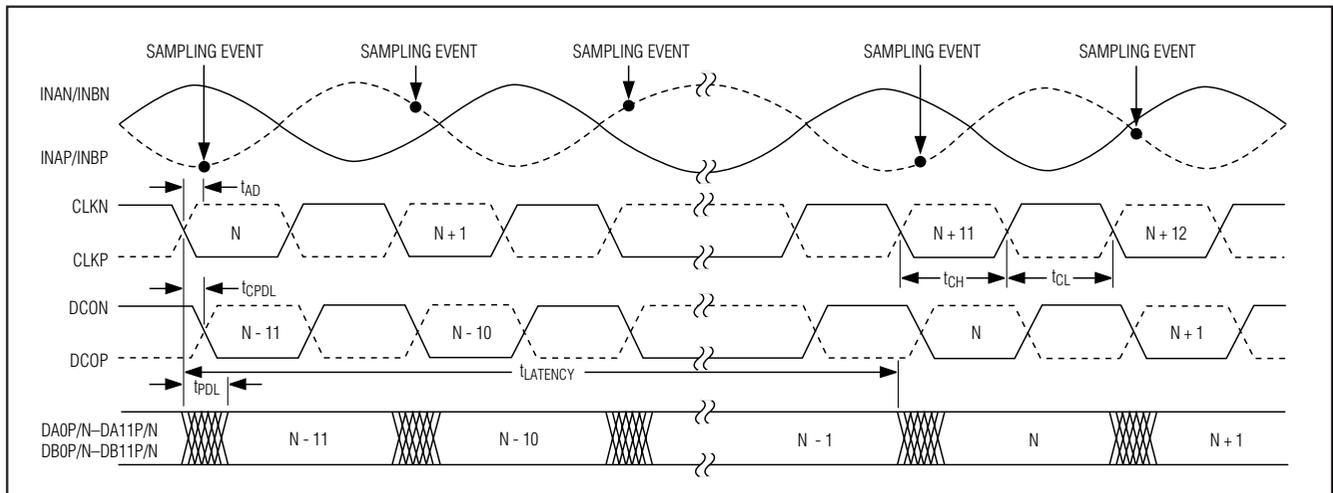


図5. システムおよび出力タイミング図

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

表1. MAX1218のデジタル出力コーディング

INAP/INBP ANALOG INPUT VOLTAGE LEVEL	INAN/INBN ANALOG INPUT VOLTAGE LEVEL	OUT-OF-RANGE ORAP/ORBP (ORAN/ORBN)	BINARY DIGITAL OUTPUT CODE (DA11P/N-DA0P/N; DB11P/N-DB0P/N)	TWO'S-COMPLEMENT DIGITAL OUTPUT CODE (DA11P/N-DA0P/N; DB11P/N-DB0P/N)
$> V_{CM} + V_{FS} / 4$	$< V_{CM} - V_{FS} / 4$	1 (0)	1111 1111 1111 (exceeds +FS, OR set)	0111 1111 1111 (exceeds +FS, OR set)
$V_{CM} + V_{FS} / 4$	$V_{CM} - V_{FS} / 4$	0 (1)	1111 1111 1111 (+FS)	0111 1111 1111 (+FS)
V_{CM}	V_{CM}	0 (1)	1000 0000 0000 or 0111 1111 1111 (FS / 2)	0000 0000 0000 or 1111 1111 1111 (FS / 2)
$V_{CM} - V_{FS} / 4$	$V_{CM} + V_{FS} / 4$	0 (1)	0000 0000 0000 (-FS)	1000 0000 0000 (-FS)
$< V_{CM} + V_{FS} / 4$	$> V_{CM} - V_{FS} / 4$	1 (0)	0000 0000 0000 (exceeds -FS, OR set)	1000 0000 0000 (exceeds -FS, OR set)

緩和されるため、SNR性能が向上します。これを実現するためには、低位相ノイズの50Ωの逆終端クロック信号ソースをMAX9388などの高速差動レシーバにAC結合してください(図7)。このレシーバは、データコンバータのクロック入力を駆動するために必要とするLVPECL出力レベルを生成します。

トランス結合、差動アナログ入力駆動

MAX1218は、完全差動入力信号の場合に最良のSFDRおよびTHDを提供します。差動入力モードでは、各チャネルへの入力(INAP/NとINBP/N)はバランスが保たれ、かつ各チャネル入力にはシングルエンド構成に比べ半分の信号振幅しか必要としないので、偶数次高調波は低下します。

広帯域RFトランスはシングルエンド信号を、完全差動信号に変換する卓越したソリューションを提供します。2つの個別の24.9Ω抵抗器によって1:1のトランス(Mini-CircuitのADT1-1WTなど)の二次側を終端してください。ダイナミック性能を低下させてもよければ高いソースインピーダンス値を採用することができます。不平衡の影響を最小限に抑え、ADCのダイナミックレンジを最大化するためには高精度(0.5%)の抵抗器を使用して下さい。この構成では、トランス寄生容量の影響を緩和してADCのTHDおよびSFDR性能を最適化します。しかし、プリント基板がもたらすシャント容量と組み合わせられたソースインピーダンスとADCの寄生容量によって、ADCのフルパワー入力帯域幅が制限されます。高入力周波数(100MHzを超える)でTHDおよびSFDR性能をさらに向上させるためには、2番目のトランス(図8)をシングルエンドから差動への変換トランスと直列に配置してください。このトランスによって、高周波における偶数次高調波の増大が緩和されます。

シングルエンド、AC結合アナログ入力

推奨しませんが、MAX1218をシングルエンドモードで使用することができます(図9)。アナログ信号を0.1μFのコンデンサを通じて各チャネルの正入力(INAP、INBP)にAC結合し、AGNDへの49.9Ω抵抗器で終端してください。各チャネルの負入力(INAN、INBN)は、0.1μFのコンデンサと直列の24.9Ωの抵抗器でAGNDに終端してください。シングルエンドモードでは、入力範囲がデバイスのFSRの約半分に制限され、通常、ダイナミック性能が低下します。

グラウンド、バイパス、および基板レイアウトの検討

MAX1218には、高速データコンバータに適した基板レイアウト設計法が必要です。このADCは、個別のアナログおよび出力電源を受け付けます。アナログおよび出力電源入力は、1.71V~1.89Vの入力電圧範囲を受け付けます。AV_{CC}とOV_{CC}を統合して、1つの電源から供給することができますが、アナログ電源回路に結合可能な出力スイッチング電流がもたらす性能低下を緩和するために別の電源を使用してください。アナログおよび出力電源(AV_{CC}およびOV_{CC})がプリント基板に入る場所にフェライトビーズと対応するグラウンド(AGND、OGND)に接続したコンデンサからなる個別回路を使って、アナログ電源と出力電源を分離してください。

最適性能を得るためには、47μFのタンタルコンデンサと10μFおよび1μFのセラミックコンデンサの並列接続から構成される独立した回路を使って各電源を供給してください。さらに、このADCでは、各電源入力を個別の0.1μFセラミックコンデンサでバイパスする必要があります(図10)。これらのコンデンサをADC電源入力にじかに配置するか、またはMAX1218にできる限り

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

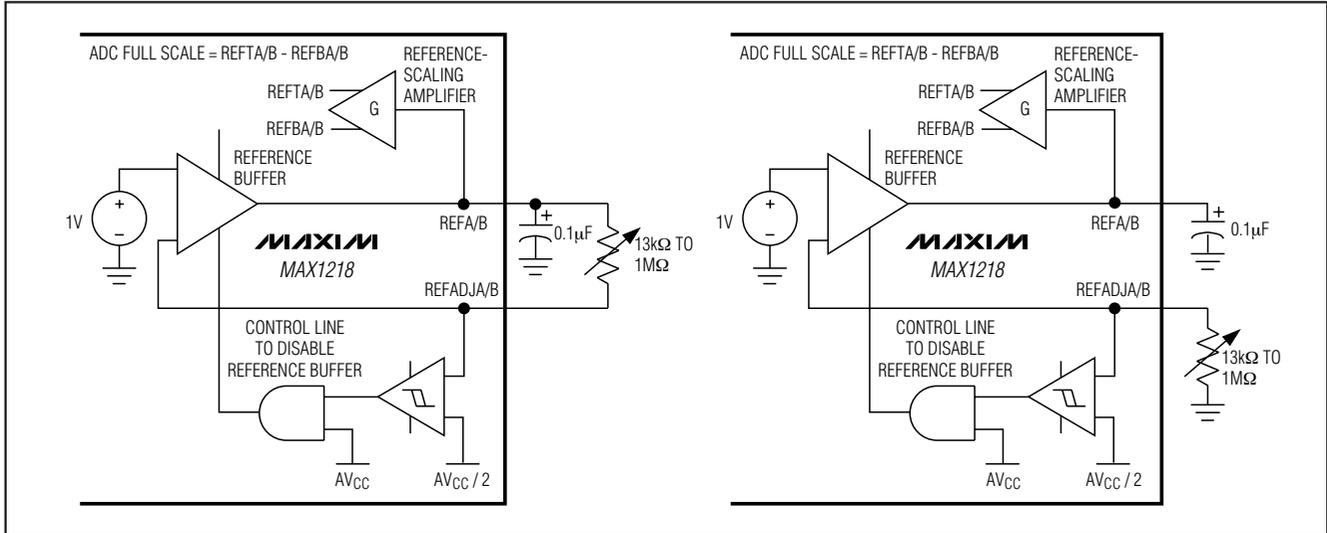


図6a. ADCのフルスケール範囲を調整する回路案

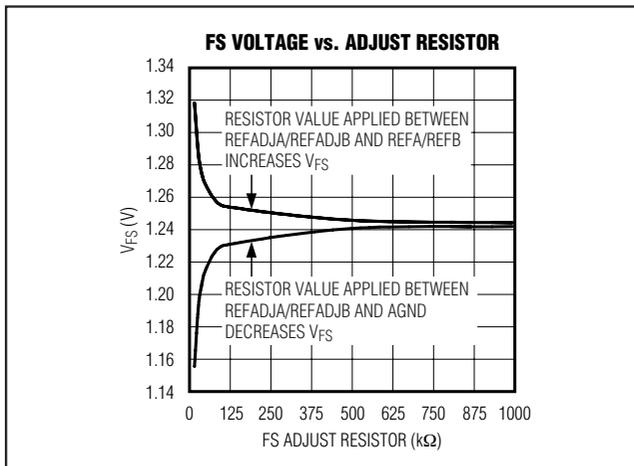


図6b. FS調整範囲対FS調整抵抗器

近接して配置してください。表面実装コンデンサを選択し、面積を節約してインダクタンスを最小限に抑制するために、できればコンバータと同じ側に配置してください。同じ側に近接して配置することが不可能な場合は、これらのバイパスコンデンサを、ピアを通じてプリント基板の反対側に配置して配線してください。

独立したグランドプレーンと電源プレーンを持つ多層基板は、最高レベルの信号完全性を提供します。ADCのパッケージ上のアナロググランドと出力グランドの物理位置を整合させるために配置する分割グランドプレーンを使用してください。ノイズの多い出力グランド電流がアナロググランドプレーンに干渉しないように、2つのグランドプレーンを1点で接続してください。

グランドに達するまで長距離を進行するダイナミック電流は、大きくて望ましくないグランドループをもたらします。グランドループはコンバータのアナログフロントエンドに再結合して入力ノイズを悪化させる場合があります。スプリアスアクティビティを増大させ、ノイズ性能を低下させます。

グランドプレーンがノイズの多い出力システムグランドから十分分離されている場合は、すべてのAGND接続は同一のグランドプレーンを共用することができます。アナログ入力への出力信号の結合を最小限に抑制するためには、出力バスをアナログ入力回路から十分に分離してください。ノイズ結合の影響をさらに最小限に抑制するために、グランドリターンをレイアウト全体に配置して、デジタルスイッチング電流をADCのノイズに敏感なアナログセクションからそらしてください。この方式は、分割グランドプレーンを必要とせず、アナログフロントエンドとデジタル出力の間に相当多くのグランド接続部を配置して実現することができます。

MAX1218は100ピンTQFP-EPパッケージ(パッケージコード: C100E-6)で提供されるため、大きな設計の柔軟性と放熱性の向上、ADCのAC性能の最適化がされます。エクスポーズドパッド(EP)はAGNDに半田付けする必要があります。

データコンバータのダイは、パッケージのプリント基板側に面し、EPリードフレームの裏面をパッケージ底面に露出して、EPリードフレームに接続されています。このため、標準的な赤外線(IR)フロー半田付け技術で基板にパッケージを確実に接続することができます。

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170MSPS ADC

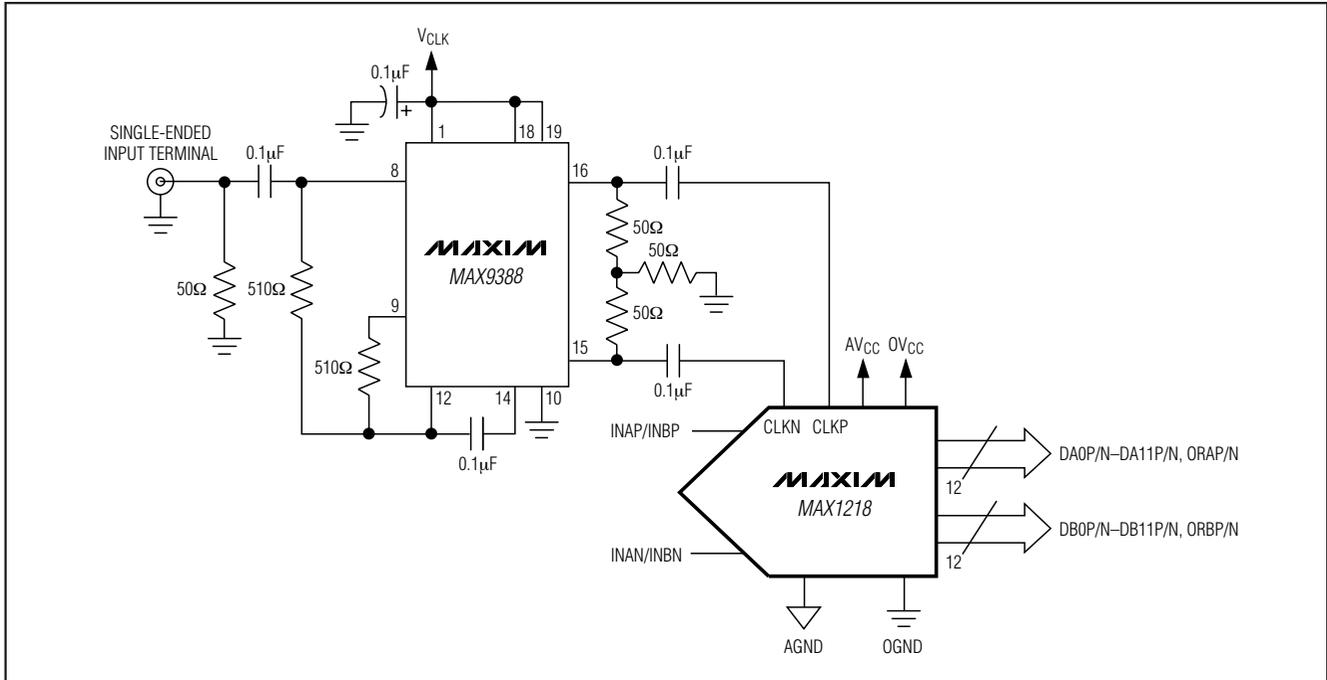


図7. 差動、AC結合、PECL対応クロック入力構成

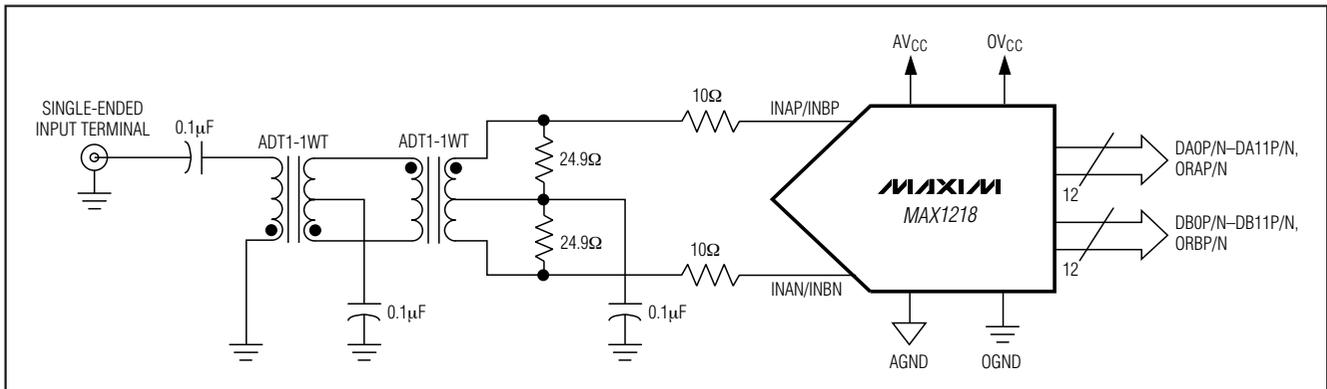


図8. バックトゥバックトランスと二次側終端を備えたアナログ入力構成

熱効率は、MAX1218に関してエクスポーズドパッド付きパッケージを選択する要因の1つです。エクスポーズドパッドによって熱効率が向上し、ADCとプリント基板のアナロググランド層との堅固なグランド接続が実現します。

高速、高分解能データコンバータ用のデジタル出力トレースは十分注意して配線して下さい。トレース長

をできる限り短くして、デジタルトレースに関する容量性負荷を最小限(5pF以下)に抑制し、ADCの敏感なアナログセクションへの結合を防止してください。ADCからLVDS負荷デバイスまで100Ωの特性インピーダンスを備える差動ラインとしてLVDS出力トレースを配線してください。

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

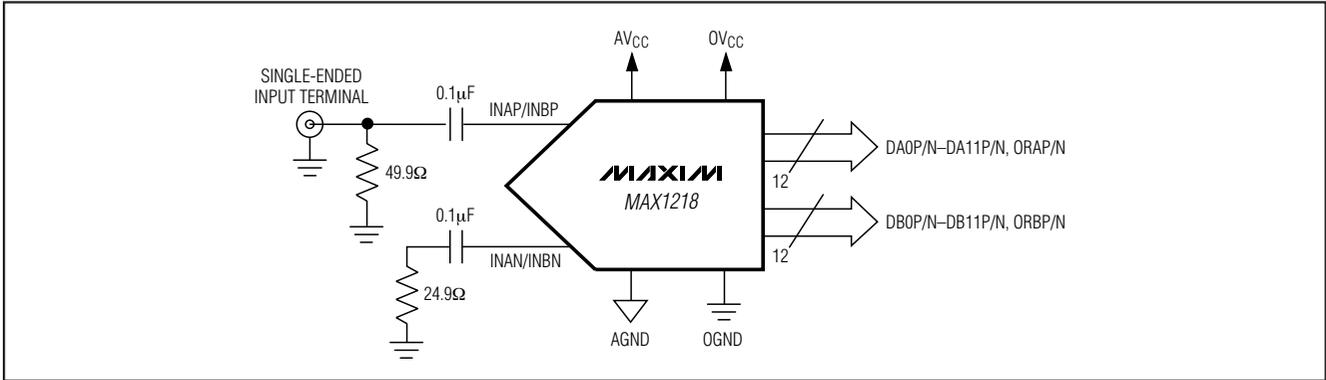


図9. シングルエンドAC結合アナログ入力構成

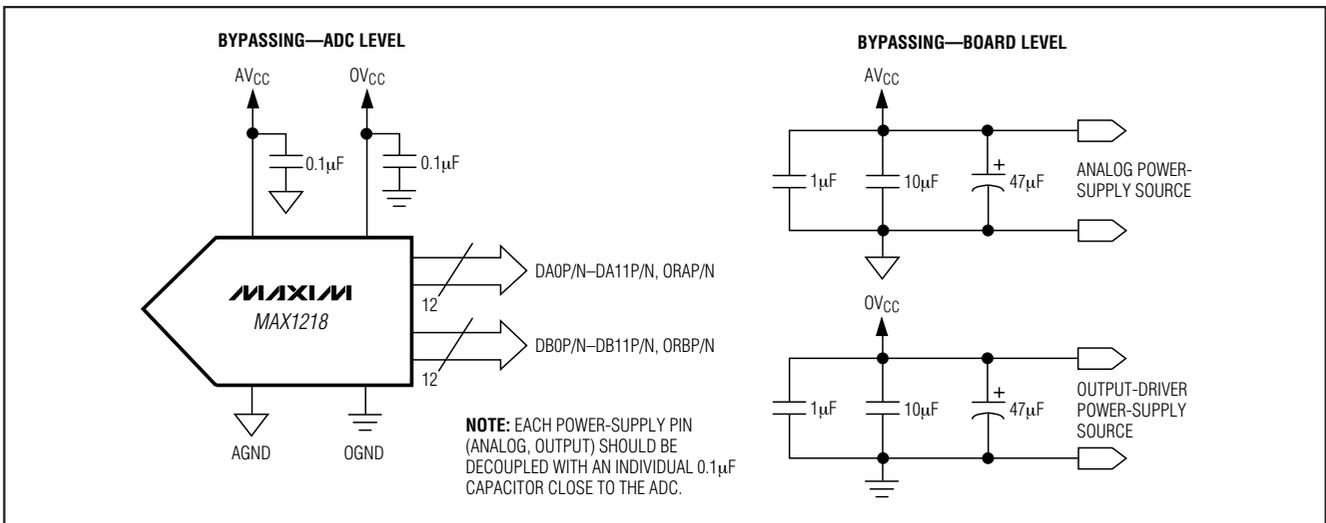


図10. MAX1218のグラウンド、バイパス、およびデカップリングの推奨図

静的パラメータの定義

積分非直線性(Integral Nonlinearity : INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は最適な直線フィット、またはオフセットと利得誤差をヌル(ゼロ)にした後に伝達関数の両端点を結んだ直線です。ただし、MAX1218の静的直線性パラメータは、10MHzの入力周波数のヒストグラム法によって測定されます。

微分非直線性(Differential Nonlinearity : DNL)

微分非直線性は、実際のステップ幅と1LSBの理想値との差です。-1LSB以上のDNL誤差規格によって、ミッシングコードがないこと、および単調な伝達関数であ

ることを保証しています。MAX1218のDNL規格は、10MHzの入力トーンに基づくヒストグラム法によって測定されます。

動的パラメータの定義

アパーチャジッタ(Aperture Jitter)

図11はアパーチャジッタ(t_{AJ})を示します。このジッタはアパーチャ遅延におけるサンプル間のばらつきです。

アパーチャ遅延(Aperture Delay)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと、実際のサンプル取得時点との間として決められた時間です(図11)。

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

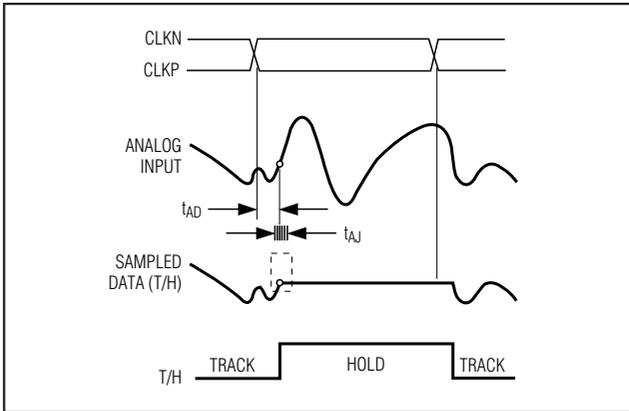


図11. アパーチャジッタ/遅延の様

信号対ノイズ比(Signal-to-Noise Ratio : SNR)

デジタルサンプルから完全に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比です。理想的な理論的最小アナログ-デジタルノイズは、量子化誤差のみによってもたらされ、ADCの分解能(Nビット)に直接起因します。

$$SNR_{dB}[\max] = 6.02dB \times N + 1.76dB$$

実際には、量子化ノイズ以外に、熱的ノイズ、リファレンスノイズ、クロックジッタなどのノイズソースもあります。SNRは、RMS信号のRMSノイズに対する比を取るによって算出されます。RMSノイズは、基本波、最初の6つの高調波(HD2~HD7)、およびDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

信号対ノイズ + 歪み(Signal-to-Noise Plus Distortion : SINAD)

SINADは、RMS信号の、基本波およびDCオフセットを除く全スペクトル成分に対する比を取るによって算出されます。MAX1218の場合は、SINADは曲線フィットから算出されます。

スプリアスフリー、ダイナミックレンジ(Spurious-Free Dynamic Range : SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅の、次に大きなノイズまたは高調波歪み成分のRMS値(DCオフセットを除く)に対する比です。SFDRは、通常、基本(キャリア)周波数振幅についてはdBcで測定され、ADCのフルスケール範囲についてはdBFSで測定されます。

相互変調歪み(Intermodulation Distortion : IMD)

IMDは、相互変調積のRMS和の、2つの基本入力トーンに対する比です。これは、以下のように表わされます。

$$IMD = 20 \times \log \left(\frac{\sqrt{V_{IM1}^2 + V_{IM2}^2 + \dots + V_{IMn}^2}}{\sqrt{V_1^2 + V_2^2}} \right)$$

基本入力トーン振幅(V_1 および V_2)は、-7dBFSにおけるものです。相互変調積は、以下の周波数での出力スペクトルの振幅です。

- 2次相互変調積(IM2) : $f_{1N1} + f_{1N2}$ 、 $f_{1N2} - f_{1N1}$
- 3次相互変調積(IM3) : $2f_{1N1} - f_{1N2}$ 、 $2f_{1N2} - f_{1N1}$ 、 $2f_{1N1} + f_{1N2}$ 、 $2f_{1N2} + f_{1N1}$
- 4次相互変調積(IM4) : $3f_{1N1} - f_{1N2}$ 、 $3f_{1N2} - f_{1N1}$ 、 $3f_{1N1} + f_{1N2}$ 、 $3f_{1N2} + f_{1N1}$
- 5次相互変調積(IM5) : $3f_{1N1} - 2f_{1N2}$ 、 $3f_{1N2} - 2f_{1N1}$ 、 $3f_{1N1} + 2f_{1N2}$ 、 $3f_{1N2} + 2f_{1N1}$

フルパワー帯域幅(Full-Power Bandwidth)

大きな-1dBFSのアナログ入力大信号がADCに加えられ、デジタル変換結果の振幅が3dB低下するポイントまで入力周波数がスイープされます。-3dBポイントは、ADCのフルパワー入力帯域幅周波数として定義されます。

オフセット誤差(Offset Error)

理想的には、MAX1218のミッドスケールの遷移は、0.5LSB高いミッドスケール値で起ります。オフセット誤差は、測定された遷移点と理想的な遷移点とのずれの大きさです。

利得誤差(Gain Error)

理想的には、MAX1218の正フルスケールの遷移は、1.5LSB低い正フルスケール値で起り、負フルスケール遷移は0.5LSB高い負フルスケール値で起ります。利得誤差は、測定遷移点の差から理想遷移点の差を差し引いた値です。

有効ビット数(Effective Number of Bits : ENOB)

ENOBは、特定の入力周波数およびサンプリングレートにおけるADCのダイナミック性能を表わします。理想的なADCの誤差は量子化ノイズのみを含みます。フルスケール正弦波入力波形に対するENOBは次式から算出されます。

$$ENOB = \left(\frac{SINAD - 1.76}{6.02} \right)$$

ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

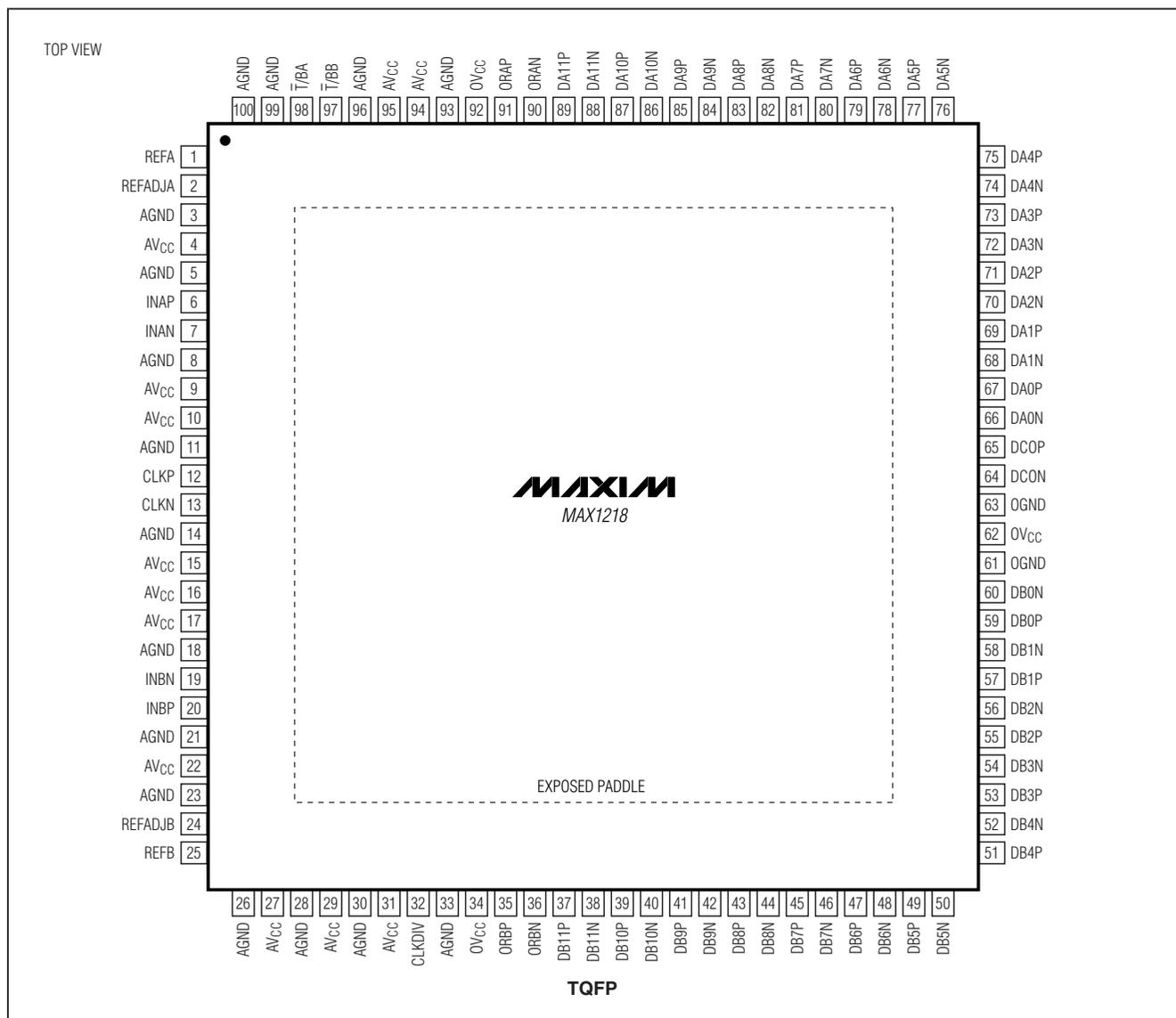
全高調波歪み(Total Harmonic Distortion : THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS和の、基本波そのものに対する比です。これは、以下のように表わされます。

$$THD = 20 \times \log \left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2)}}{V_1} \right]$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_7$ は第2から第7までの高調波(HD2~HD7)の振幅です。

ピン配置

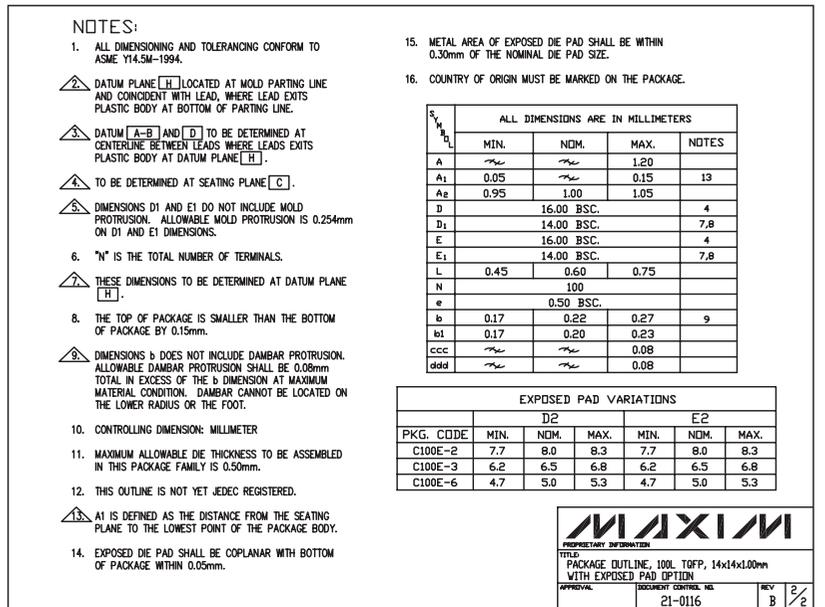
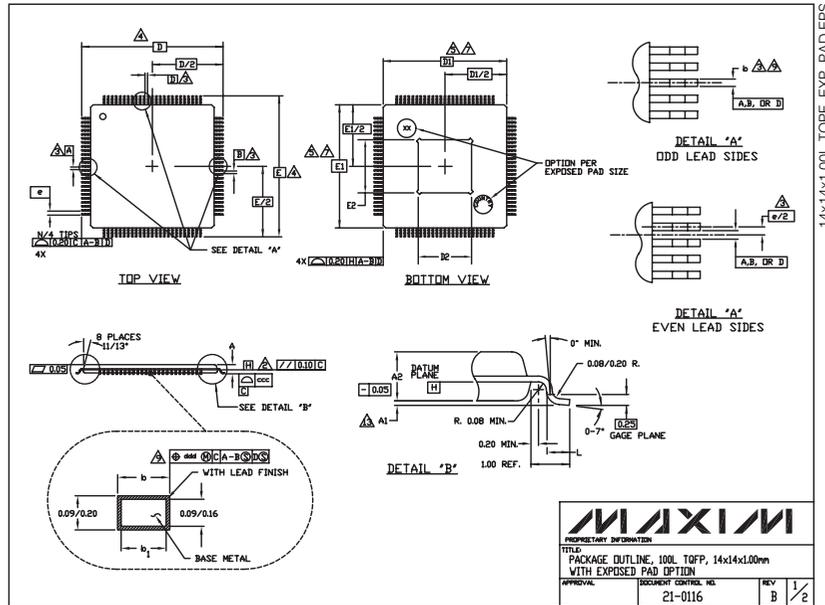


ブロードバンドアプリケーション用、1.8V、デュアル、12ビット、170Msps ADC

MAX1218

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 21

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.