

MAX1215Nの評価キット

概要

MAX1215Nの評価キット(EVキット)は、アナログ-デジタルコンバータ(ADC) MAX1215Nの性能評価に必要な全部品を内蔵した完全実装および試験済みのPCBです。このEVキットは、MAX1215Nの入力を駆動するシングルエンド-差動変換回路を備えています。ADCが生成するデジタル出力は、ユーザが用意する高速ロジックアナライザまたはデータ収集システムによって収集することができます。さらに、このEVキットは、ユーザが用意するシングルエンドAC信号から差動クロック信号を生成する回路を内蔵しています。

特長

- ◆ 最高サンプリングレート：250MSPS
- ◆ 低電圧および低電力動作
- ◆ 完全差動信号入力構成
- ◆ 差動出力ドライバ内蔵
- ◆ 完全実装および試験済み

型番

PART	TEMP RANGE	IC PACKAGE
MAX1215NEVKIT#	0°C to +70°C*	68 QFN-EP**

#はRoHS準拠のEVキットを示します。

*この制限温度範囲はEVキットのPCBのみに適用されます。

MAX1215N ICの温度範囲は-40°C ~ +85°Cです。

**EP = エクスポーズドパッド。

部品リスト

DESIGNATION	QTY	DESCRIPTION
C1-C9, C13, C15, C16, C18, C19, C20, C35-C39, C49, C52	22	0.1μF ±10%, 10V X5R ceramic capacitors (0402) Murata GRM155R61A104K TDK C1005X5R1A104K
C10, C27, C28, C40	4	220μF ±20%, 6.3V tantalum capacitors (C case) AVX TPSC227M006R0250
C11, C30	2	22μF ±10%, 6.3V X5R ceramic capacitors (0805) TDK C2012X5R0J226K
C12	1	1pF ± 0.25pF, 50V C0G ceramic capacitor (0402) Murata GRM1555C1H1R0C TDK C1005C0G1H010C
C14, C33	2	2.2μF ±10%, 6.3V X5R ceramic capacitors (0603) Taiyo Yuden JMK107BJ225KA TDK C1608X5R0J225K
C21-C24	4	0.22μF ±10%, 6.3V X5R ceramic capacitors (0402) Taiyo Yuden JMK105BJ224KV TDK C1005X5R0J224K
C25, C26, C51, C53, C54, C55	6	0.1μF ±10%, 50V X7R ceramic capacitors (0603) Murata GRM188R71H104K TDK C1608X7R1H104K

DESIGNATION	QTY	DESCRIPTION
C29, C41	2	10μF ±20%, 6.3V X5R ceramic capacitors (0805) Murata GRM21BR60J106K TDK C2012X5R0J106M
C31, C43	0	Not installed, ceramic capacitors (0805)
C32, C42	2	1.0μF ±10%, 10V X5R ceramic capacitors (0603) Murata GRM188R61A105K TDK C1608X5R1A105K
C34, C44	0	Not installed, ceramic capacitors (0603)
C45-C48	0	Not installed, tantalum capacitors (C case)
C50, C56	2	0.01μF ±10%, 50V X7R ceramic capacitors (0603) Murata GRM188R71H103K TDK C1608X7R1H103K
C58-C71	0	Not installed, ceramic capacitors (0402)
CLK, IN	2	SMA PCB vertical-mount connectors
J1	1	2 x 4-pin male header, 2.54mm
J2-J5	4	2 x 20-pin male headers, 2.54mm

MAX1215Nの評価キット

部品リスト(続き)

DESIGNATION	QTY	DESCRIPTION
JU1, JU2, JU3, JU5	4	3-pin headers
JU4	0	Not installed, 2-pin header
JU6	0	Not installed, 3-pin header
R1, R11, R13	0	Not installed, resistors (0603)
R2, R4-R7, R10, R12, R14, R15, R38, R39, R41, R43-R79	49	49.9Ω ±1% resistors (0402)
R3, R82	2	0Ω resistors (0603)
R8, R9	2	24.9Ω ± 0.1% resistors (0603) IRC PFC-W0603RLF-02-24R9-B
R16, R17	2	10Ω ±1% resistors (0603)
R18-R24, R28-R32, R34, R35	14	100Ω ±1% resistors (0603)
R25, R37	2	510Ω ±5% resistors (0603)
R26	1	10kΩ ±1% resistor (0603)
R27	1	5kΩ potentiometer, 19-turn, 3/8in Vishay T93YB-5K-10-D06 or Mouser 72-T93YB-5K
R33	1	3.16kΩ ±1% resistor (0603)
R36	1	1.82kΩ ±1% resistor (0603)
R40	1	100kΩ potentiometer, 12-turn, 1/4in Bourns 3266W-1-104 or Mouser 652-3266W-1-104
R42	1	13kΩ ±1% resistor (0603)

DESIGNATION	QTY	DESCRIPTION
R80	0	Not installed, resistor—shorted by PC trace (0603)
R81	1	0Ω resistor (0402)
T1	1	1:1 800MHz RF transformer Mini-Circuits ADT1-1WT+
T2	1	1:1 250MHz RF transformer Coilcraft TTWB2010-1LB
TP1	1	Red test point
U1	1	MAX1215NEGK+D (68-pin QFN-EP, 10mm x 10mm)
U2	1	MAX9388EUP+ differential 4:1 multiplexer (20-pin TSSOP)
U3-U6	4	3.3V ECL quad differential receivers (20-pin SO) On Semiconductor MC100LVEL17DWG Digi-Key MC100LVEL17DWGOS-NG
Y1	0	Not installed, clock oscillator (9mm x 14mm)
—	5	Shunts
—	1	PCB: MAX1215N Evaluation Kit#

クイックスタート

推奨機器

開始前に、以下の機器が必要です。

- DC電源：
 - アナログ (VCC) 1.8V、1A
 - デジタル (OVCC) 1.8V、200mA
 - クロック (VCLK) 3.3V、200mA
 - バッファ (VPECL) 3.3V、400mA
- クロック入力用の低位相ノイズおよび低ジッタ信号発生器1台(たとえば、HP/Agilent 8644B)、バンドパスフィルタ推奨(たとえば、Allen Avionics、K&L Microwave)

部品メーカー

SUPPLIER	PHONE	WEBSITE
AVX Corp.	843-946-0238	www.avxcorp.com
IRC	361-992-7900	www.irctt.com
TDK Corp.	847-803-6100	www.component.tdk.com

注：これらの部品メーカーにお問い合わせする際には、MAX1215Nを使用していることをお知らせください。

- アナログ信号入力用の信号発生器1台(たとえば、HP/Agilent 8644B)、バンドパスフィルタ推奨(たとえば、Allen Avionics、K&L Microwave)
- ロジックアナライザまたはデータ収集システム(たとえば、高速状態カードHP/Agilent 16517A付きHP/Agilent 16500C)
- デジタルボルトメータ

手順

MAX1215NのEVキットは、完全実装された試験済みの表面実装ボードです。ボードの操作については以下のステップにしたがってください。注意：すべての接続が終了するまでは電源をオンにしたり信号発生器をイネーブルしたりしないでください。

- 1) シャントが下記の位置に取り付けられていることを確認してください。
 - JU1 (2-3) → U2がCLKを選択
 - JU2 (1-2) → 1/2分周ディセーブル
 - JU3 (2-3) → 2の補数出力を選択
 - J1 (3-4) → 内部リファレンスイネーブル
 - JU5 (2-3) → クロック信号(CLK)のデューティサイクルを50%に設定
- 2) フィルタ付きクロック信号発生器をCLKのラベルが付いたSMAコネクタに接続してください。
- 3) フィルタ付きアナログ入力信号発生器をINのラベルが付いたSMAコネクタに接続してください。
- 4) ロジックアナライザを高速プローブでヘッダJ2/J3 (LVDS対応信号)またはJ4/J5 (LVPECL対応信号)のいずれかに接続してください。ヘッダの接続については表4をご覧ください。
- 5) 1.8V、1Aの電源をVCCに接続してください。この電源のグランド端子をVCCパッドに最も近いGNDに接続してください。
- 6) 1.8V、200mAの電源をOVCCに接続してください。この電源のグランド端子をOVCCパッドに最も近いGNDに接続してください。
- 7) 3.3V、200mAの電源をVCLKに接続してください。この電源のグランド端子をVCLKパッドに最も近いGNDに接続してください。
- 8) 3.3V、400mAの電源をVPECLに接続してください。この電源のグランド端子をVPECLパッドに最も近いGNDに接続してください。
- 9) すべての電源をオンにしてください。
- 10) 信号発生器をイネーブルしてください。クロック信号発生器を、振幅が $2.4V_{p-p}$ の250MHzの信号を出力するように設定してください。アナログ入力信号発生器を、振幅が $\leq 2V_{p-p}$ の所望の周波数を出力するように設定してください。コヒーレントサンプリングの場合は、これらの信号発生器は同期していなければなりません。
- 11) ロジックアナライザをイネーブルしてください。
- 12) ロジックアナライザを使用してデータを収集してください。

詳細

MAX1215NのEVキットは、12ビットLVDS出力ADCのMAX1215Nの性能評価に必要な全部品を内蔵した完全実装および試験済みのPCBです。MAX1215Nは、最高250MHzのクロック周波数(f_{CLK})を使用して評価することができます。

コンバータのMAX1215Nは差動入力で作動します。シングルエンド信号源しか利用することができないアプリケーションでは、内蔵トランス(T1とT2)を使用してシングルエンド信号を差動信号に変換することができます。

差動レシーバ(U3~U6)は、MAX1215NのLVDS出力信号のバッファとして動作し、この信号を様々なロジックアナライザによって収集することのできる高電圧LVPECL信号に変換します。LVDS出力はヘッダJ2とJ3でアクセスされます。LVPECL出力はヘッダJ4とJ5でアクセスされます。

このEVキットは、PCBのレイアウトを最適化するために4層PCBで設計されています。独立したアナログ、デジタル、クロック、およびバッファおよび電源のプレーンは、アナログとデジタルの信号間のノイズ結合を最小限に抑えており、50Ωマイクロストリップ伝送ラインがアナログ入力およびクロック入力に使用され、100Ω差動マイクロストリップ伝送ラインがすべてのデジタルLVDS出力に使用されています。すべてのLVDS差動出力は、真のデジタル出力と相補のデジタル出力の間が100Ω終端抵抗によって終端されています。レイアウトに依存する遅延を最小限に抑えるために、100Ω差動LVDSラインの配線パターン長は千分の数インチの精度で整合させてあります。すべてのLVPECL差動出力は、各分岐で49.9Ωの抵抗によってY終端されます。

電源

MAX1215NのEVキットでは、最良の性能を得るために、別々の、アナログ、デジタル出力、クロック、およびバッファの各電源を必要とします。2台の1.8V電源は、MAX1215Nのアナログ部分とデジタル部分への給電に使用されます。内蔵のクロック回路は、3.3V電源から給電されます。独立した3.3V電源は、EVキットの出力バッファ(U3~U6)への給電に使用されます。

クロック

MAX1215Nは差動クロック信号を必要とします。ただし、必要となるのはシングルエンドクロック信号源のみです。EVキットの内蔵回路によって、シングルエンドクロック信号が必要な差動信号に変換されます。正弦波入力クロック信号の周波数によって、ADCのサンプリング周波数(f_{CLK})が決定されます。差動マルチプレクサ(U2)によって、入力信号が処理され必要なクロック信号が生成されます。この入力信号は $2.6V_{p-p}$ の振幅を超えてはなりません。クロック信号の周波数は250MHzを超えてはなりません。

MAX1215Nの評価キット

U2における出力クロック信号のデューティサイクルは、固定の50%に設定することもできますが、シングルエンド信号がCLK SMAコネクタに印加されるときに調整が可能です。ジャンパJU5の設定によって、信号のデューティサイクルを50%に設定するか、またはポテンシオメータR27でデューティサイクルを調整してください。ジャンパJU5の設定については、表1をご覧ください。

表1. クロックデューティサイクル(JU5)

SHUNT POSITION	U2 D0 PIN	FUNCTION
1-2	Connected to potentiometer R27	Clock duty cycle is adjustable with R27
2-3*	Connected to VBB2	Clock duty cycle is set to 50%

*デフォルト位置

MAX1215NのEVキットは、ユーザが水晶発振器(Y1、Valpey Fisher VF561Eシリーズを推奨)を実装して内部で差動クロックソースを生成することができるような回路も備えています。差動ラインレシーバとマルチプレクサIC (U2)は、ジャンパJU1を使ってSMA CLK信号と水晶発振器Y1出力信号のいずれかを選択するように設定することができます。ジャンパJU1の設定については、表2をご覧ください。注：水晶発振器のデューティサイクルをジャンパJU5によって調整することはできません。

表2. クロックソースの選択(JU1)

SHUNT POSITION	U2 SEL0 PIN	CLOCK SOURCE SELECTION
1-2	Connected to VCLK	Selects crystal oscillator Y1
2-3*	Connected to GND	Selects SMA CLK input

*デフォルト位置

クロック分周器

MAX1215Nは1/2クロック分周器を内蔵しています。この機能をイネーブル/ディセーブルするためには、ジャンパJU2を使用してください。シャント位置については、表3をご覧ください。

表3. クロック分周器シャントの設定(JU2)

SHUNT POSITION	MAX1215N CLKDIV PIN	DESCRIPTION
1-2*	Connected to VCC	Clock signal divided by 1
2-3	Connected to GND	Clock signal divided by 2

*デフォルト位置

入力信号

MAX1215Nは、差動アナログ入力信号で動作します。ただし、EVキットに必要なのは、ユーザが用意する振幅が $2V_{p-p}$ 以下の50Ω終端シングルエンドアナログ入力信号のみです。内蔵のトランス(T1とT2)がシングルエンドアナログ入力を差動アナログ信号に変換し、これがADCの差動入力ピンに印加されます。

オプションの入力トランス

MAX1215NのEVキットでは、高い入力周波数(> 100MHz)におけるTHDとSFDR性能を改善するために2個のトランスが使用されます。これらのトランスは、高周波における偶数高調波成分の増加を抑制するのに役立ちます。トランスを1個だけ使用する場合には、下記の指示にしたがってください。

- 1) トランスT1を外してください。
- 2) 0Ωの抵抗(0603)をR11とR13に取り付けてください。

リファレンス電圧

MAX1215Nのフルスケール範囲(FSR)の設定方法は2つあります。MAX1215NのEVキットでは、ADCの内部リファレンスを使用するように設定することもできますが、安定した低ノイズの外部リファレンスをREFIOパッドに印加することもできます。ジャンパJ1によって使用するリファレンスソースを選択します。シャントの設定については、表4をご覧ください。

表4. リファレンスシャントの設定(J1)

SHUNT POSITION	DESCRIPTION
1-2	Internal reference disabled. Apply an external reference voltage to the REFIO pad
3-4*	Internal reference enabled
5-6	Increases FSR through potentiometer R40
7-8	Decreases FSR through potentiometer R40

*デフォルト位置

出力信号

MAX1215Nは、単一の12ビット、パラレルLVDS対応デジタル出力バスを備えています。また、デジタル出力は、データ同期化用のクロックビット(DCLKP/N)、およびデータオーバレンジビット(ORP/N)を備えています。ヘッダの接続については、表6をご覧ください。

出力形式

デジタル出力コーディングは、ジャンパJU3の設定によって2の補数形式またはストレートオフセットバイナリ形式のいずれかを選定することができます。シャントの設定については表5をご覧ください。

表5. 出力形式シャントの設定(JU3)

SHUNT POSITION	MAX1215N \bar{T}/B PIN	DESCRIPTION
1-2	Connected to VCC	Digital output in straight offset binary
2-3*	Connected to GND	Digital output in two's complement

*デフォルト位置

出力ビット位置

ADCのデジタル出力は、2個の40ピンヘッダ(J2とJ3)に接続されます。出力スキューを最小にしてデバイスの性能を向上するために、PCBの配線パターン長を揃えています。さらに、4個の差動レシーバ(U3~U6)は、ADCのデジタル出力のバッファとして動作しこの出力をLVPECL対応信号レベルに変換します。これらの差動レシーバは、差動電圧振幅を増幅し、ロジックアナライザの接続部に大きい容量性負荷が存在する場合でもこれを駆動することができます。バッファの出力は、2個の40ピンヘッダ(J4とJ5)に接続されます。ヘッダJ4とJ5のビット位置については、表6をご覧ください。

表6. 出力ビット位置

BIT		UNBUFFERED (LVDS)	BUFFERED (LVPECL)	BIT		DESCRIPTION
D11	P	J2-10	J4-10	P	LD11	MSB
	N	J2-9	J4-9	N		
D10	P	J2-16	J4-16	P	LD10	Data bits
	N	J2-15	J4-15	N		
D9	P	J2-22	J4-22	P	LD9	
	N	J2-21	J4-21	N		
D8	P	J2-28	J4-28	P	LD8	
	N	J2-27	J4-27	N		
D7	P	J2-34	J4-34	P	LD7	
	N	J2-33	J4-33	N		
D6	P	J2-40	J4-40	P	LD6	
	N	J2-39	J4-39	N		
D5	P	J3-8	J5-8	P	LD5	
	N	J3-7	J5-7	N		
D4	P	J3-14	J5-14	P	LD4	
	N	J3-13	J5-13	N		
D3	P	J3-20	J5-20	P	LD3	
	N	J3-19	J5-19	N		
D2	P	J3-26	J5-26	P	LD2	
	N	J3-25	J5-25	N		
D1	P	J3-32	J5-32	P	LD1	
	N	J3-31	J5-31	N		
D0	P	J3-38	J5-38	P	LD0	LSB
	N	J3-37	J5-37	N		
OR	P	J2-4	J4-4	P	LOR	Overrange bit
	N	J2-3	J4-3	N		
DCLK	P	J3-2	J5-2	P	LDC0	Clock output signal
	N	J3-1	J5-1	N		

MAX1215Nの評価キット

Evaluates: MAX1215N

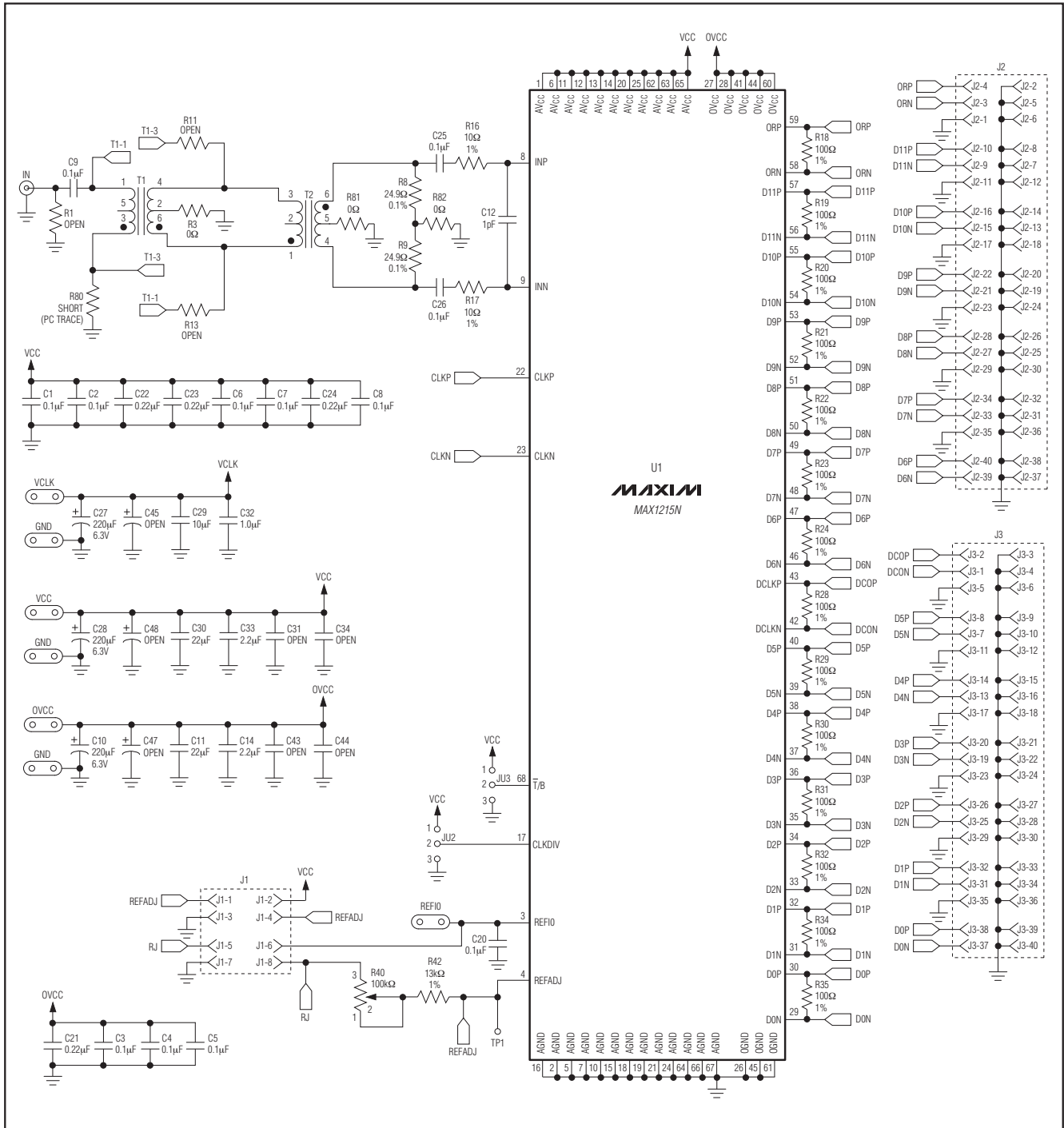


図1a. MAX1215NのEVキットの回路図(1/3)

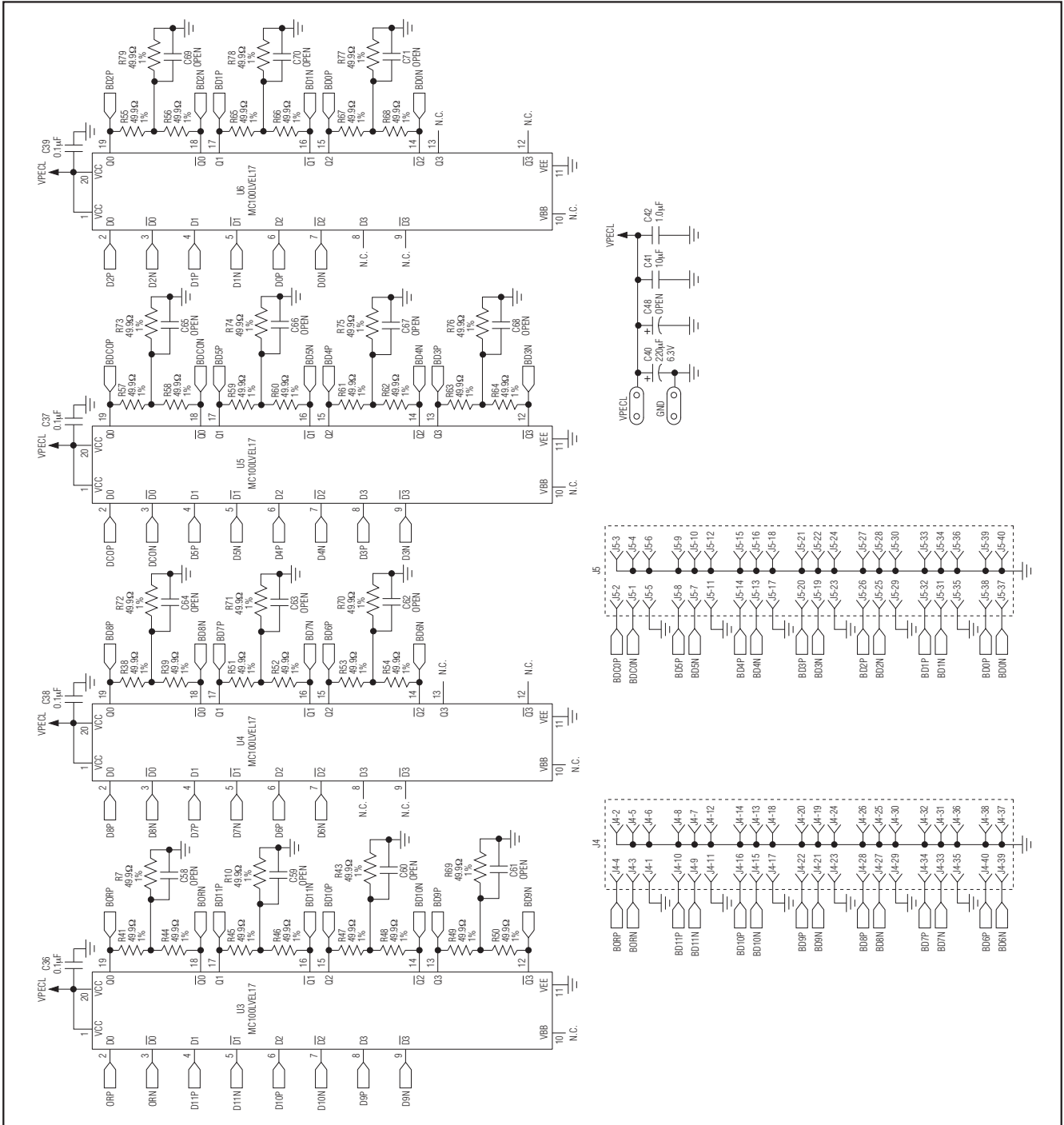


図1b. MAX1215NのEVキットの回路図(2/3)

MAX1215Nの評価キット

Evaluates: MAX1215N

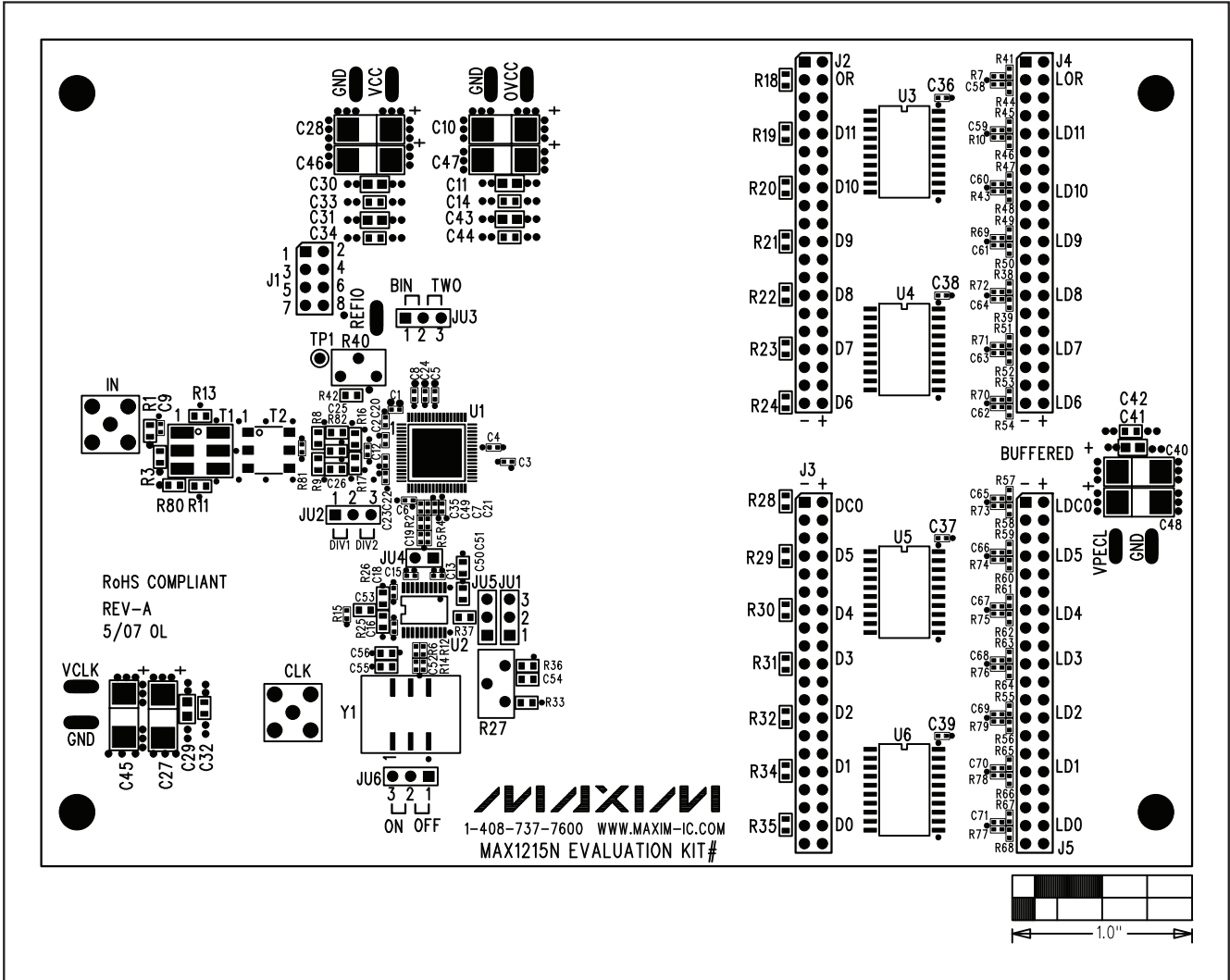


図2. MAX1215NのEVキットの部品配置ガイド—部品面

MAX1215Nの評価キット

Evaluates: MAX1215N

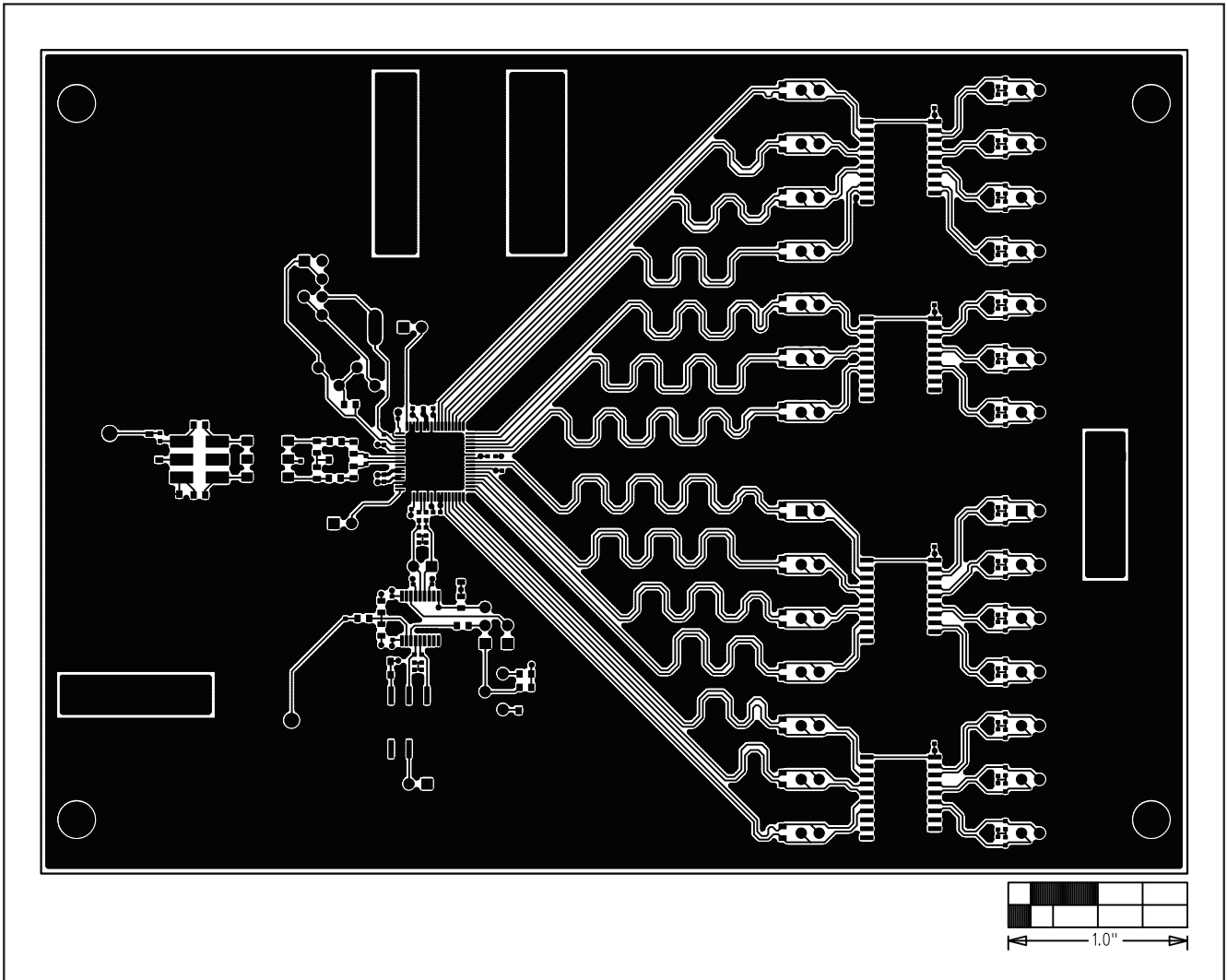


図3. MAX1215NのEVキットのPCBレイアウト—部品面

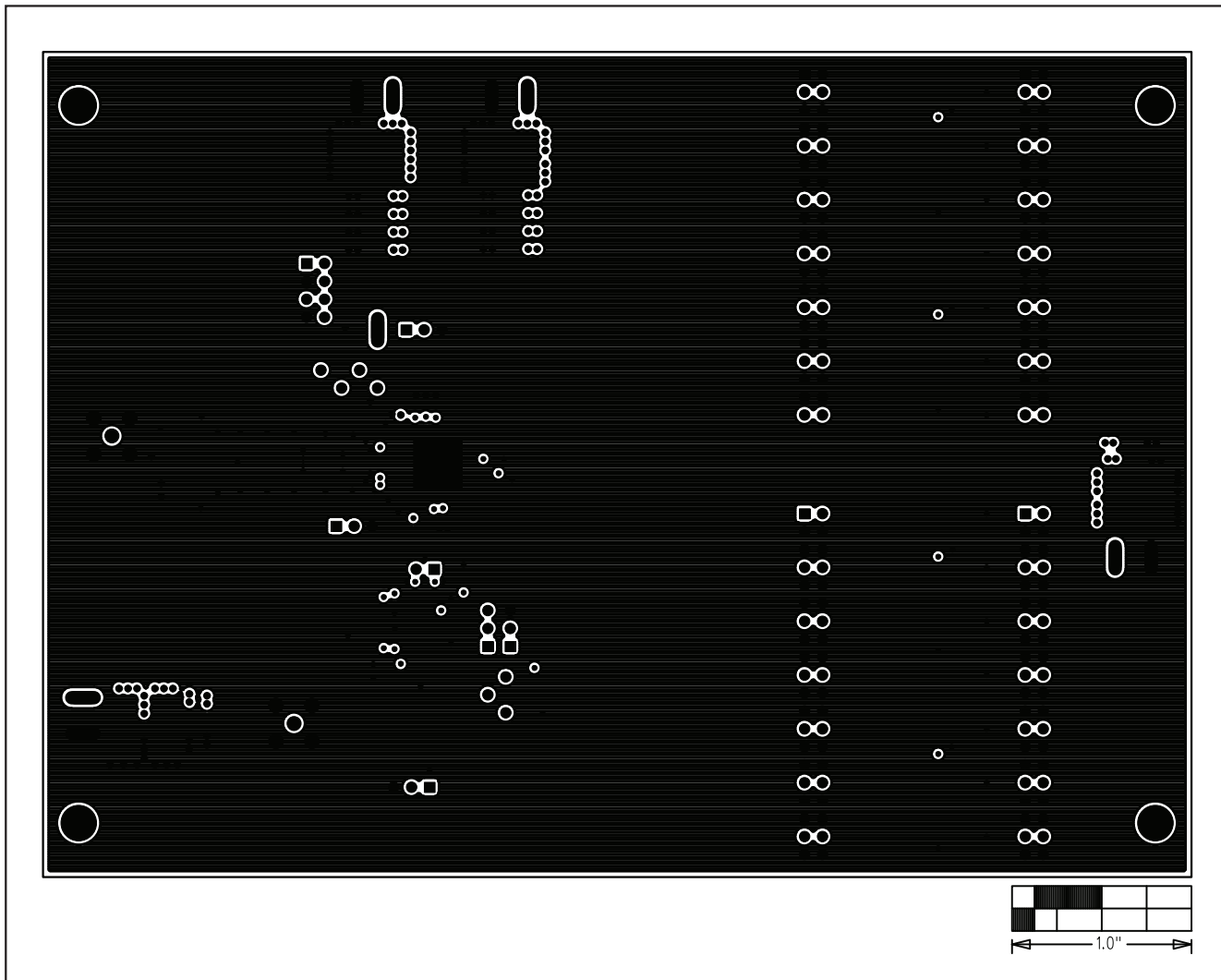


図4. MAX1215NのEVキットのPCBレイアウト—グラウンドプレーン(第2層)

MAX1215Nの評価キット

Evaluates: MAX1215N

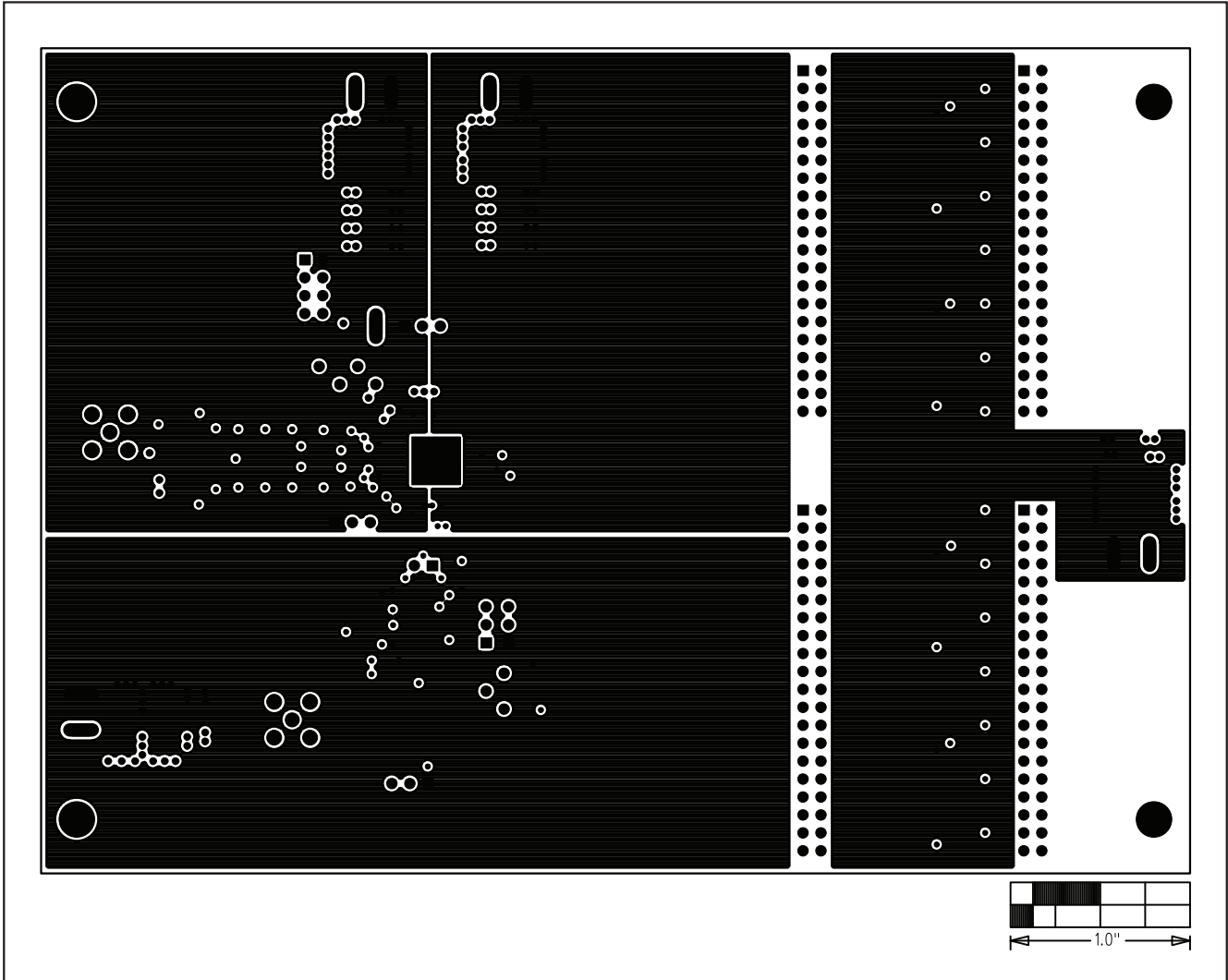


図5. MAX1215NのEVキットのPCBレイアウト—電源プレーン(第3層)

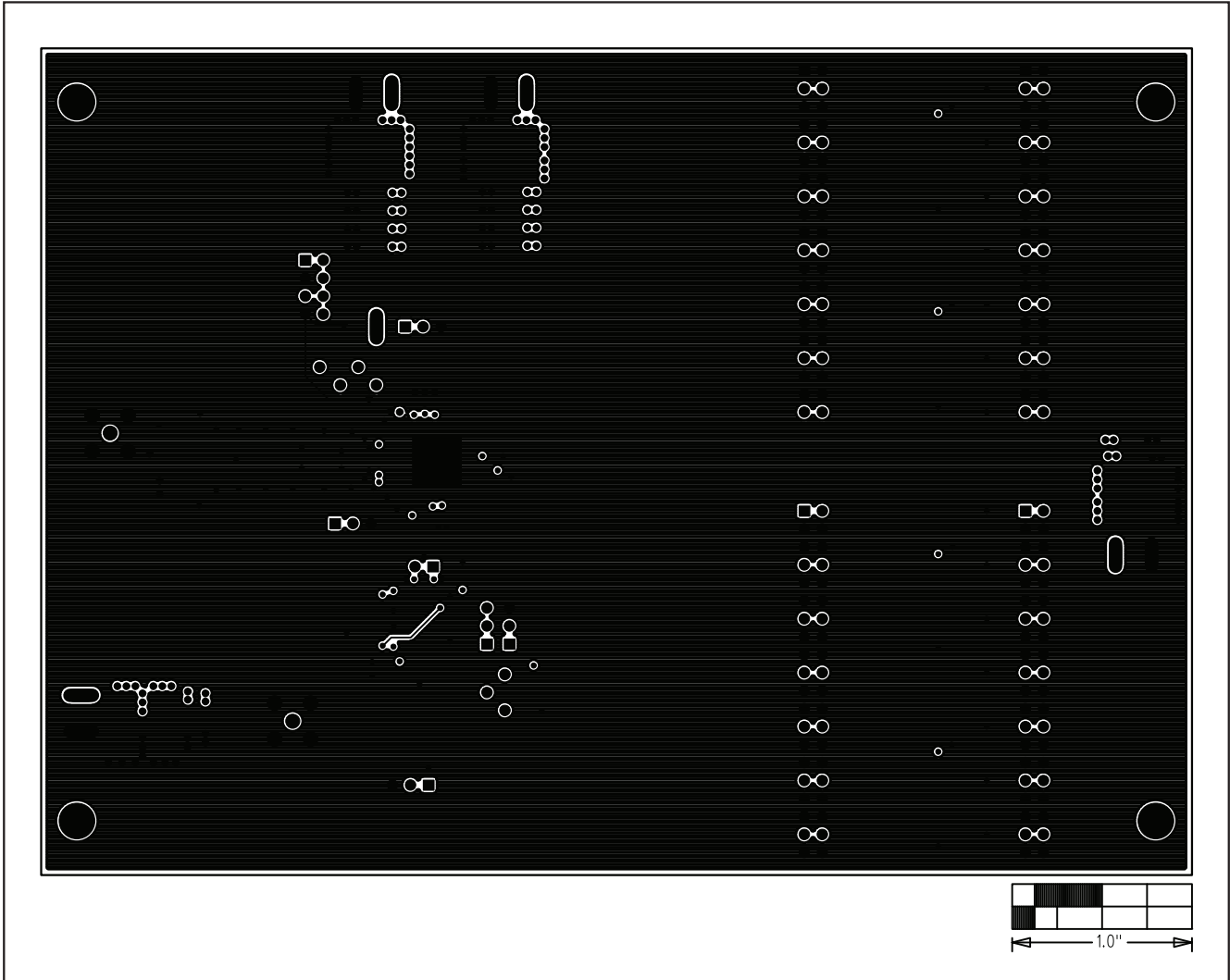


図6. MAX1215NのEVキットのPCBレイアウト—半田面

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 13