

EVALUATION KIT  
AVAILABLE**MAXIM****+5V単一電源、1Msps、14ビット  
セルフキャリブレーションADC****MAX1205****概要**

MAX1205は、最大変換レート1Mspsの14ビットモノリシックA/Dコンバータ(ADC)です。CMOSプロセスで製造されたこの集積回路は、デジタルエラー補正付の完全差動パイプライン構造と、コンデンサ及びゲインのミスマッチを補正してフルサンプルレートで14ビットの直線性を保証する短時間のセルフキャリブレーション機能を備えています。内蔵トラック/ホールド(T/H)により、ナイキスト周波数までの優れた動的性能を維持します。MAX1205は+5V単一電源で動作します。

完全差動入力により、 $\pm V_{REF}$ の入力スイングが可能になっています。リファレンスも差動で、正リファレンス(RFPF)は通常+4.096Vに、負リファレンス(RFNF)はアナロググランドに接続されています。リファレンスピンのチップ上の抵抗とリファレンストレースの有限な内部及び外部抵抗に起因する抵抗分圧作用を補償するために、検出ピン(RFPS、RFNS)が追加されています。2つのオペアンプを使ったシングルエンド入力も可能です。

電力消費は+5V、サンプリングレート1Mspsにおいて257mW(typ)です。本製品はCMOSコンパチブルの14ビットパラレル、2の補数形式のデータフォーマットを採用しています。MAX1201は、サンプリングレート2.2MspsでMAX1205とピンコンパチブルのアップグレード製品となっています。

MAX1205はMQFPパッケージで提供されています。温度範囲は民生用(0 ~ +70 )及び拡張工業用(-40 ~ +85 )のものが用意されています。

**アプリケーション**

画像処理

通信

医療機器

スキャナ

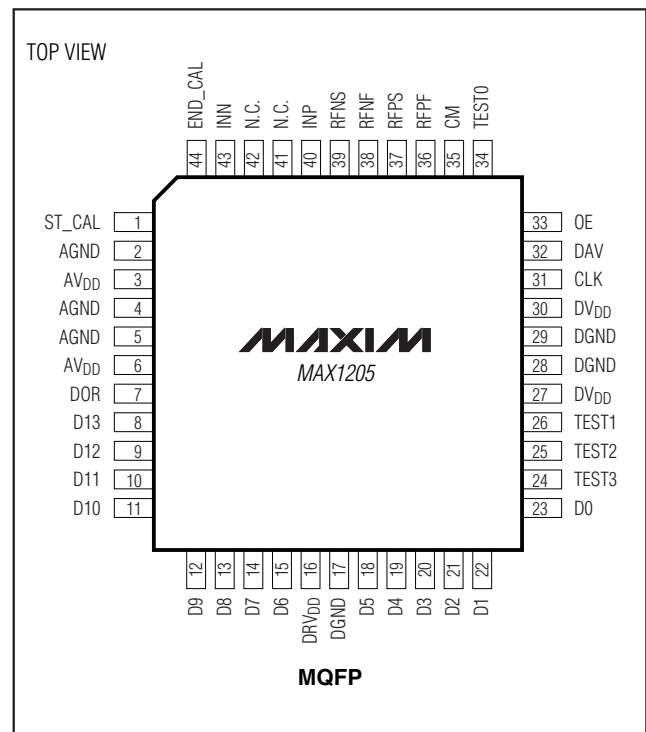
データ収集機器

**特長**

- ◆ モノリシック14ビット、1Msps ADC
- ◆ 電源：+5V単一
- ◆ SNR：80dB( $f_{IN} = 500\text{kHz}$ )
- ◆ SFDR：87dB( $f_{IN} = 500\text{kHz}$ )
- ◆ 低電力消費：257mW
- ◆ オンデマンド・セルフキャリブレーション
- ◆ 差動非直線性誤差： $\pm 0.3\text{LSB}$
- ◆ 積分非直線性誤差： $\pm 1.2\text{LSB}$
- ◆ スリーステート、2の補数形式の出力データ

**型番**

PART	TEMP. RANGE	PIN-PACKAGE
MAX1205CMH	0°C to +70°C	44 MQFP
MAX1205EMH	-40°C to +85°C	44 MQFP

**ピン配置****MAXIM**

Maxim Integrated Products 1

# +5V単一電源、1Msps、14ビット セルフキャリブレーションADC

MAX1205

## ABSOLUTE MAXIMUM RATINGS

AVDD to AGND, DGND .....	+7V
DVDD to DGND, AGND .....	+7V
DRVDD to DGND, AGND .....	+7V
INP, INN, RFPF, RFPS, RFNF, RFNS, CLK, CM .....	(AGND - 0.3V) to (AVDD + 0.3V)
Digital Inputs to DGND .....	-0.3V to (DVDD + 0.3V)
Digital Output (DAV) to DGND .....	-0.3V to (DRVDD + 0.3V)
Other Digital Outputs to DGND .....	-0.3V to (DRVDD + 0.3V)

Continuous Power Dissipation (TA = +70°C) 44-Pin MQFP (derate 11.11mW/°C above +70°C) .....	889mW
Operating Temperature Ranges (TA) MAX1205CMH .....	0°C to +70°C
MAX1205EMH .....	-40°C to +85°C
Storage Temperature Range .....	-65°C to +150°C
Lead Temperature (soldering, 10sec) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(AVDD = +5V ±5%, DVDD = DRVDD = +3.3V, VRFPS = +4.096V, VRFNS = AGND, VCM = +2.048V, VIN = -0.5dBFS, fCLK = 2.048MHz, digital output load ≤ 20pF, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUT</b>						
Input Voltage Range (Notes 2, 3)	VIN	Single-ended		4.096	4.5	V
		Differential		±4.096	±4.5	
Input Resistance (Note 4)	RI			55		kΩ
Input Capacitance (Note 3)	CI	Per side in track mode		21		pF
<b>REFERENCE/EXTERNAL</b>						
Reference Voltage (Note 3)	VREF			4.096	4.5	V
Reference Input Resistance			700	1000		Ω
<b>TRANSFER CHARACTERISTICS</b>						
Resolution (no missing codes) (Note 5)	RES	After calibration, guaranteed	14			Bits
Integral Nonlinearity	INL			±1.2		LSB
Differential Nonlinearity	DNL		-1	±0.3	+1	LSB
Offset Error			-0.2	±0.003	+0.2	%FSR
Gain Error			-5	-3.0	+5	%FSR
Input-Referred Noise				75		μVRMS
<b>DYNAMIC SPECIFICATIONS</b> (Note 6)						
Maximum Sampling Rate	fSAMPLE	fSAMPLE = fCLK / 2	1.024			Msps
Conversion Time (Pipeline Delay/Latency)				4		fSAMPLE Cycles
Acquisition Time	tACQ	To full-scale step (0.006%)		100		ns
Overvoltage Recovery Time	tOVR			410		ns
Aperture Delay	tAD			3		ns
Full-Power Bandwidth				3.3		MHz
Small-Signal Bandwidth				78		MHz

# +5V単一電源、1Msps、14ビット セルフキャリブレーションADC

**MAX1205**

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V ±5%, DVDD = DRVDD = +3.3V, VRFPS = +4.096V, VRFNS = AGND, VCM = +2.048V, VIN = -0.5dBFS, fCLK = 2.048MHz, digital output load ≤ 20pF, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Ratio (Note 5)	SNR	fIN = 99.5kHz	78	83		dB
		fIN = 300.5kHz		81.5		
		fIN = 504.5kHz		80		
Spurious-Free Dynamic Range (Note 5)	SFDR	fIN = 99.5kHz	84	91		dB
		fIN = 300.5kHz		88		
		fIN = 504.5kHz		87		
Total Harmonic Distortion (Note 5)	THD	fIN = 99.5kHz		-86	-80	dB
		fIN = 300.5kHz		-85		
		fIN = 504.5kHz		-84		
Signal-to-Noise Ratio plus Distortion (Note 5)	SINAD	fIN = 99.5kHz	77	82		dB
		fIN = 300.5kHz		79		
		fIN = 504.5kHz		78		
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	AVDD		4.75	5	5.25	V
Analog Supply Current	I(AVDD)			51	70	mA
Digital Supply Voltage	DVDD		3		5.25	V
Digital Supply Current	I(DVDD)			0.4	1.2	mA
Output Drive Supply Voltage	DRVDD		3		DRVDD	V
Output Drive Supply Current	I(DRVDD)	10pF loads on D0–D13 and DAV		0.1	0.6	mA
Power Dissipation	PDSS			257	377	mW
Warm-Up Time				0.1		sec
Power-Supply Rejection Ratio	PSRR	Offset	55			dB
		Gain	55			

# +5V単一電源、1MSPS、14ビット セルフキャリブレーションADC

MAX1205

## TIMING CHARACTERISTICS

(AVDD = +5V ±5%, DVDD = DRVDD = +3.3V, fCLK = 2.048MHz, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Conversion Time	tCONV			4 / fSAMPLE		ns
Clock Period	tCLK			488		ns
Clock High Time	tCH		187	244	301	ns
Clock Low Time	tCL		187	244	301	ns
Acquisition Time	tACQ			tCLK / 2		ns
Output Delay	tOD			70	150	ns
DAV Pulse Width	tDAV			1 / fCLK		ns
CLK-to-DAV Rising Edge	ts			65	145	ns
Data Access Time	tAC	CL = 20pF		16	75	ns
Bus Relinquish Time	tREL			16	75	ns
Calibration Time	tCAL	ST_CAL = 1, Figure 8		17,400		fCLK cycles

## DIGITAL INPUTS AND OUTPUTS

(AVDD = +5V ±5%, DVDD = DRVDD = +3.3V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Low Voltage	VIL				0.8	V
Input High Voltage	VIH		DVDD - 0.8			V
Input Capacitance				4		pF
CLK Input Low Voltage	CLKVIL				0.8	V
CLK Input High Voltage	CLKVIH		AVDD - 0.8			V
CLK Input Capacitance	CCLK			9		pF
Digital Input Current	IINL	VIN_ = 0 or DVDD		±0.1	±10	µA
Clock Input Current	ICLK		-10	±1	+10	µA
Output Low Voltage	VOL	ISINK = 1.6mA		70	400	mV
Output High Voltage	VOH	ISOURCE = 200µA	DVDD - 0.4	DVDD - 0.03		V
Three-State Leakage Current	I Leakage			±0.1	±10	µA
Three-State Output Capacitance	COUT			3.5		pF

**Note 1:** Reference inputs driven by operational amplifiers for Kelvin-sensed operation.

**Note 2:** For unipolar mode, the analog input voltage VINP must be within 0V and VREF, VINN = VREF / 2; where VREF = VRFPS - VRFNS. For differential mode, the analog inputs INP and INN must be within 0V and VREF; where VREF = VRFPS - VRFNS. The common mode of the inputs INP and INN is VREF / 2.

**Note 3:** Minimum and maximum parameters are not tested. Guaranteed by design.

**Note 4:** RI varies inversely with sample rate.

**Note 5:** Calibration remains valid for temperature changes within ±20°C and power-supply variations ±5%.

**Note 6:** All AC specifications are shown for the differential mode.

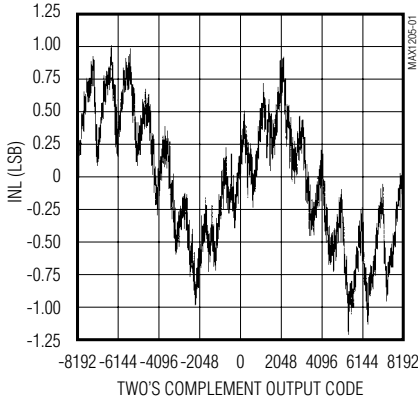
# +5V単一電源、1MSPs、14ビット セルフキャリブレーションADC

MAX1205

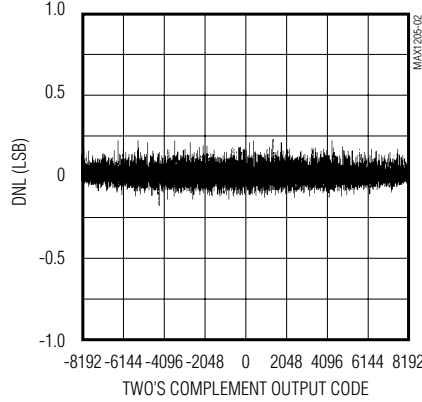
## 標準動作特性

( $AV_{DD} = +5V \pm 5\%$ ,  $DV_{DD} = DRV_{DD} = +3.3V$ ,  $V_{RFFS} = +4.096V$ ,  $V_{RFNS} = AGND$ ,  $V_{CM} = +2.048V$ , differential input,  $f_{CLK} = 2.048MHz$ , calibrated,  $T_A = +25^\circ C$ , unless otherwise noted.)

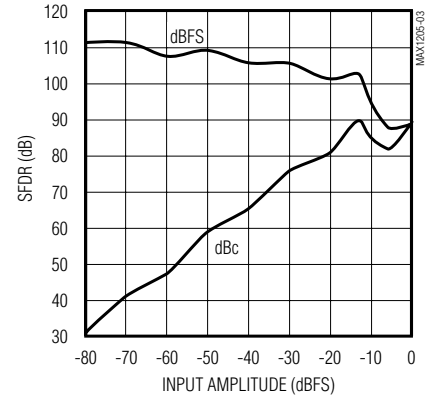
**INTEGRAL NONLINEARITY vs. TWO'S COMPLEMENT OUTPUT CODE**



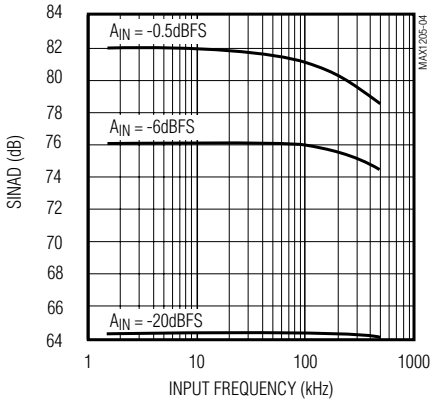
**DIFFERENTIAL NONLINEARITY vs. TWO'S COMPLEMENT OUTPUT CODE**



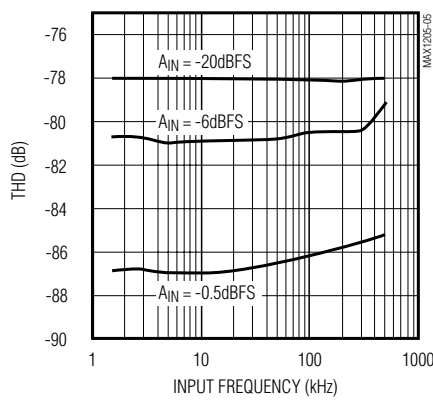
**SINGLE-TONE SPURIOUS-FREE DYNAMIC RANGE vs. INPUT AMPLITUDE ( $f_{IN} = 99.5kHz$ )**



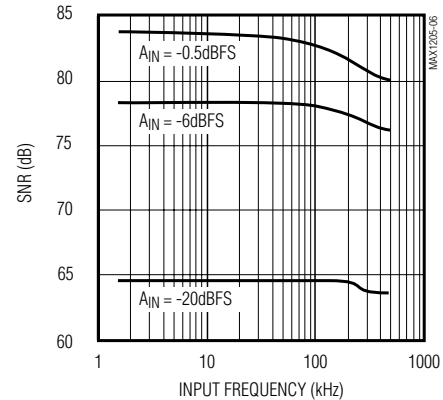
**SIGNAL-TO-NOISE RATIO PLUS DISTORTION vs. INPUT FREQUENCY**



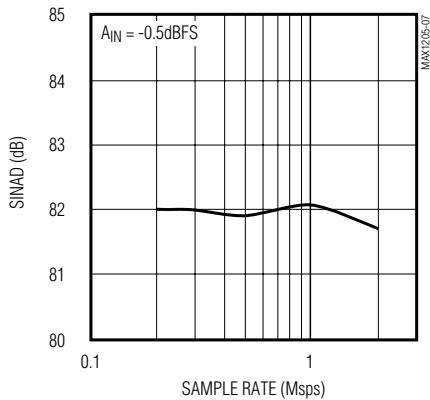
**TOTAL HARMONIC DISTORTION vs. INPUT FREQUENCY**



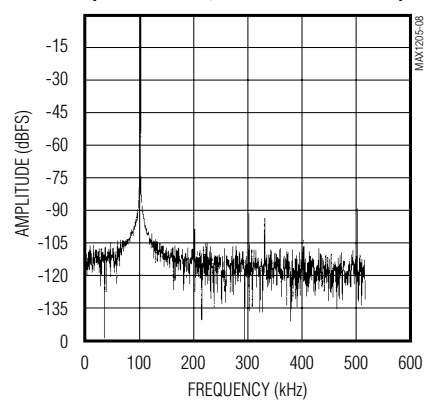
**SIGNAL-TO-NOISE RATIO vs. INPUT FREQUENCY**



**SIGNAL-TO-NOISE RATIO PLUS DISTORTION vs. SAMPLING RATE ( $f_{IN} = 99.5kHz$ )**



**TYPICAL FFT ( $f_{IN} = 99.5kHz$ , 2048 VALUE RECORD)**

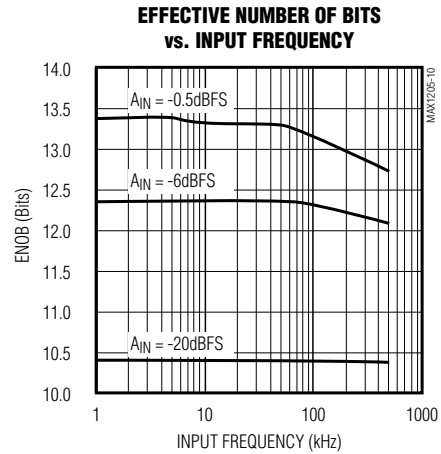
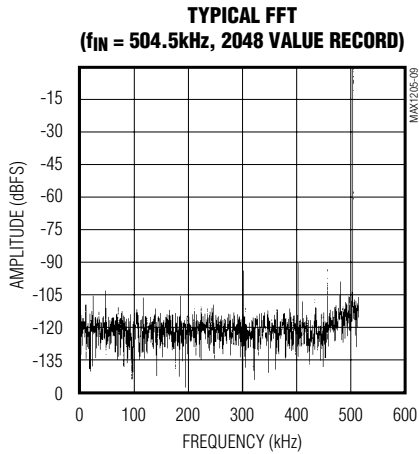


# +5V単一電源、1MSPS、14ビット セルフキャリブレーションADC

MAX1205

## 標準動作特性(続き)

(AVDD = +5V ±5%, DVDD = DRVDD = +3.3V, VRFPS = +4.096V, VRFNS = AGND, VCM = +2.048V, differential input, fCLK = 2.048MHz, calibrated, TA = +25°C, unless otherwise noted.)



## 端子説明

端子	名称	機能
1	ST_CAL	キャリブレーション開始用のデジタル入力。 ST_CAL = 0 : 通常変換モード。 ST_CAL = 1 : セルフキャリブレーション開始。
2, 4, 5	AGND	アナロググランド
3, 6	AVDD	アナログ電源、+5V ±5%
7	DOR	データアウトオブレンジ・ビット
8	D13	ビット13(MSB)
9	D12	ビット12
10	D11	ビット11
11	D10	ビット10
12	D9	ビット9
13	D8	ビット8
14	D7	ビット7
15	D6	ビット6
16	DRVDD	出力ドライバ用のデジタル電源、+3V ~ +5.25V、DRVDD DVDD
17, 28, 29	DGND	デジタルグランド
18	D5	ビット5
19	D4	ビット4
20	D3	ビット3
21	D2	ビット2
22	D1	ビット1
23	D0	ビット0(LSB)
24	TEST3	テストピン3。未接続のままにしてください。

# +5V単一電源、1Msps、14ビット セルフキャリブレーションADC

MAX1205

## 端子説明(続き)

端子	名称	機能
25	TEST2	テストピン2。未接続のままにしてください。
26	TEST1	テストピン1。未接続のままにしてください。
27, 30	DVDD	デジタル電源、+3V~+5.25V
31	CLK	入力クロック。ジッタを低減するためにAVDDから電源を得ています。
32	DAV	データ有効クロック出力。このクロックはメモリ又はその他のデータ収集機器にデータを転送するために使うことができます。
33	OE	出力イネーブル入力。 OE = 0 : D0 ~ D13及びDORはハイインピーダンス。 OE = 1 : 全てのビットがアクティブ。
34	TEST0	テストピン0。未接続のままにしてください。
35	CM	コモンモード電圧。アナログ入力。正と負のリファレンス電圧の間に設定して下さい。
36	RFPP	正リファレンス電圧。フォース入力。
37	RFPS	正リファレンス電圧。センス入力。
38	RFNF	負リファレンス電圧。フォース入力。
39	RFNS	負リファレンス電圧。センス入力。
40	INP	正入力電圧
41, 42	N.C.	無接続、内部接続されていません。
43	INN	負入力電圧
44	END_CAL	キャリブレーション終了のデジタル出力。 END_CAL = 0 : キャリブレーション進行中。 END_CAL = 1 : 通常変換モード。

## 詳細

### 変換動作

MAX1205は最大変換レート1Mspsの14ビットモノリシックA/Dコンバータ(ADC)です。デジタルエラー補正付マルチステージ完全差動パイプライン構造とセルフキャリブレーション機能を使って、1Mspsのサンプリングレートにおいて91dB以上(typ)のスプリアスフリー・ダイナミックレンジを実現しています。信号対雑音比、高調波歪み及び相互変調歪み積もナイキスト周波数まで14ビット精度に対応しています。この様な特長により、本製品は画像処理、スキャナ、データ収集及びデジタル通信に適しています。

図1にMAX1205の内部構造の簡略図を示します。信号を高いスループットレートで数値化するためにスイッチトコンデンサパイプライン構造が使用されています。パイプラインの初めの4段では低分解能のディジタルイザを使って入力信号を近似します。乗算型D/Aコンバータ(MDAC)段を使って、数値化されたアナログ信号を入力から差し

引きます。その残余が固定利得アンプで増幅され、次の段に送られます。コンバータの精度は、スイッチトコンデンサMDACの中のコンデンサ同士ミスマッチを補正するディジタルキャリブレーションアルゴリズムによって改善されています。パイプライン構造のため、サンプリングされている入力とD13~D0に現れる出力の間に4サンプリング周期の潜伏期間があることに注意して下さい。

本製品はシングルエンド入力及び差動入力の両方に対応していますが(「リファレンス及びアナログ信号入力の必要条件」を参照)、差動入力の方が最高のTHD及びSFDR性能を保証します。差動入力はシングルエンド入力に比べて以下の利点があります。

- 信号入力スパンが2倍
- コモンモードノイズ耐性
- 偶数次高調波を実質的に排除
- 入力信号処理アンプの必要条件が軽減

# +5V単一電源、1MSPS、14ビット セルフキャリブレーションADC

MAX1205

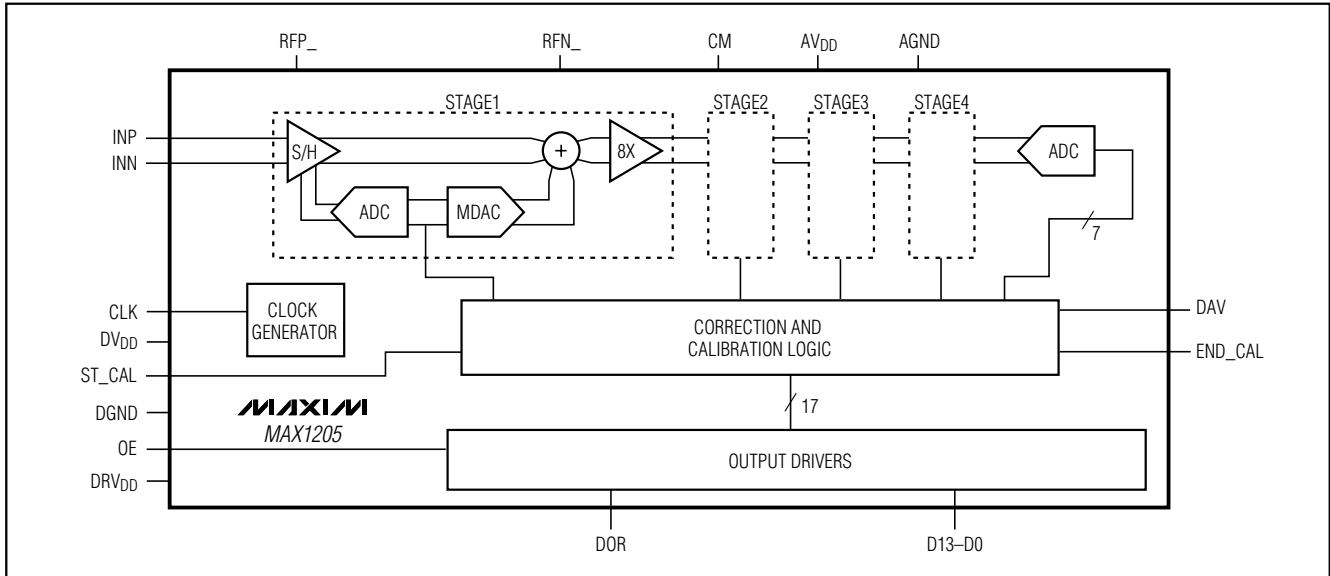


図1. 内部ブロック図

## リファレンス及びアナログ信号入力の必要条件

リファレンス及びアナログ入力の両方に完全差動スイッチトコンデンサ回路(SC)が使用されています(図2)。これにより、リファレンス及びアナログ信号経路にシングルエンド信号又は差動信号のいずれにも使用できます。これらのピン(INP、INN、RFN<sub>-</sub>、RFP<sub>-</sub>)の信号電圧がアナログ電源電圧AV<sub>DD</sub>を決して超えないように、又グランドよりも低くならないようにして下さい。

## リファレンスの選択

MAX6341のような負荷レギュレーションに優れ、低温度ドリフトの小さい、低ノイズリファレンスを選ぶことが重要です。リファレンスピンの等価入力回路を図3に示します。リファレンスピンはチップ上で約1kの抵抗を駆動することに注意して下さい。リファレンスピンは21pFのスイッチトコンデンサも駆動しています。動的性能を満たすためには、リファレンス電圧は1クロック

サイクル内に0.0015%までセトリングする必要があります。適切な駆動回路(図4)を選ぶことによってこれを実現して下さい。リファレンスピンのコンデンサ(RFPF、RFNF)は各クロックサイクル中に必要な動的電荷を提供し、オペアンプはリファレンス信号精度を保証します。これらのコンデンサはポリエチレン又はテフロンコンデンサのような誘電吸収特性の小さなものでなければなりません。

リファレンスピンは最大仕様レベル以内のシングルエンド又は差動電圧に接続することができます。通常は正リファレンスピン(RFPF)が4.096Vに設定され、負リファレンスピン(RFNF)がアナロググランドに接続されます。センスピンRFPS及びRFNSと外部アンプを使ってチップ内外のラインでの抵抗性電圧降下を補償することができます。センスピンの所で適切なケルビン接続を使うことにより、確実に適正なリファレンス電圧を得て下さい。

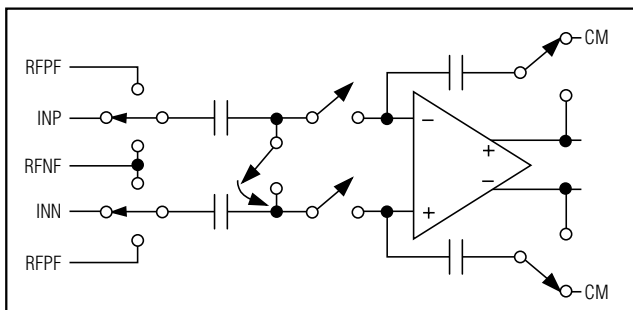


図2. MDAC構造の略図

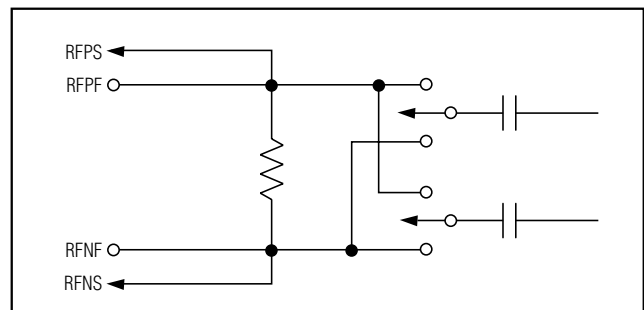


図3. リファレンスピンの等価入力。センスピンにDC電流が流れないようにして下さい。



# +5V単一電源、1MSPs、14ビット セルフキャリブレーションADC

## コモンモード電圧

アナログ入力におけるスイッチトコンデンサ入力回路により、AGNDとアナログ電源電圧の間の信号に対応できます。コモンモード電圧はADCの性能に強く影響するため、 $V_{CM}$ をリファレンス電圧 $V_{RFP}$ と $V_{RFN}$ の中央にすると最良の結果が得られます。2つのリファレンス電圧間の抵抗分圧器によってこれを実現して下さい。図4に、良好な動的性能を得るための標準的な駆動回路を示します。

## アナログ信号調節

シングルエンド入力の場合、負アナログ入力ピン(INN)はコモンモード電圧ピン(CM)に接続され、正アナログ入力ピン(INP)は入力に接続されます。

ADCのナイキスト周波数に達する優れたAC性能をフルに発揮させるため、差動信号でチップを駆動して下さい。通信機器の場合、信号が差動モードで得られることがあります。医療用その他のアプリケーションではシングルエンド入力のみに対応している場合があります。その場合は、図5の推奨回路を使ってシングルエンド信号を差動信号に変換して下さい。MAX1205の入力のフルパワー帯域幅にわたって信号純度を保つために、MAX4108のような低ノイズ広帯域アンプを使用して下さい。

入力信号の信号対雑音歪み比を改善するためには、ローパス又はバンドパス信号が必要となる場合があります。低周波数の信号(100kHz以下)の場合はアクティブフィルタを使用できます。これより高い周波数では受動フィルタの方が便利です。

## トランスを使ったシングルエンドから差動への変換

シングルエンドから差動エンドへの変換の別方法として、CoiltronicsのCTX03-13675等のバランストランスを使うことができます。これらのトランスの重要な利点は、一次側のグラウンドを基準としたシングルエンド信号を二次側で最適なコモンモード電圧にレベルシフトできることです。20kHz以下の周波数においては、トランスコアが飽和し始めて奇数次の高調波が発生します。

## クロックソースの必要条件

パイプラインADCは通常デューティサイクル50%のクロックを必要とします。この制約を避けるために、MAX1205は2分周回路を提供することで、この条件を緩和します。クロック発生器としては、信号ソースの周波数範囲、振幅及びスルーレートに相応したものをを選んで下さい。入力信号のスルーレートが小さければ、クロックのジッタの必要条件は緩和します。逆に、スルーレートが高い場合はクロックのジッタを最小限

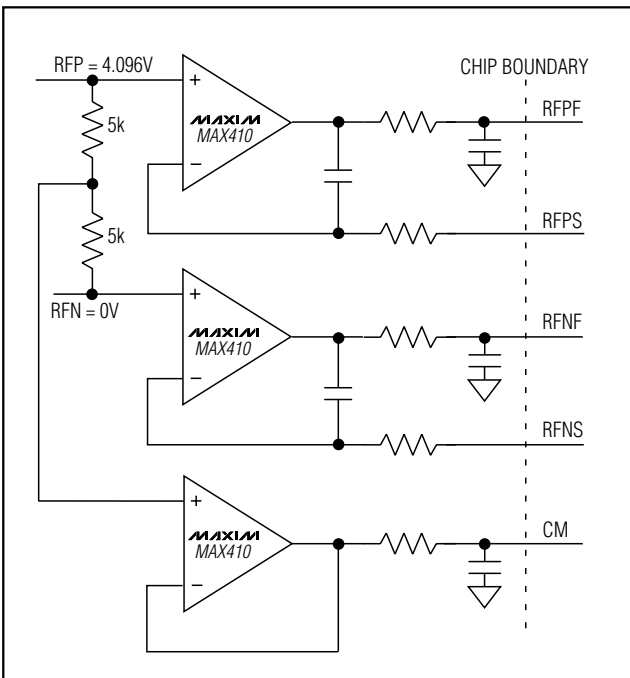


図4. リファレンスピン及びコモンモードピンの駆動回路

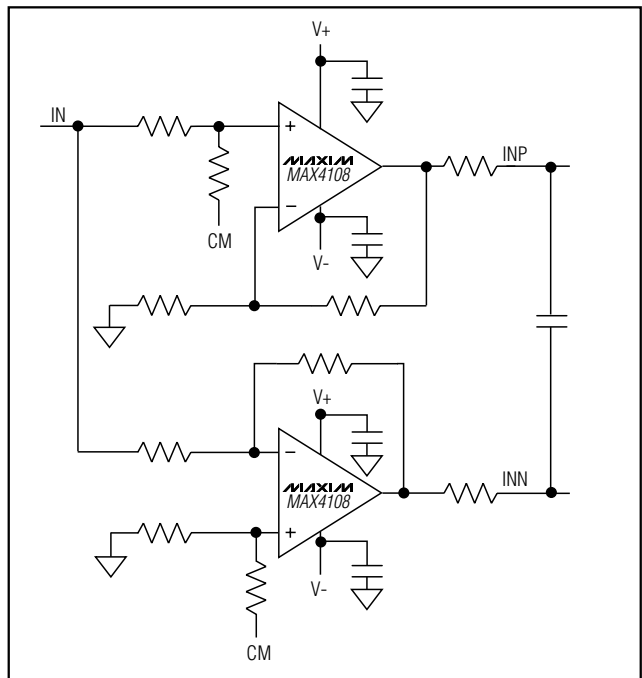


図5. アナロググラウンドを基準としたシングルエンド信号から差動信号を生成するシンプルな回路。INP及びINNにおけるコモンモード電圧はCMと等しくなっています。

# +5V単一電源、1MSPS、14ビット セルフキャリブレーションADC

に抑える必要があります。フルスケール振幅の入力サイン波の場合、クロックジッタのみに制限される最大信号対雑音比(SNR)は次式で与えられます。

$$SNR_{MAX} = \frac{1}{2\pi f_{IN} \sigma_{JITTER}}$$

例えば、 $f_{IN}$ が0.5MHzで  $JITTER$ が20ps RMSである場合、ジッタに起因するSNRの限界は約84dBです。このようなクロックソースを得るには、低ノイズコンパレータ及び低位相ノイズ信号発生器が必要です。図6に示すクロック回路がこの例になります。

## キャリブレーション手順

MAX1205はパイプライン構造であるため、低分解能ディジタイザ(「粗ADC」)を使って入力信号を近似しています。次に同じ分解能のMDACを使って入力信号を再構築し、それを入力から差し引いて残余をSC利得段で増幅します。この残余が次の段に送られます。

MAX1205の精度はMDACの精度によって制限されます。MDACの精度は使用しているコンデンサのマッチングに強く依存します。コンデンサ間の mismatches は測定され、オンチップ・メモリに記憶されます。この測定値は、後で入力信号を変換する時に使用されます。

キャリブレーション手順中、クロックは連続動作している必要があります。ST\_CAL(キャリブレーション開始)は、少なくとも4クロックサイクルの幅で、17,400クロックサイクルよりは短い正のパルスによって始まります(図8)。

ST\_CAL入力は内部でタイミングを調節するため、クロックと同期している必要はありません。ST\_CALが起動されると、1又は2クロックサイクル後にEND\_CAL

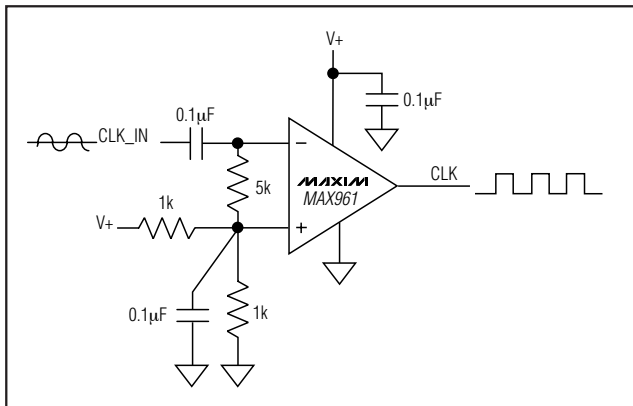


図6. 低ノイズコンパレータを使ったクロック発生回路

がローになり、キャリブレーションが完了するまでローに留まります。この期間中、リファレンス電圧は0.01%以内に安定していなければなりません。そうでない場合、キャリブレーションが無効になります。キャリブレーション中、アナログ入力INP及びINNは使用されませんが、これらの入力が静止している方が良好な性能が得られます。END\_CALがハイ(キャリブレーション手順の完了を示す)になると、直ちに変換を行える状態になります。

一旦キャリブレーションされると、MAX1205は温度や電源電圧の小さな変化(5%以下)には鈍感になります。キャリブレーションの後で温度が $\pm 20$ 以上変化した場合、最良の性能を維持するために再びキャリブレーションして下さい。

## 2の補数形式の出力

MAX1205は2の補数形式でデータを出力します。表1に様々なフルスケール入力を2の補数形式の出力コードに変換した例を示します。

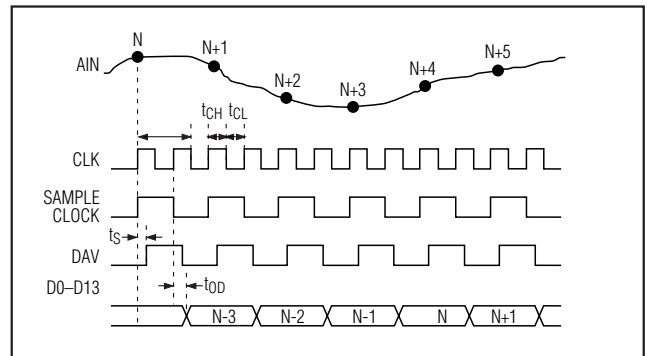


図7. メインタイミング図

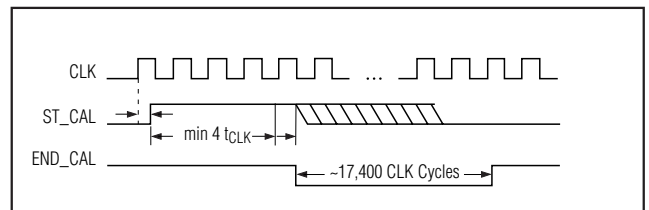


図8. キャリブレーションの開始と終了のタイミング

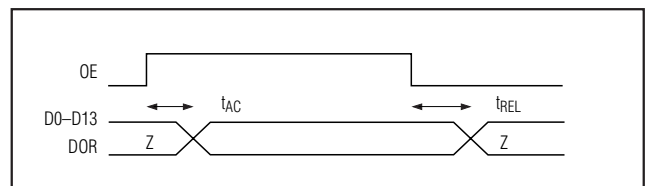


図9. バスアクセス及びバス放棄のタイミング-----  
出力イネーブル(OE)で制御

# +5V単一電源、1Msps、14ビット セルフキャリブレーションADC

## アプリケーション情報

### 信号対雑音比(SNR)

ディジタルサンプルから完全に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)とRMS数値化エラー(残留エラー)の比です。理想的な最小アナログディジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$\text{SNR}_{(\text{MAX})} = (6.02N + 1.76)\text{dB}$$

実際は、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。ですから、SNRを計算するときはRMS信号とRMSノイズの比をとります。そして後者は基本波以外の全てのスペクトル成分、最初の9つの高調波及びDCオフセットを含みます。

### 信号雑音+歪み(SINAD)

SINADは基本入力周波数のRMS振幅とその他全てのADC出力信号の比です。

$$\text{SINAD}(\text{dB}) = 20\log[(\text{信号}_{\text{RMS}}/(\text{ノイズ} + \text{歪み})_{\text{RMS}})]$$

### 実効ビット数(ENOB)

ENOBは特定の入力周波数及びサンプリングレートにおけるADCの包括的な精度です。理想的にはADCの誤差は数値化ノイズのみとなります。入力範囲がADCのフルスケール範囲に等しい場合、実効ビット数は次式で計算できます。

$$\text{ENOB} = (\text{SINAD} - 1.76)/6.02$$

### 全高調波歪み(THD)

THDは入力信号の最初の9つの高調波のRMS和と基本波の比です。これは次式で現されます。

$$\text{THD} = 20\log \left[ \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + \dots + V_9^2)}}{V_1} \right]$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_9$ は2次～9次高調波の振幅です。

### スプリアスフリーダイナミックレンジ(SFDR)

SFDRは基本波(最大信号成分)と次に大きなスプリアス成分(DCオフセットを除く)のRMS値の比です。

### グラウンディング及び電源デカップリング

グラウンディングと電源デカップリングはMAX1205の性能に強い影響を与えます。14ビット分解能においては、望ましくないディジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、SNR又はSFDRに悪影響を与える可能性があります。さらに電磁的干渉(EMI)がMAX1205にカップリングして入ってくるか、あるいはMAX1205で発生することがあります。従って、グラウンディング及び電源デカップリングのガイドラインは忠実に守って下さい。

まず、独立のグランド及び電源プレーンを備えた多層プリント基板(PCB)を勧めます。高速信号トレースはグランドプレーンのすぐ上に引いて下さい。MAX1205はアナログとディジタルのグランドバス(それぞれAGND及びDGND)が別々になっているため、プリント基板の方もアナログとディジタルのグランド部がそれぞれ別々になっていて一点でだけ接続されている(スターグランド)構成が好適です。ディジタル信号はディジタルグランドプレーンの上に、アナログ信号はアナロググランドプレーンの上に引いて下さい。ディジタル信号

表1. 2の補数形式の変換

SCALE	OFFSET BINARY	TWO'S COMPLEMENT	ONE'S COMPLEMENT
+FSR - 1LSB	1111...1111	0111...1111	0111...1111
+3/4FSR	1110...0000	0110...0000	0110...0000
+1/2FSR	1100...0000	0100...0000	0100...0000
+1/4FSR	1010...0000	0010...0000	0010...0000
+0	1000...0000	0000...0000	0000...0000
-0	—	—	1111...1111
-1/4FSR	0110...0000	1110...0000	1101...1111
-1/2FSR	0100...0000	1100...0000	1011...1111
-3/4FSR	0010...0000	1010...0000	1001...1111
-FSR + 1LSB	0000...0001	1000...0001	1000...0000
-FSR	0000...0000	1000...0000	—

# +5V単一電源、1MSPS、14ビット セルフキャリブレーションADC

は敏感なアナログ入力、リファレンス入力検出部、  
コモンモード入力及びクロック入力から遠ざけて下さい。

MAX1205は、アナログV<sub>DD</sub>(AV<sub>DD</sub>)、デジタルV<sub>DD</sub>  
(DV<sub>DD</sub>)及びドライブV<sub>DD</sub>(DRV<sub>DD</sub>)の3つの電源入力を  
備えています。各AV<sub>DD</sub>入力は0.1 $\mu$ Fと0.001 $\mu$ Fの並列  
なセラミックチップコンデンサでデカップリングして  
下さい。その際、これらのコンデンサをピンのできる  
だけ近くに配置し、グランドプレーンへの接続もでき  
るだけ短くして下さい。DV<sub>DD</sub>ピンにも独立の0.1 $\mu$ F  
コンデンサをそれぞれのピンの近くに接続し、DRV<sub>DD</sub>  
ピンについても同様にして下さい。デジタル負荷容量  
は最小限に抑えて下さい。各デジタル出力の全負荷  
容量が20pFを超えるようであれば、DRV<sub>DD</sub>デカッ  
ピングコンデンサを増やすか、あるいはさらに望ましい  
方法としてデジタルバッファを追加して下さい。

電源電圧は、大きなタンタル又は電解コンデンサを  
使ってプリント基板に入るところでデカップリングし  
て下さい。フェライトビーズにデカップリングコン  
デンサを追加してパイ・ネットワークを形成したもの  
を使えば、性能がさらに向上します。

MAX1205のデジタル電源は+5V~+3Vを許容しま  
すが、アナログ電源入力(AV<sub>DD</sub>)は+5V(typ)です。通常、  
DV<sub>DD</sub>とDRV<sub>DD</sub>ピンは同じ電源に接続されます。DV<sub>DD</sub>  
電源はDRV<sub>DD</sub>電圧以上でなければなりません。例えば、  
デジタル+3.3V電源をDRV<sub>DD</sub>に接続し、DV<sub>DD</sub>には  
よりクリーンな+5V電源を接続すると性能が僅かに  
向上します。逆に、+3.3V電源をDRV<sub>DD</sub>とDV<sub>DD</sub>の  
両方に接続することはできますが、DRV<sub>DD</sub>に+5V電源に  
接続されている時に+3.3V電源をDV<sub>DD</sub>に接続するこ  
とはできません(表2)。

表2. 電源電圧の組み合わせ

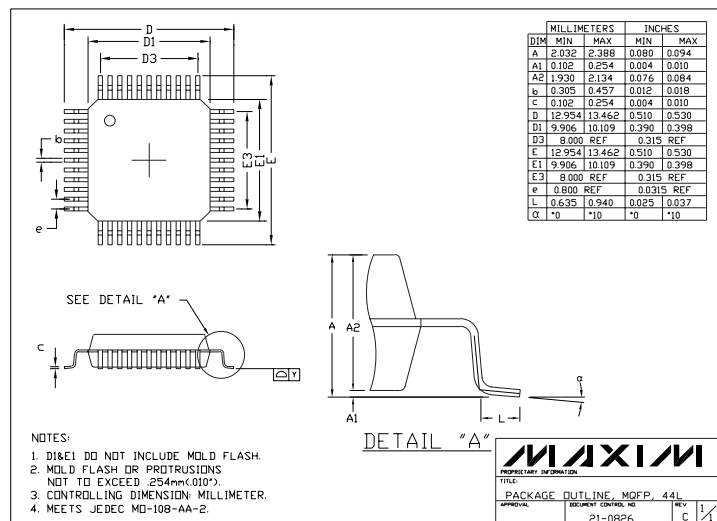
AV <sub>DD</sub> (V)	DV <sub>DD</sub> (V)	DRV <sub>DD</sub> (V)	ALLOWED/NOT ALLOWED
+5	+5	+5	Allowed
+5	+5	+3.3	Allowed
+5	+3.3	+3.3	Allowed
+5	+3.3	+5	Not Allowed

## チップ情報

TRANSISTOR COUNT: 56,577

SUBSTRATE CONNECTED TO: AGND

## パッケージ



## マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**