



MAX1181評価キット

Evaluates: MAX1180-MAX1186/MAX1190

概要

MAX1181評価キット(EVキット)は、デュアル10ビットアナログ-デジタルコンバータ(ADC)の非多重化MAX1180~MAX1184およびMAX1190、または多重化MAX1185/MAX1186の性能を評価するために必要な部品をすべて実装し、試験された回路基板です。MAX1180~MAX1186およびMAX1190は、差動またはシングルエンドのアナログ入力を許容し、EVキットは1つのシングルエンドのアナログ信号からの両タイプの信号を使って、各ADCを評価することができます。ADCが発生するデジタル出力は、ユーザ提供の高速ロジックアナライザ又はデータ取得システムを使って、容易にサンプリングができます。このEVキットは、+3.0Vアナログ及び+2.0Vデジタル電源によって動作します。これには、ユーザが提供するAC信号からクロック信号を発生する回路が含まれています。このEVキットにはMAX1181が実装されています。ピンコンパチブルなMAX1180、MAX1182、MAX1183、MAX1184、MAX1185、MAX1186、またはMAX1190の評価には、無料サンプルを請求してください。

選択ガイド

PART	SPEED (MSPS)
MAX1190ECM	120
MAX1180ECM	105
MAX1181ECM	80
MAX1182ECM	65
MAX1183ECM	40
MAX1184ECM	20
MAX1185ECM	20, multiplexed
MAX1186ECM	40, multiplexed

部品リスト

DESIGNATION	QTY	DESCRIPTION
C1-C5, C7, C9, C11, C16-C19, C21, C23, C27, C31, C33, C34, C36-C39, C42-C49, C51, C52	32	0.1µF, 16V, X7R, ±10% ceramic capacitors (0603) Taiyo Yuden EMK107BJ104KA or TDK C1608X7R1E104KT
C24, C25, C28, C29	4	22pF, 50V, ±5% ceramic capacitors (0603) TDK C1608CCOG1H220JT
C8, C10, C20, C22, C26, C32, C35, C40, C41	9	2.2µF, 10V tantalum capacitors (A) AVX TAJA225K010 or Kemet T494A225K010AS
C30	1	1000pF, 50V ±10% ceramic capacitor (0603) TDK C1608X7R1H102KT

特長

- ◆ サンプリングレート(MAX1181) : 最高80MSPS
- ◆ 低電圧及び低電力動作
- ◆ シングルエンド又は完全差動信号入力構成
- ◆ クロックシェーピング回路
- ◆ 完全実装、試験済み
- ◆ 非多重化(MAX1180~MAX1184/MAX1190)および多重化(MAX1185/MAX1186)の両出力動作をサポート

型番

PART	TEMP RANGE	IC PACKAGE
MAX1181EVKIT	0°C to +70°C	48 TQFP-EP

DESIGNATION	QTY	DESCRIPTION
C12-C15	4	10µF, 10V, tantalum capacitors (B) AVX TAJB106M010 or Kemet T494B106K010AS
C6, C50	0	Not installed (0603)
R1, R6, R19	0	Not installed (0603)
R31-R33	0	Not installed (0805)
R7	1	0Ω ±5% resistor (0603)
R38	1	3.9Ω ±5% resistor (0805)
R2-R5, R35, R51-R71	26	49.9Ω ±1% resistors (0603)
R15-R18	4	24.9Ω ±1% resistors (0603)
R8, R21-R30, R41-R50	21	100Ω ±1% resistors (0603)

Component List continued on next page.



MAX1181評価キット

部品リスト(続き)

DESIGNATION	QTY	DESCRIPTION
R9, R10, R13, R14, R36	5	2kΩ ±1% resistors (0603)
R11	1	6.04kΩ ±1% resistor (0603)
R12, R37	2	4.02kΩ ±1% resistors (0603)
R20	1	10kΩ ±1% resistor (0603)
R34	1	5kΩ potentiometer, 12-turn, 1/4" BI Technologies 3266W-1-502
T1, T2	2	RF transformers Mini-Circuits TT1-6-KK81
U1	1	MAX1181ECM (48-pin TQFP-EP)
U2	1	Dual CMOS differential line receiver (8-pin SO) Maxim MAX9113ESA
U3, U4	2	Buffer/Driver three-state outputs (48-pin TSSOP) Texas Instrument SN74ALVCH16244DGG
L1, L2	2	Ferrite chip beads, 90Ω at 100MHz (1206), Fair-Rite Products Corp. 2512069007Y0 or Mouser 436-2600 (60Ω at 100MHz)
J1	1	2 x 25-pin header
S/E_INA, D/E_INA, S/E_INB, D/E_INB, CLOCK	5	SMA PC-mount connectors
JU1-JU8	8	3-pin headers
None	8	Shunt (JU1-JU8)
None	1	MAX1181 PC board
None	1	MAX1181 data sheet
None	1	MAX1181 EV kit data sheet

クイックスタート

必要機器：

- DC電源
デジタル+2.0V、100mA
アナログ+3.0V、200mA
- クロック入力のための低位相ノイズ及び低ジッタのファンクションジェネレータ(例：HP8662A)
- アナログ信号入力のためのファンクションジェネレータ(例：HP8662A)
- ロジックアナライザ又はデータ取得システム(例：HP1663EP、HP16500C)
- アナログ帯域パスフィルタ(例：TTEエリプティカルバンドパスフィルタQ56シリーズ)
- デジタル電圧計

部品メーカ

SUPPLIER	PHONE	FAX
AVX	843-448-9411	843-448-1943
Fair-Rite Products	888-324-7748	888-337-7483
Kemet	864-963-6300	864-963-6322
Mini-Circuits	718-934-4500	718-934-7092
Pericom	800-435-2336	408-435-1100
Taiyo Yuden	800-348-2496	847-952-0899
TDK	847-803-6100	847-803-6296
Texas Instruments	972-644-5580	214-480-7800

Note: Please indicate that you are using the MAX1181 when contacting these component suppliers.

MAX1181EVキットは、完全に組立、試験済みの表面実装基板です。基板の動作については、以下のステップに従って下さい。全ての接続が完了するまで電源を投入したり、あるいはファンクションジェネレータをイネーブルしたりしないで下さい。

- ジャンパJU5(オフセットバイナリデジタル出力)、JU6(通常動作)、JU7(MAX1181動作中)、及びJU8(出力イネーブル)の端子2と端子3を横切るシャントが取り付けられていることを確認して下さい。
- クロックファンクションジェネレータをCLOCK SMAコネクタへ接続して下さい。
- アナログ信号ファンクションジェネレータの出力を帯域パスフィルタの入力へ接続して下さい。
- a) チャンネルA上の差動アナログ信号を評価するために、シャントが、ジャンパJU1とJU2の端子2及び3に取り付けられていることを確認して下さい。アナログ帯域パスフィルタの出力をD/E_INA SMAコネクタへ接続して下さい。チャンネルA上のシングルエンドアナログ信号を評価するために、シャントが、ジャンパJU1とJU2の端子1及び2に取り付けられていることを確認して下さい。アナログ帯域パスフィルタの出力をS/E_INA SMAコネクタへ接続して下さい。

b) チャンネルB上の差動アナログ信号を評価するために、シャントが、ジャンパJU3とJU4の端子2及び3に取り付けられていることを確認して下さい。アナログ帯域パスフィルタの出力をD/E_INB SMAコネクタへ接続して下さい。チャンネルB上のシングルエンドアナログ信号を評価するために、シャントが、ジャンパJU3とJU4の端子1及び2に取り付けられていることを確認して下さい。アナログ帯域パスフィルタの出力をS/E_INB SMAコネクタへ接続して下さい。

注記：両入力チャンネルは、同一に、又は異なる様に設定できます。

- 5) ロジックアナライザをスクエアピンヘッダ(J1)へ接続して下さい。チャンネルA(チャンネルB)データは、J1-1(J1-23)からJ1-19(J1-41)で捕捉されます。マルチプレックスされたADC(MAX1185又はMAX1186)を評価する場合、チャンネルA及びチャンネルBの出力データは、単一の10ビットバス(J1-1からJ1-19)上で捕捉され、A/Bインジケータ信号がJ1-23(ビットロケーション及びJ1ヘッダ番号については表4を参照)上で監視できます。マルチプレックス済みとマルチプレックスされない出力動作両方のシステムクロックは、端子J1-43上で利用可能です。
- 6) +3.0V、300mA電源をVA及びVADUTへ接続して下さい。この電源のグランド端子をAGNDへ接続して下さい。
- 7) +2.0V、100mA電源をVD及びVDDUTへ接続して下さい。この電源のグランド端子をDGNDへ接続して下さい。
- 8) 両方の電源を入れて下さい。
- 9) 電圧計を使って試験ポイントTP1及びTP2間で+1.20Vが測定されたか確認して下さい。電圧が+1.20Vにならなかった場合、+1.20Vが得られるまで可変抵抗器R34を調整して下さい。
- 10) ファンクションジェネレータをイネーブルして下さい。クロックファンクションジェネレータを出力振幅が2.4Vp-p、周波数(f_{CLK})が80MHz以下になるように設定して下さい。アナログ入力信号を出力振幅が2.4Vp-p以下で希望の周波数に設定して下さい。2つのファンクションジェネレータは、互いにフェーズロックされていなければなりません。
- 11) クロックの立上がりエッジで捕捉するようにロジックアナライザを設定して下さい。マルチプレックスされた出力動作モードは、ロジックアナライザクロックのチャンネルAのデータを立下りエッジで、チャンネルBのデータを立上りエッジで補足します。
- 12) ロジックアナライザをイネーブルして下さい。
- 13) ロジックアナライザを使ってデータを収集して下さい。

詳細

MAX1181EVキットは、MAX1180、MAX1181、MAX1182、MAX1183、MAX1184、MAX1185、MAX1186、またはMAX1190デュアル10ビットADC(チャンネルA及びB)の性能を評価するために必要な部品全てを含む、完全組立、試験済みの回路基板です。MAX1180~MAX1184/MAX1190、デュアル出力(チャンネルA及びB)はマルチプレックスされないデータで、データは2つの別個の10ビットバスで捕捉されます。MAX1185及びMAX1186デュアル出力(チャンネルA及

びB)はマルチプレックスされ、単一10ビットバスで補足されます。EVキットには、80MHzの最大クロック周波数(f_{CLK})を使って評価可能なMAX1181が装備されています。MAX1181は、差動又はシングルエンドアナログ入力信号を許容します。適切な基板コンフィギュレーション(下記に特定される通り)を使って、シングルエンドアナログ信号を1つだけEVキットに供給し、両タイプの信号を使ってADCを評価することが可能です。

EVキットは、MAX1181の性能を適正化するために4層PC基板として設計されています。別々のアナログ及びデジタルパワープレーンによって、アナログ及びデジタル信号間の雑音カップリングを最小にします。簡単な動作のために、EVキットは+3.0V及び+2.0VのDC電源が、それぞれアナログ及びデジタルパワープレーンに適用されるよう規格されています。しかしながら、基板性能に妥協することなく、デジタルプレーンを+1.7Vまで下げて動作することが可能です。ロジックアナライザのスレッシュホールドはそれぞれに調整されなければなりません。

チャンネルA及びチャンネルB出力へのアクセスは、コネクタJ1を通じて提供されます。50ピンコネクタは、ユーザ提供のロジックアナライザ又はデータ取得システムを使って直接インタフェースします。

電源

最高の性能を発揮するため、MAX1181EVキットは、アナログ及びデジタルの別個の電源が必要です。+3.0Vの電源は、MAX1181及びクロック信号回路のアナログ部分に電力を供給するために使われます。MAX1181アナログ電源電圧は、+2.7Vから+3.6Vの範囲です。しかし、EVキットには(VADUT、VA)、クロックシェーピング回路に対する最小入力電源電圧に適合するために+3.0Vが供給されなければなりません。MAX1181ADC及びバッファ/ドライバのデジタル部分(VDDUT、VD)に電力供給するために、別個の+2.0Vの電源が使用されます。最低+1.7V、最高+3.6Vの電源電圧で動作します。デジタル電源がアナログ電源よりも低い場合、強化されたダイナミック性能が通常実現されます。

クロック

基板上のクロックシェーピング回路は、CLOCK SMAコネクタに加えられたAC正弦波信号からクロック信号を発生します。この入力信号は、2.6Vp-pの範囲を越えるべきではありません。MAX1181に関しては、信号の周波数が80MHzを越えるべきではありません。正弦波の入力信号の周波数がADCのサンプリング周波数(f_{CLK})を決定します。差動ラインレシーバ(U2)は、CMOSクロック信号を生成するために入力信号をプロセスします。この信号のデューティサイクルはR34可変抵抗器を使って調整可能です。デューティサイクル50%(推薦)のクロック信号は、アナログ電源電圧が3.0V(アナログ

MAX1181評価キット

電源の40%)に設定されている時、試験ポイントTP1及びTP2間で1.20Vが生成されるまでR34を調整することによって達成できます。クロック信号はJ1-J43端子(CK)にあり、出力信号とロジックアナライザの同期化に使うことができます。

入力信号

MAX1181は、チャンネルA又はBに加えられる差動又はシングルエンドアナログ入力信号を許容します。このEVキットは、ユーザから供給される2Vp-p以下の振幅の、シングルエンドアナログ入力信号だけを必要とします。シングルエンドの動作中、信号は直接ADCに適用されますが、差動モードでは、基板上のトランスがシングルエンドアナログ入力を取り、ADCの差動入力端子において差動アナログ信号を生成します。シングルエンド信号入力を評価するために、入力信号をS/E_INA(チャンネルA)又はS/E_INB(チャンネルB)SMAコネクタへ接続して下さい。差動信号入力を評価するために、入力信号をD/E_INA(チャンネルA)又はD/E_INB(チャンネルB)SMA

コネクタへ接続して下さい。シングルエンド又は差動動作のためのジャンパ設定に関しては表1を参照して下さい。

注記：差動信号がADCに加えられる場合、ADCの正及び負の入力端子それぞれが、VADUT/2のコモンモード電圧の中心にあるSMAコネクタD/E_INA(D/E_INB)で供給される入力信号の半分を受信します。

出カインェブル/パワーダウン/スリープモード

MAX1181EVキットは、ユーザが特定の機能、又はデータコンバータ全体をイネーブル/ディセーブルすることの可能な、ジャンパが装備されています。ジャンパJU6は、スリープモードを、ジャンパJU7はパワーダウンモードを、ジャンパJU8は出カインェブル/ディセーブルモードを制御します。これらのモードでADCを動作することは、ICの全体的な消費電力の節約をサポートします。これらのモードにおける基板設定及びADCの動作は表2を参照して下さい。

表1. シングルエンド/差動動作ジャンパ設定

JUMPER	SHUNT STATUS	PIN CONNECTION	EV KIT OPERATION
JU1, JU2	1 and 2	INA+ pin connected to SMA connector S/E_INA and INA- pin connected to COM pin	Analog input signal is applied to the ADC's Channel A as a single-ended input
	2 and 3	INA+ and INA- pins connected to transformer T1	Analog input signal is applied to Channel A as a differential input
JU3, JU4	1 and 2	INB+ pin connected to SMA connector S/E_INB and INB- pin connected to COM pin	Analog input signal is applied to the ADC's Channel B as a single-ended input
	2 and 3	INB+ and INB- pins connected to transformer T2	Analog input signal is applied to Channel B as a differential input

表2. 出カインェブル/パワーダウン/スリープモード設定

JUMPER	SHUNT STATUS	PIN CONNECTION	EV KIT OPERATION
JU6	1 and 2	SLEEP connected to VDDUT	MAX1181 is disabled except for the internal reference
	2 and 3	SLEEP connected to DGND	MAX1181 in normal operation mode
JU7	1 and 2	PD connected to VDDUT	MAX1181 is powered down
	2 and 3	PD connected to DGND	MAX1181 in normal operation mode
JU8	1 and 2	\overline{OE} connected to VDDUT	Digital outputs disabled
	2 and 3	\overline{OE} connected to DGND	Digital output enabled

リファレンス電圧

MAX1181は、フルスケールのアナログ信号電圧を設定するために、REFIN端子における入力リファレンス電圧が必要です。ADCは、REFOUTでアクセス可能な安定した+2.048Vのリファレンス電圧を内蔵しています。このEVキットは、抵抗R20を介してREFINをREFOUTへ接続することによって、内蔵リファレンス電圧を使うように設計されています。ユーザは、R19パッドに抵抗を取り付けることによって、外部的にリファレンスレベルを調整、つまりフルスケール範囲を調整することが可能です。調整されたリファレンス電圧レベルは、下記の式を使って計算されます。

$$V_{REFIN} = (R19 / (R20 + R19)) \times V_{REFOUT}$$

この場合R19は取り付けられた抵抗の値で、R20は10kΩの抵抗、V_{REFOUT}は+2.048Vです。代替として、ユーザは、フルスケール設定のために安定した低ノイズの外部リファレンス電圧を直接REFINパッドに適用することが可能です。

出力信号

MAX1181は2つの10ビット並列CMOSコンパチブルデジタル出力チャンネル(チャンネルA及びB)を装備しています。デジタル出力コーディングは、ジャンパJU5を設定することによって、2の補数フォーマット又はストレートオフセットバイナリフォーマットのいずれかを選択することが可能です。ジャンパの設定に関しては表3を参照して下さい。2つのドライバがADCのチャンネルA及びBのデジタル出力をバッファします。このバッファは、デジタル出力信号に妥協することなく、ロジックアナライザ接続に存在する可能性のある大容量負荷を駆動することが可能です。バッファの出力は、ユーザがロジックアナライザ又はデータ取得システムを接続できる、EVキットの右側に位置する50ピンヘッダ(J1)へ接続されます。チャンネル及びヘッダJ1のビット配置については表4を参照して下さい。

表3. 出力フォーマット

JUMPER	SHUNT STATUS	PIN CONNECTION	EV KIT OPERATION
JU5	1 and 2	T/B connected to VDDUT	Digital output in two's complement
	2 and 3	T/B connected to DGND	Digital output in straight offset binary

表4. 出力ビット位置(非多重化/多重化出力動作)

CHANNEL	A/B STATE	BIT D0	BIT D1	BIT D2	BIT D3	BIT D4	BIT D5	BIT D6	BIT D7	BIT D8	BIT D9
NONMULTIPLEXED OUTPUT OPERATION											
A CLK ↑	N/A	J1-19 A0	J1-17 A1	J1-15 A2	J1-13 A3	J1-11 A4	J1-9 A5	J1-7 A6	J1-5 A7	J1-3 A8	J1-1 A9
B CLK ↑	N/A	J1-23 B0	J1-25 B1	J1-27 B2	J1-29 B3	J1-31 B4	J1-33 B5	J1-35 B6	J1-37 B7	J1-39 B8	J1-41 B9
MULTIPLEXED OUTPUT OPERATION*											
A CLK ↓	J1-23 1	J1-19 A0	J1-17 A1	J1-15 A2	J1-13 A3	J1-11 A4	J1-9 A5	J1-7 A6	J1-5 A7	J1-3 A8	J1-1 A9
B CLK ↑	J1-23 0	J1-19 A0	J1-17 A1	J1-15 A2	J1-13 A3	J1-11 A4	J1-9 A5	J1-7 A6	J1-5 A7	J1-3 A8	J1-1 A9

*For multiplexed output operation, Channel A and Channel B data is captured with a single 10-bit bus. Leave header designators J25(B1) through J41(B9) open.

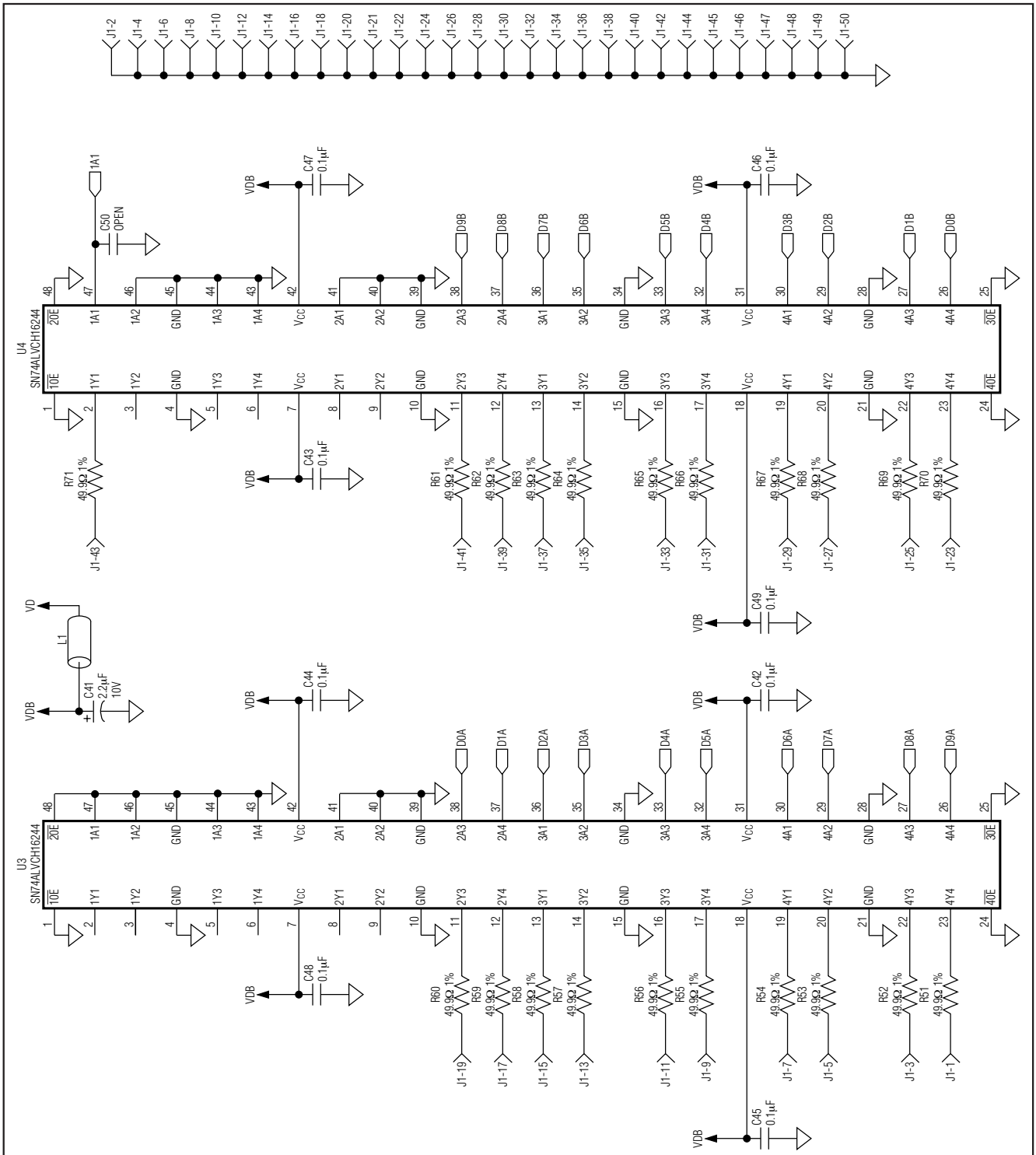


図2. MAX1181EVキットの回路図(続き)

MAX1181評価キット

Evaluates: MAX1180-MAX1186/MAX1190

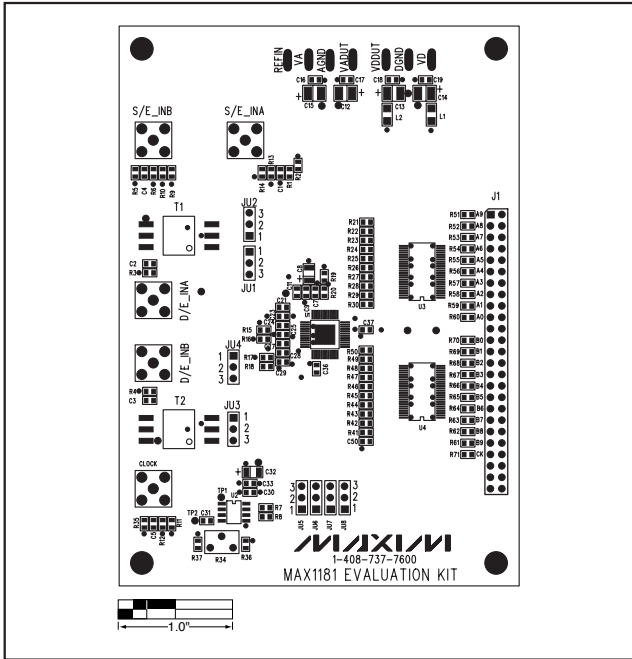


図3. MAX1181EVキット部品配置図(部品面側)

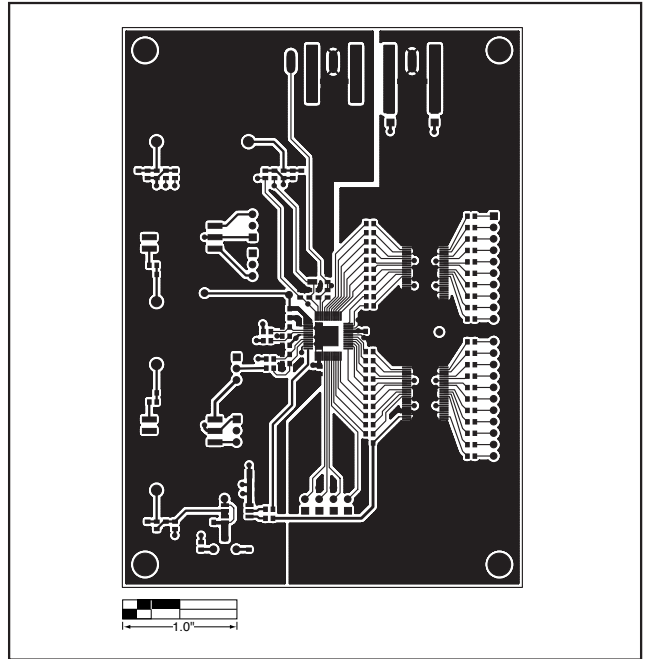


図4. MAX1181EVキットPC基板レイアウト(部品面側)

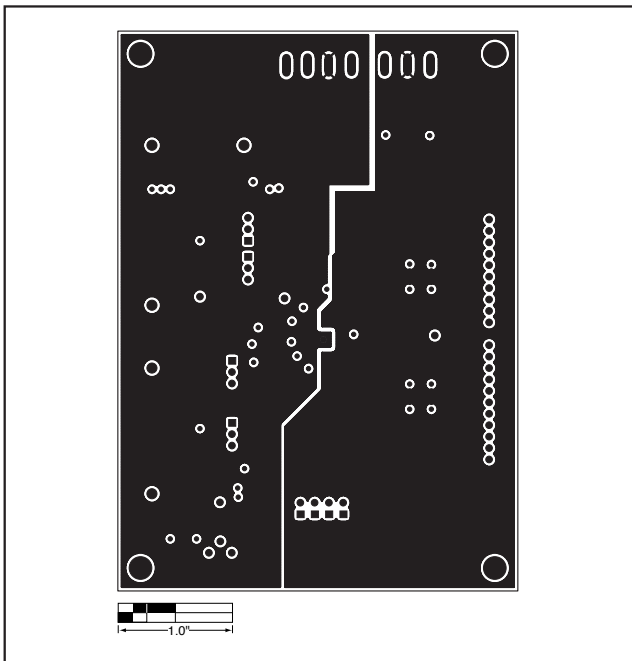


図5. MAX1181EVキットPC基板レイアウト(グラウンドプレーン)

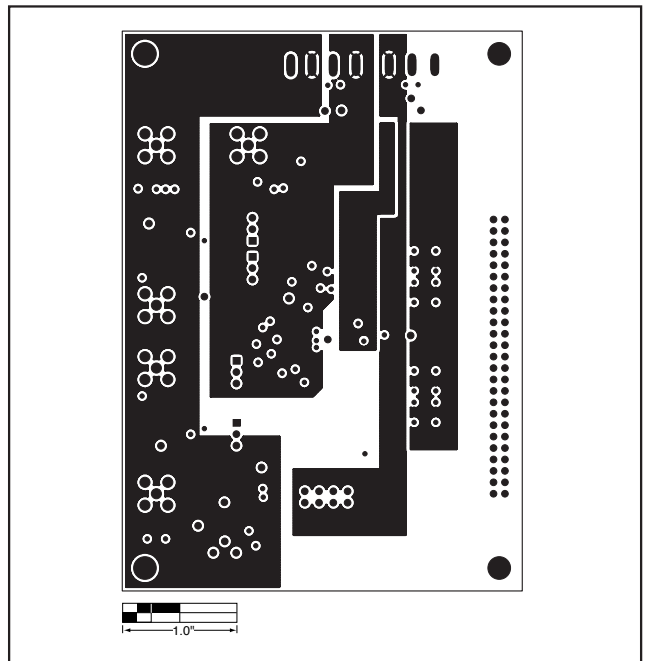


図6. MAX1181EVキットPC基板レイアウト(パワープレーン)

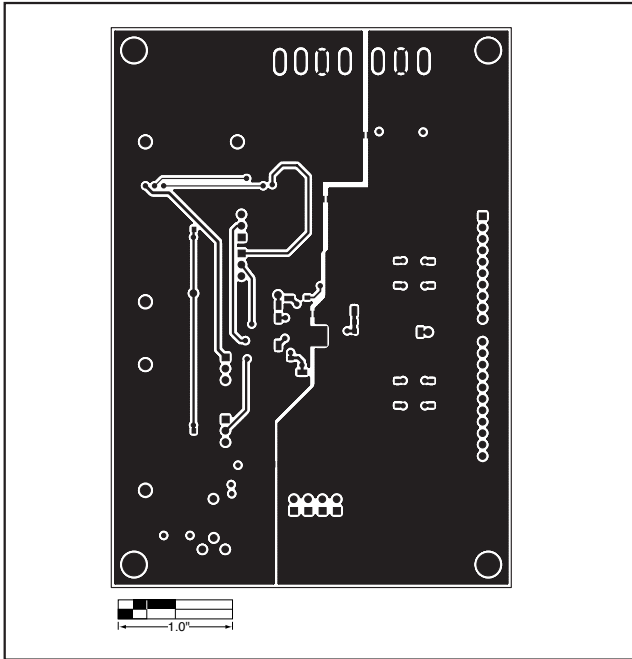


図7. MAX1181EVキットPC基板レイアウト (ハンダ面側)

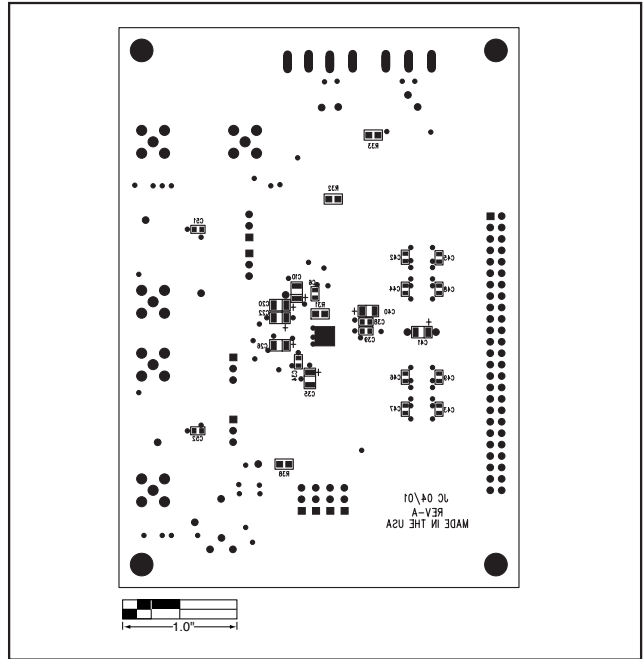


図8. MAX1181EVキット部品配置図(ハンダ面側)

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ **9**