

2 × 4 チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

概要

MAX115/MAX116は、同時トラック/ホールド(T/H)を備えた、高速、マルチチャンネル、12ビットのデータ収集システム(DAS)です。これらのデバイスには、12ビット、2 μ sの逐次比較型アナログディジタルコンバータ(ADC)、+2.5Vリファレンス、バッファ付リファレンス入力、及び(サンプリングされた入力の相対位相情報を保持する)4つの同時サンプリングT/Hアンプのバンクを内蔵しています。いずれも各T/H用に2つのマルチプレクス入力を用意、合計8つの入力に対応できます。加えて、コンバータは ± 17 Vまでの過電圧に耐えるため、どのチャンネルにフォルト条件が発生しても、ICが損傷を受けることはありません。入力範囲は ± 5 V(MAX115)及び ± 2.5 V(MAX116)です。

パラレルインタフェースのデータアクセス及びバス解放タイミングの仕様は、殆どのディジタル信号プロセッサ及び16ビット/32ビットマイクロプロセッサとコンパチブルなため、ウェイト状態にすることなく、MAX115/MAX116の変換結果にアクセスできます。

アプリケーション

多相モータ制御パワーグリッド同期
パワーファクタ監視
ディジタル信号処理
振動及び波形分析

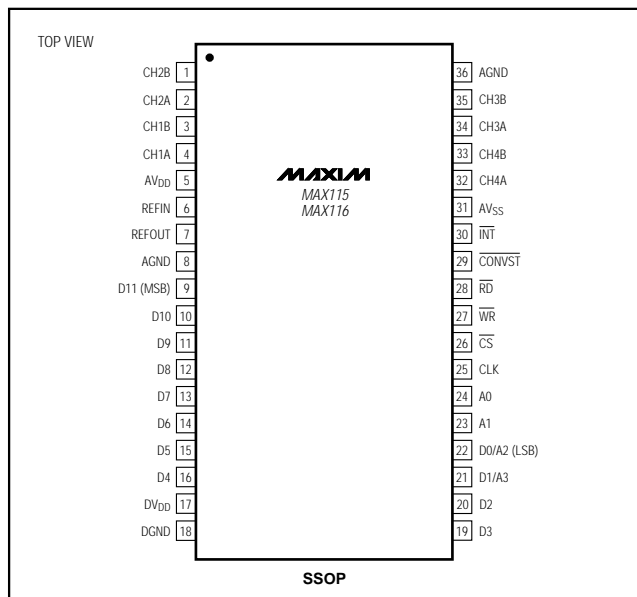
特長

- ◆ 2つのマルチプレクス入力を用意した
4つの同時サンプリングT/Hアンプ
(合計8つのシングルエンド入力)
- ◆ 1チャンネル当たりの変換時間: 2 μ s
- ◆ スループット: 390ksps(1チャンネル)
218ksps(2チャンネル)
152ksps(3チャンネル)
116ksps(4チャンネル)
- ◆ 入力範囲: ± 5 V(MAX115)
 ± 2.5 V(MAX116)
- ◆ フォルト保護機能付き入力マルチプレクサ(± 17 V)
- ◆ 内部+2.5V又は外部リファレンス動作
- ◆ プログラマブル内蔵シーケンス
- ◆ 高速パラレルDSPインタフェース
- ◆ 内部クロック: 10MHz

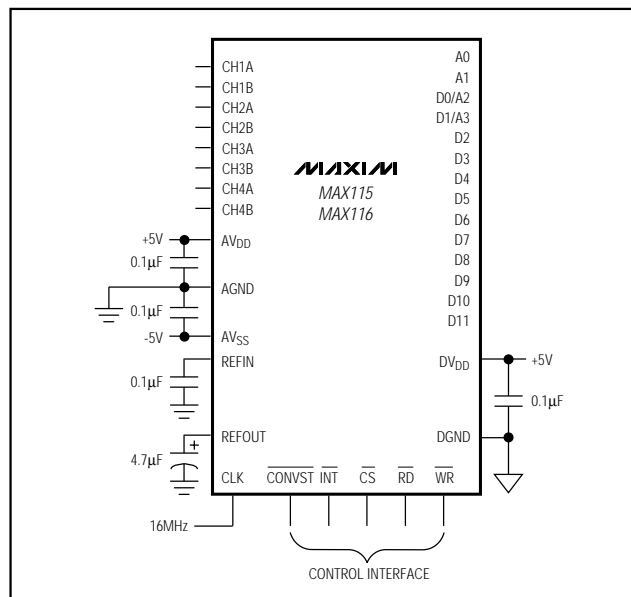
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX115CAX	0°C to +70°C	36 SSOP
MAX115EAX	-40°C to +85°C	36 SSOP
MAX116CAX	0°C to +70°C	36 SSOP
MAX116EAX	-40°C to +85°C	36 SSOP

ピン配置



標準動作回路



2 × 4チャネル、同時サンプリング、 12ビットADC

MAX115/MAX116

ABSOLUTE MAXIMUM RATINGS

AV_{DD} to AGND-0.3V to 6V
AV_{SS} to AGND0.3V to -6V
DV_{DD} to DGND-0.3V to 6V
AGND to DGND-0.3V to 0.3V
CH_{_} to AGND±17V
REFIN, REFOUT to AGND-0.3V to 6V
Digital Inputs/Outputs to DGND-0.3V to (DV_{DD} + 0.3V)

Continuous Power Dissipation (T_A = +70°C)
36-Pin SSOP (derate 11.8mW/°C above +70°C)941mW
Operating Temperature Ranges
MAX115_CAX/MAX116_CAX0°C to +70°C
MAX115_EAX/MAX116_EAX-40°C to +85°C
Junction Temperature+150°C
Storage Temperature Range-65°C to +150°C
Lead Temperature (soldering, 10s)300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = +5V ±5%, AV_{SS} = -5V ±5%, DV_{DD} = +5V ±5%, V_{REFIN} = +2.5V (external reference), AGND = DGND = 0, 4.7μF capacitor from REFOUT to AGND, 0.1μF capacitor from REFIN to AGND, f_{CLK} = 16MHz, external clock, 50% duty cycle. T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)							
Resolution	N	All channels		12			Bits
Integral Nonlinearity (Note 2)	INL			0.6		±1	LSB
Differential Nonlinearity	DNL			0.6		±1	LSB
Bipolar Zero Error		MAX115	T _A = +25°C	±5		±15	mV
			T _A = T _{MIN} to T _{MAX}	±30			
		MAX116	T _A = +25°C	±5		±10	
			T _A = T _{MIN} to T _{MAX}	±18			
Bipolar Zero-Error Match		Between all channels		2		5	mV
Zero-Code Tempco		MAX115		180			μV/°C
		MAX116		90			
Gain Error		MAX115	T _A = +25°C	±5		±15	mV
			T _A = T _{MIN} to T _{MAX}	±25			
		MAX116	T _A = +25°C	±5		±10	
			T _A = T _{MIN} to T _{MAX}	±18			
Gain Error Match				2		5	mV
Gain Error Tempco		MAX115		120			μV/°C
		MAX116		60			
DYNAMIC PERFORMANCE (f _{CLK} = 16MHz, f _{IN} = 10.06kHz) (Notes 1, 3)							
Signal-to-Noise Ratio	SNR	(Note 4)		69			dB
Total Harmonic Distortion	THD	(Notes 4, 5)				-80	dB
Spurious-Free Dynamic Range	SFDR	(Note 4)		80			dB
Channel-to-Channel Isolation		(Note 6)		80			dB

2 × 4 チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD} = +5V \pm 5\%$, $AV_{SS} = -5V \pm 5\%$, $DV_{DD} = +5V \pm 5\%$, $V_{REFIN} = +2.5V$ (external reference), $AGND = DGND = 0$, $4.7\mu F$ capacitor from REFOUT to AGND, $0.1\mu F$ capacitor from REFIN to AGND, $f_{CLK} = 16MHz$, external clock, 50% duty cycle. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT						
Input Voltage Range	V_{IN}	MAX115			± 5	V
		MAX116			± 2.5	
Input Current	I_{IN}	MAX115 (-5V to +5V range)			± 625	μA
		MAX116 (-2.5V to +2.5V range)			± 15	
Input Capacitance	C_{IN}			16		pF
TRACK/HOLD						
Acquisition Time	t_{ACQ}		600			ns
Small-Signal Bandwidth				10		MHz
Full-Power Bandwidth				1.3		MHz
Drop Rate				2		mV/ms
Aperture Delay				10		ns
Aperture Jitter				30		ps
Aperture-Delay Matching				500		ps
REFERENCE OUTPUT (Note 7)						
Output Voltage	V_{REFOUT}	$T_A = +25^\circ C$	2.462	2.5	2.532	V
External Load Regulation		$0 < I_{REF} < 1mA$		0.5		mV/mA
REFOUT Tempco		(Note 8)		30		ppm/ $^\circ C$
External Capacitive Bypass at REFIN			0.1			μF
External Capacitive Bypass at REFOUT			4.7		22	μF
REFERENCE INPUT						
Input Voltage Range			2.40	2.50	2.60	V
Input Current					± 50	μA
Input Resistance (Note 9)				10		k Ω
Input Capacitance				10		pF
EXTERNAL CLOCK						
External Clock Frequency					16	MHz
INTERNAL CLOCK						
Internal Clock Frequency			5.6	10	14.8	MHz
DIGITAL INPUTS (\overline{CONVST} , \overline{RD} , \overline{WR} , \overline{CS} , CLK, A0–A3) (Note 1)						
Input High Voltage	V_{IH}		2.4			V
Input Low Voltage	V_{IL}				0.8	V
Input Current	I_{IN}	\overline{CONVST} , \overline{RD} , \overline{WR} , \overline{CS} , CLK			± 1	μA
		A0–A3			± 10	
Input Capacitance	C_{IN}			15		pF

2 × 4チャネル、同時サンプリング、 12ビットADC

MAX115/MAX116

ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD} = +5V \pm 5\%$, $AV_{SS} = -5V \pm 5\%$, $DV_{DD} = +5V \pm 5\%$, $V_{REFIN} = +2.5V$ (external reference), $AGND = DGND = 0$, $4.7\mu F$ capacitor from REFOUT to $AGND$, $0.1\mu F$ capacitor from $REFIN$ to $AGND$, $f_{CLK} = 16MHz$, external clock, 50% duty cycle. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS (D0–D11, \overline{INT})						
Output High Voltage	V_{OH}	$I_{OUT} = 1mA$	4			V
Output Low Voltage	V_{OL}	$I_{OUT} = -1.6mA$			0.4	V
Three-State Leakage Current		D0–D11			± 10	μA
Three-State Output Capacitance				10		pF
POWER REQUIREMENTS						
Positive Supply Voltage	AV_{DD}		4.75	5	5.25	V
Negative Supply Voltage	AV_{SS}		-5.25	-5	-4.75	V
Digital Supply Voltage	DV_{DD}		4.75	5	5.25	V
Positive Supply Current	I_{AVDD}			17	25	mA
Negative Supply Current	I_{AVSS}		-20	-15		mA
Digital Supply Current				3	6	mA
Shutdown Positive Current				1		μA
Shutdown Negative Current				-1		μA
Shutdown Digital Current				13		μA
Positive Supply Rejection	PSRR+	(Note 10)			± 1	LSB
Negative Supply Rejection	PSRR-	(Note 10)			± 1	LSB
Power Dissipation		(Note 11)		175		mW

TIMING CHARACTERISTICS

(See Figure 4, $AV_{DD} = +5V$, $AV_{SS} = -5V$, $DV_{DD} = +5V$, $AGND = DGND = 0$, $T_A = T_{MIN}$ to T_{MAX} . Typical values are at $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CONVST} Pulse Width	t_{CW}		30			ns
\overline{CS} to \overline{WR} Setup Time	t_{CWS}	Guaranteed by design	0			ns
\overline{CS} to \overline{WR} Hold Time	t_{CWH}	Guaranteed by design	0			ns
\overline{WR} Low Pulse Width	$t_{\overline{WR}}$		30			ns
Address Setup Time	t_{AS}		30			ns
Address Hold Time	t_{AH}		0			ns
\overline{RD} to \overline{INT} Delay	t_{ID}	25pF load			55	ns
Delay Time Between Reads	t_{RD}		45			ns
\overline{CS} to \overline{RD} Setup Time	t_{CRS}	Guaranteed by design	0			ns
\overline{CS} to \overline{RD} Hold Time	t_{CRH}	Guaranteed by design	0			ns
\overline{RD} Low Pulse Width	$t_{\overline{RD}}$		30			ns
Data-Access Time	t_{DA}	25pF load (Note 12)			40	ns
Bus-Relinquish Time	t_{DH}	25pF load (Note 13)	5		45	ns

2 × 4 チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

TIMING CHARACTERISTICS (continued)

(See Figure 4, $AV_{DD} = +5V$, $AV_{SS} = -5V$, $DV_{DD} = +5V$, $AGND = DGND = 0$, $T_A = T_{MIN}$ to T_{MAX} . Typical values are at $T_A = +25^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Conversion Time	t_{CONV}	Mode 1, channel 1			2	μs
		Mode 2, channel 2			4	
		Mode 3, channel 3			6	
		Mode 4, channel 4			8	
Conversion Rate		Mode 1, channel 1			390	ksps
		Mode 2, channel 2			218	
		Mode 3, channel 3			152	
		Mode 4, channel 4			116	
Startup Time		Exiting shutdown		20		ms

Note 1: $AV_{DD} = +5V$, $AV_{SS} = -5V$, $DV_{DD} = +5V$, $V_{REFIN} = 2.500V$ (external), $V_{IN} = \pm 5V$ (MAX115) or $\pm 2.5V$ (MAX116).

Note 2: Integral nonlinearity is the analog value's deviation at any code from its theoretical value after the full-scale range and offset have been calibrated.

Note 3: CLK synchronized with \overline{CONVST} .

Note 4: $f_{IN} = 10.06kHz$, $V_{IN} = \pm 5V$ (MAX115) or $\pm 2.5V$ (MAX116).

Note 5: First five harmonics.

Note 6: All inputs except CH1A driven with $\pm 5V$ (MAX115) or $\pm 2.5V$ (MAX116) 10.06kHz signal, CH1A connected to AGND and digitized.

Note 7: $AV_{DD} = DV_{DD} = +5V$, $AV_{SS} = -5V$, $V_{IN} = 0V$ (all channels).

Note 8: Temperature drift is defined as the change in output voltage from $+25^{\circ}C$ to T_{MIN} or T_{MAX} . It is calculated as $TC = [\Delta REFOUT / REFOUT] / \Delta T$.

Note 9: See Figure 2.

Note 10: Defined as the change in positive full scale caused by a $\pm 5\%$ variation in the nominal supply voltage. Tested with one input at full scale and all others at AGND. $V_{REFIN} = +2.5V$ (internal).

Note 11: Tested with all inputs connected to AGND. $V_{REFIN} = +2.5V$ (internal).

Note 12: The data access time is defined as the time required for an output to cross $+0.8V$ or $+2.0V$. It is measured using the circuit of Figure 1. The measured number is then extrapolated back to determine the value with a 25pF load.

Note 13: The bus relinquish time is derived from the measured time taken for the data outputs to change $+0.5V$ when loaded with the circuit of Figure 1. The measured number is then extrapolated back to remove the effects of charging and discharging the 120pF capacitor. The time given is the part's true bus relinquish time, which is independent of the external bus loading capacitance.

2×4チャンネル、同時サンプリング、 12ビットADC

端子説明

端子	名称	機能
1, 2	CH2B, CH2A	チャンネル2のマルチプレクス入力(シングルエンド)
3, 4	CH1B, CH1A	チャンネル1のマルチプレクス入力(シングルエンド)
5	AV _{DD}	アナログ電源電圧
6	REFIN	外部リファレンス入力/内部リファレンス出力。0.1μFのコンデンサでAGNDにバイパスして下さい。
7	REFOUT	リファレンスバッファ出力。4.7μFのコンデンサでAGNDにバイパスして下さい。
8, 36	AGND	アナロググランド。両方のピンをグランドに接続して下さい。
9-16	D11-D4	データビット。D11=MSB。
17	DV _{DD}	ディジタル電源電圧
18	DGND	ディジタルグランド
19, 20	D3, D2	データビット
21, 22	D1/A3, D0/A2	双方向データビット/アドレスビット
23, 24	A1, A0	アドレスビット
25	CLK	クロック入力(デューティサイクルは30%~70%でなければなりません)。CLKをDV _{DD} に接続すると、内部クロックがアクティブになります。
26	\overline{CS}	チップ選択入力(アクティブロー)
27	\overline{WR}	書込み入力(アクティブロー)
28	\overline{RD}	読取り入力(アクティブロー)
29	\overline{CONVST}	変換開始入力。立上りエッジでサンプリング及び変換シーケンスが開始されます。
30	\overline{INT}	割込み出力。立下りエッジは変換シーケンスの終わりを示します。
31	AV _{SS}	アナログ電源電圧
32, 33	CH4A, CH4B	チャンネル4のマルチプレクス入力(シングルエンド)
34, 35	CH3A, CH3B	チャンネル3のマルチプレクス入力(シングルエンド)

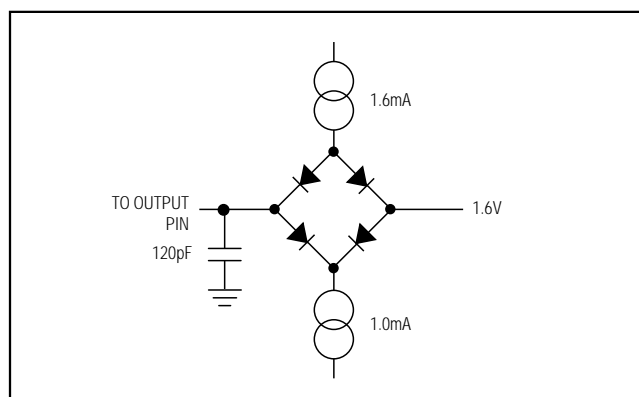


図1. アクセス時間及びバス解放時間の負荷回路

詳細

MAX115/MAX116は、逐次比較変換技法及び4つの同時サンプリングトラック/ホールド(T/H)アンプを使用し、アナログ信号を12ビットのディジタル出力に変換します。各T/Hには2つのマルチプレクス入力があり、合計8つの入力に対応しています。それぞれのT/H出力は変換後メモリに保存され、パラレルインタフェースによって連続読取サイクルで順次アクセスされます。MAX115/MAX116の内部マイクロシーケンサをプログラムすることにより、4つの入力を同時にサンプリングし(各入力はいずれかのバンクを選択可能)、そのうちの1つ、2つ、3つ、又は4つの入力をディジタル化することができます(図2)。MAX115/MAX116は、外部又は内部クロックのいずれでも動作します。内部動作の場合は、CLKをDV_{DD}に接続して下さい。

2×4チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

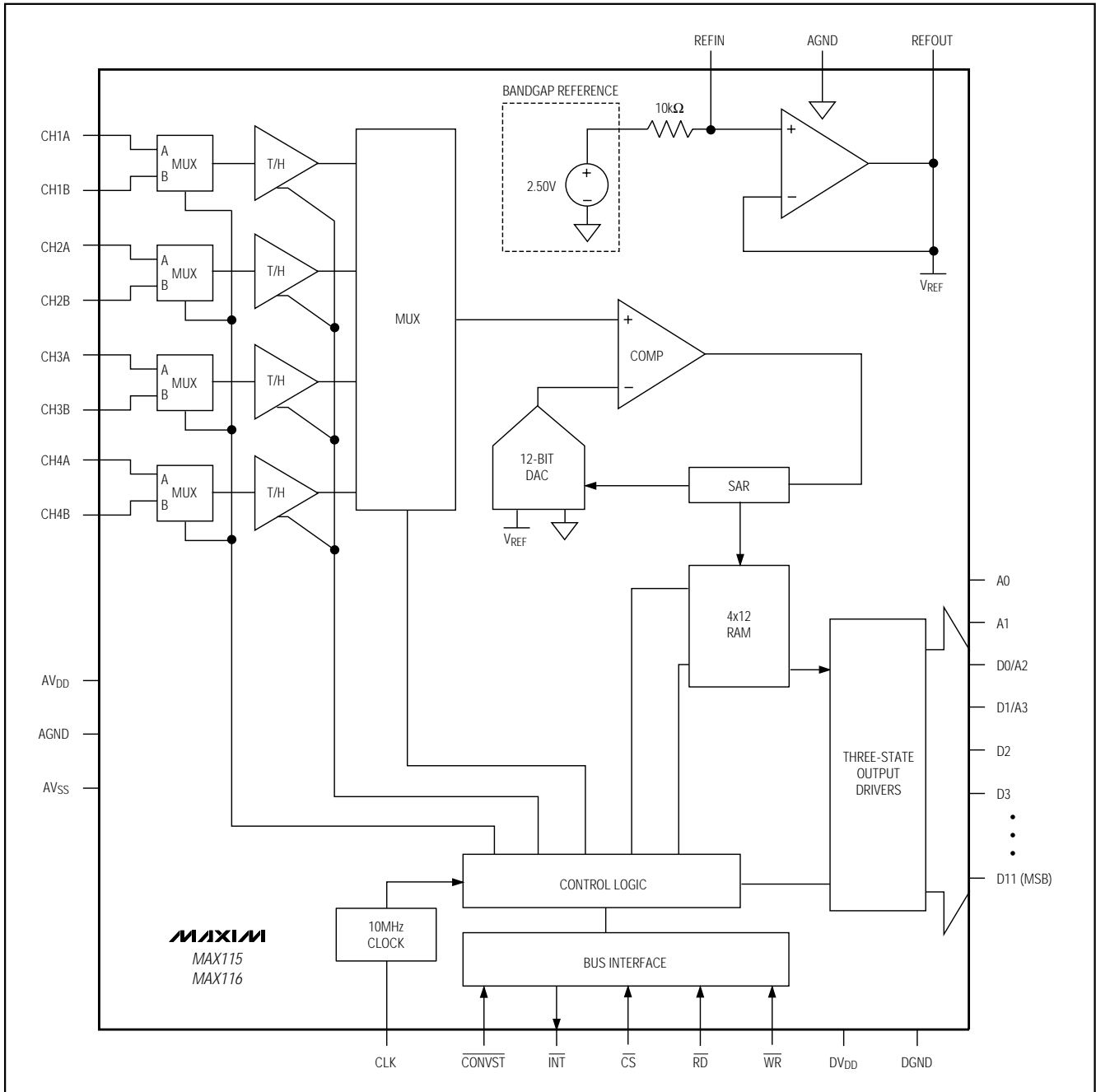


図2. ファンクションダイアグラム

2×4チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

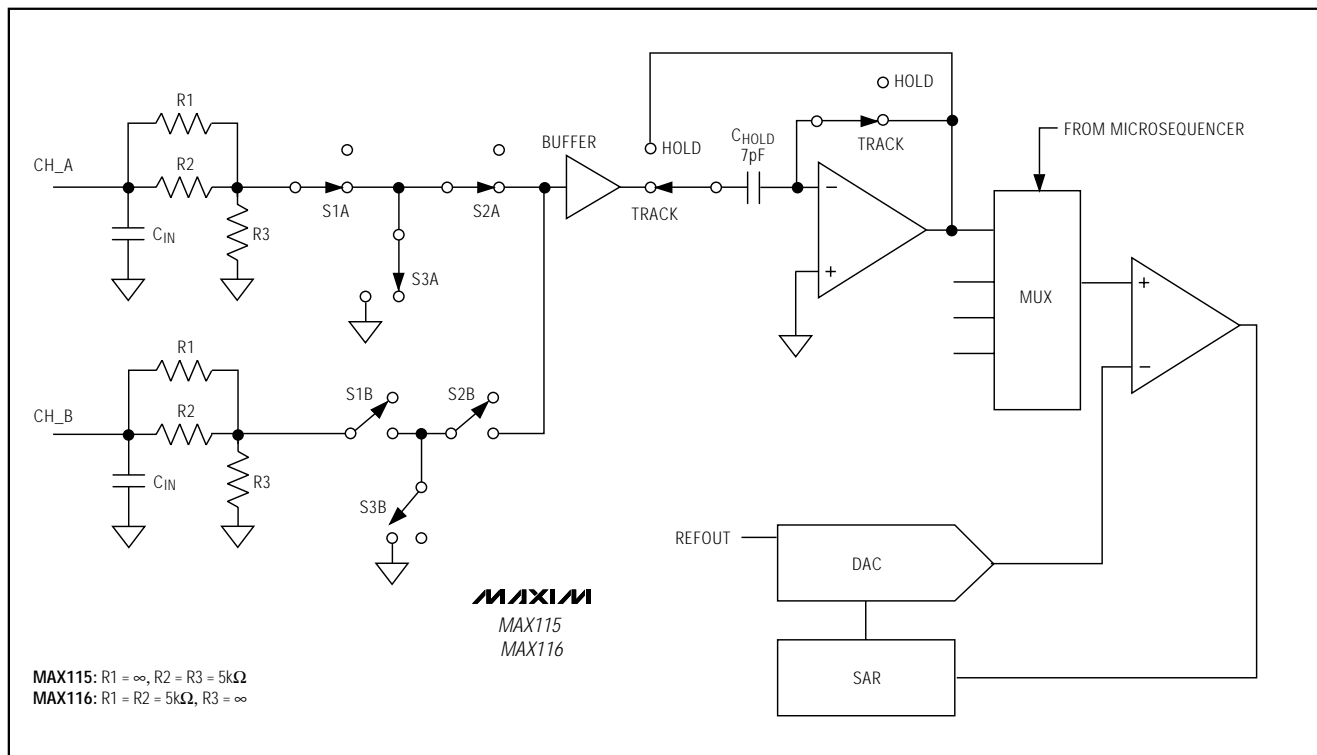


図3. 等価入力回路

変換タイミング及び制御シーケンスは、内部クロック又は外部クロック、 $\overline{\text{CONVST}}$ 信号、及びプログラムされたモードによって決まります。T/Hアンプは、 $\overline{\text{CONVST}}$ の立上がりエッジで入力電圧を保持します。その他の $\overline{\text{CONVST}}$ パルスは、サンプルの最後の変換が完了するまで無視されます。内蔵シーケンサは、 $\overline{\text{CONVST}}$ パルスあたり1つ～4つのチャンネルを変換します。デフォルトモードでは、1つのT/H出力(CH1A)が変換されます。最後の変換が完了した後、割込み信号($\overline{\text{INT}}$)が送出されます。2つ～4つのチャンネルを変換するには、双方向パラレルインタフェースを使用してMAX115/MAX116を再プログラミングします。プログラム後、MAX115/MAX116は次にプログラムされるまで、指定された数のチャンネルを $\overline{\text{CONVST}}$ パルスごとに変換し続けます。チャンネルは、CH1から順番に変換されます。 $\overline{\text{INT}}$ 信号は、変換シーケンスの最後の変換が終了した後に常に発生します。ADCは指定した各チャンネルを2 μ sで変換し、結果を内部の4×12ビットメモリに格納します。最後の変換が終了すると $\overline{\text{INT}}$ がローになり、T/Hアンプが入力トラッキングを再開します。データにアクセスするには、 $\overline{\text{RD}}$ ピンに逐次パルスを送ります。連続読取りでは、データワードが順次アクセスされます。メモリはランダムアクセスではないため、CH1からのデータ

が常に最初に読取られます。4回の連続読取りを行うか、又は新しい変換を開始した後、アドレスポインタは再びCH1を選択します。その後の読取りパルスは、データワードを巡回します。連続読取りの間は、 $\overline{\text{CS}}$ をローに保持することができます。

入力帯域幅

T/Hの入力トラッキング回路は10MHzの小信号帯域幅であるため、アンダーサンプリング技法を使用することで高速のトランジェント現象をデジタル化し、ADCのサンプリングレートを超える帯域幅の周期信号を測定することができます。高周波信号のエイリアシングが目的の周波数帯に入るのを防ぐため、帯域制限フィルタを推奨します。

アナログ入力範囲及び入力保護

MAX115の入力範囲は $\pm 5\text{V}$ 、MAX116の入力範囲は $\pm 2.5\text{V}$ です。MAX115の入力抵抗は10k Ω (typ)、MAX116の入力抵抗は1M Ω (typ)です。入力保護構造により、ICに損傷を与えることなく $\pm 17\text{V}$ までの入力電圧が可能です。本保護機能は、シャットダウンモードにおいても有効です。

2×4チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

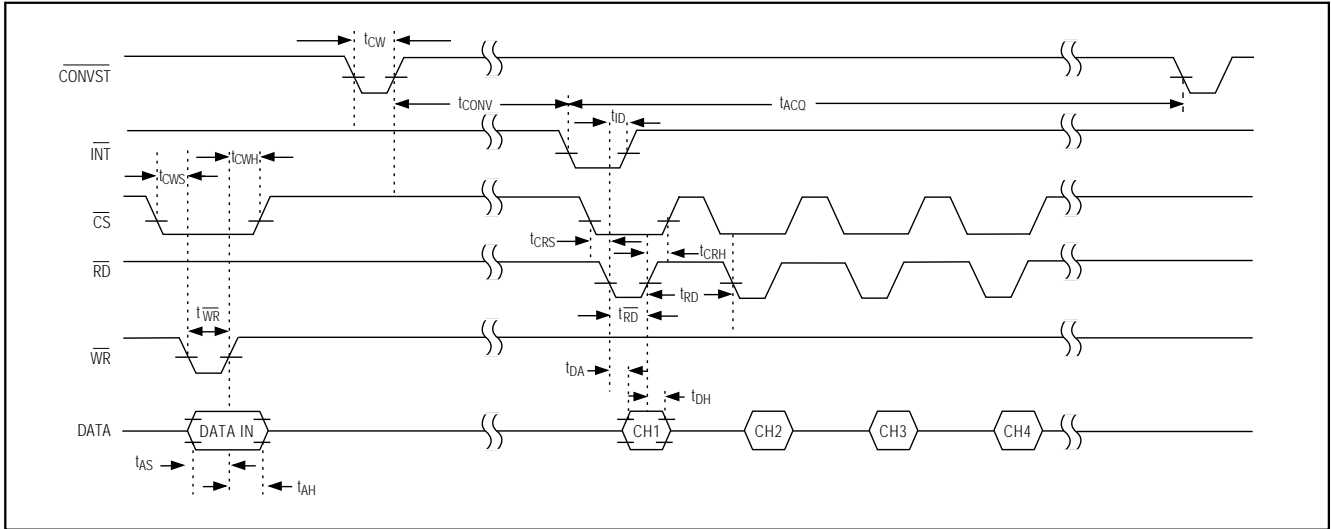


図4. タイミング図

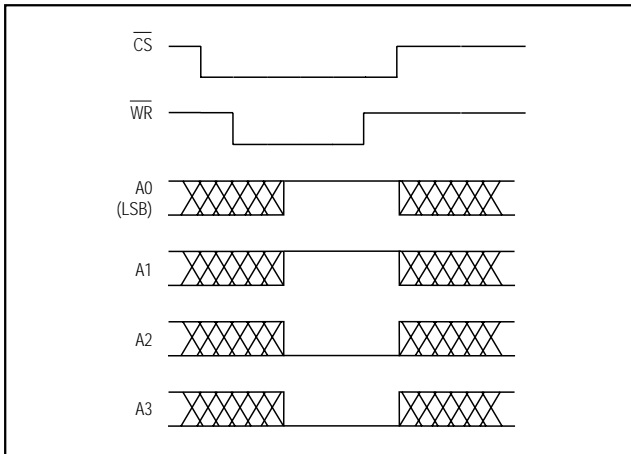


図5. 4チャンネル変換、入力マルチプレクサAのプログラミング

トラック/ホールド

MAX115/MAX116は、4つの同時T/Hを特長としています。各T/Hは2つのマルチプレクス入力を用意しています。T型スイッチ入力構成は、優れたホールドモード絶縁を提供します。12ビットの精度を得るため、600nsの収集時間を要します。

T/Hアパーチャ遅延は通常で10nsです。T/H間のアパーチャ遅延差500psにより、4つまでの異なる入力の相対位相情報を保持することができます。図3は、ADCのサンプリングアーキテクチャを示した等価入力回路です。2つのマルチプレクス入力(CH_A \neq 及びCH_B)を持つ4つのT/H段のうち、1つだけが示されています。スイッチは、すべてチャンネルAをトラッキングする構成になっています。内部バッファはホールドコンデンサを充電することにより、変換と変換の間に必要な収集時間を最小にします。アナログ入力には、MAX115では16pFのコンデンサと並列な10k Ω の抵抗、MAX116では

16pFのコンデンサと並列な1M Ω の抵抗とみなされます。

変換と変換の間、バッファ入力は選択したトラック/ホールドバンクのチャンネル1に接続されます。チャンネルが選択されていない時、スイッチS1、S2、及びS3はホールドモードになるため、チャンネル間絶縁が向上します。

デジタルインタフェース

入力データ(A0～A3)及び出力データ(D0～D11)は、スリーステート双方向インタフェース上で多重化されます。この並列I/Oは、マイクロプロセッサ(μ P)又はDSPと容易にインタフェースできます。 \overline{CS} 、 \overline{WR} 、及び \overline{RD} は、書込み及び読取り操作を制御します。 \overline{CS} は標準のチップ選択信号であり、コントローラはこれを使用してMAX115/MAX116をI/Oポートとしてアドレス指定します。 \overline{CS} がハイの時は \overline{WR} 及び \overline{RD} 入力がディセーブルされ、インタフェースがハイインピーダンス状態になります。図4には、インタフェースタイミングの詳細を示します。

モードのプログラミング

MAX115/MAX116は、8つの変換モード及びパワーダウンモードがあり、双方向パラレルインタフェースを介してプログラム可能です。パワーアップ時にはデバイスがデフォルトのモード「入力マルチプレクサA/シングルチャンネル変換モード」に設定されます。ユーザーは、4つの同時サンプリング入力チャンネルの各々につき、マルチプレクサ入力A又はマルチプレクサ入力Bから選択することができます(図2を参照)。内蔵のマイクロシーケンサをプログラムすることにより、選択されたバンクについて、サンプルあたり1つ～4つのチャンネルを変換できます。シングルチャンネル変換の場合は、CH1がデジタル化され、次いで \overline{INT} がローになり変換の完了を示します。マルチチャンネル変換の場合は、最後のチャンネルがデジタル化された後に \overline{INT} がローになります。

2×4チャンネル、同時サンプリング、 12ビットADC

表1. 動作モード

A3	A2	A1	A0	CONVERSION TIME (μs)	MODE
0	0	0	0	2	Input Mux A/Single-Channel Conversion (default at power-up)
0	0	0	1	4	Input Mux A/Two-Channel Conversion
0	0	1	0	6	Input Mux A/Three-Channel Conversion
0	0	1	1	8	Input Mux A/Four-Channel Conversion
0	1	0	0	2	Input Mux B/Single-Channel Conversion
0	1	0	1	4	Input Mux B/Two-Channel Conversion
0	1	1	0	6	Input Mux B/Three-Channel Conversion
0	1	1	1	8	Input Mux B/Four-Channel Conversion
1	X	X	X	—	Power-Down

X = 任意

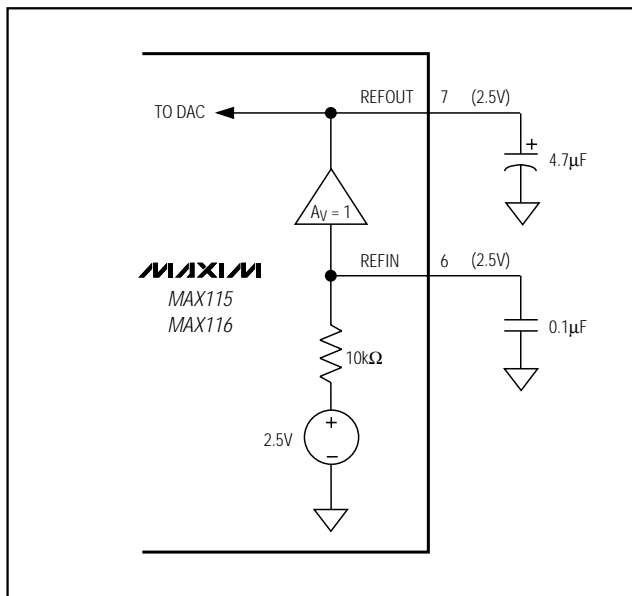


図6. 内部リファレンス

MAX115/MAX116にデータを入力するには、 \overline{CS} をローにし、双方向ピンA0～A3をプログラムし(表1)、 \overline{WR} にパルスローを送ります。データは、 \overline{WR} 又は \overline{CS} の立上がりエッジでデバイス内にラッチされます。これでADCは変換が可能な状態になります。ADCは一旦プログラムされると、再度プログラムされるか、又は電源をオフにするまで、同一のモードで動作を続行します。図5に、入力マルチプレクサAを使用した4チャンネル変換のプログラム例を示します。

変換の開始

「モードのプログラミング」で説明した要領でMAX115/MAX116をプログラミングした後、 \overline{CONVST} にパルスローを送ると、変換シーケンスが開始します。アナログ

入力は、 \overline{CONVST} の立上がりエッジでサンプリングされます。変換の進行中は、新たに変換を開始しないようにして下さい。 \overline{INT} 出力を監視して下さい。立下りエッジは、変換シーケンスの終わりを示します。

変換結果の読み取り

4つまでのチャンネルから得られたデジタル化データはメモリに格納され、パラレルインタフェースを介して読み取られます。 \overline{INT} 信号を受け取った後、ユーザーは最大4回の読み取り操作を行うことにより、最大4つの変換結果にアクセスできます。

\overline{CS} がローの時は、CH1_からの変換結果がアクセスされ、 \overline{RD} の最初の立下りエッジで \overline{INT} がハイにリセットされます。 \overline{RD} の立上がりエッジで、内部のアドレスポインタが進みます。シングル変換がプログラムされている場合は、 \overline{RD} パルスは1つだけです。マルチチャンネル変換の場合は、 \overline{RD} の最大4つの立下りエッジで、チャンネル1～4のデータに順次アクセスします。いくつかのチャンネルが変換されているに関わらず、4つの \overline{RD} パルスの後に、アドレスポインタがCH1_にリセットされます。アドレスポインタは、 \overline{CONVST} パルスを受け取った後にもリセットされます。変換精度が低下するのを防ぐため、変換中は読み取り操作を実行しないで下さい。

アプリケーション情報

クロック

MAX115/MAX116は10MHz(typ)の内部クロックを備えており、CLKをDV_{DD}に接続することで、アクティブになります(内部クロックのスタートアップ時間は標準で165μs)。CLK入力は、デューティサイクル30%～70%の外部クロックも受け付けます。

2 × 4 チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

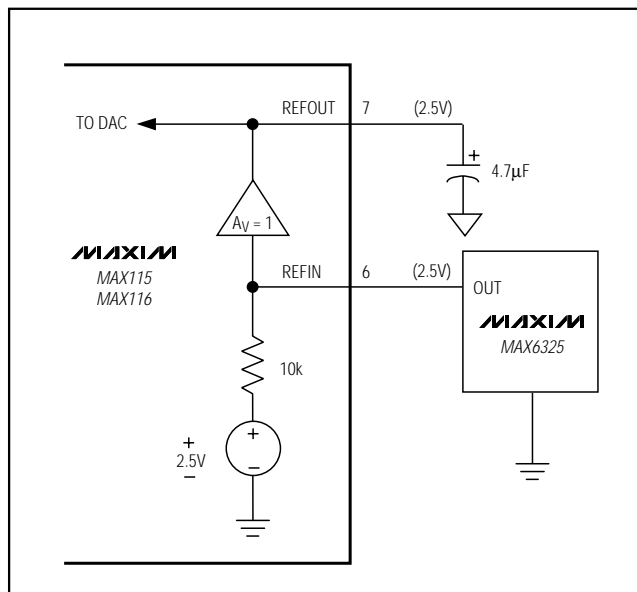


図7. 外部リファレンス

内部及び外部リファレンス

MAX115/MAX116は、内部又は外部リファレンス電圧で使用可能です。+2.5Vの外部リファレンスは、REFINに直接接続できます。利得+1の内部バッファは、REFOUTに+2.5Vを供給します。

内部リファレンス

内部リファレンスを使用した時のフルスケール範囲は、MAX115で±5V、MAX116で±2.5Vです。REFINは0.1μFのコンデンサでAGNDにバイパスし、REFOUTピンは4.7μF(min)のコンデンサでAGNDにバイパスして下さい(図6)。リファレンスバッファを補償するための最大値は22μFです。低ESRコンデンサを使用する場合は、より大きな値を許容できます。

外部リファレンス

広い温度範囲で動作させる場合は、より厳しい仕様の+2.5V外部リファレンスを用いることによって精度を改善できます。民生用及び拡張温度範囲でのMAX115/MAX116の精度には、温度ドリフト1ppm/ (max)のMAX6325が最適です。外部リファレンスは、図7に示すようにREFINに接続して下さい。最小インピーダンスは通常動作時、及びシャットダウン時共にDC電流に対して7kΩです。4.7μFの低ESRコンデンサでREFOUTをバイパスして下さい。

パワーオンリセット

電源を初めて投入した時、内部パワーオンリセット(POR)回路によってINT=ハイの状態(MAX115/MAX116がアクティブになり、変換可能な状態になり

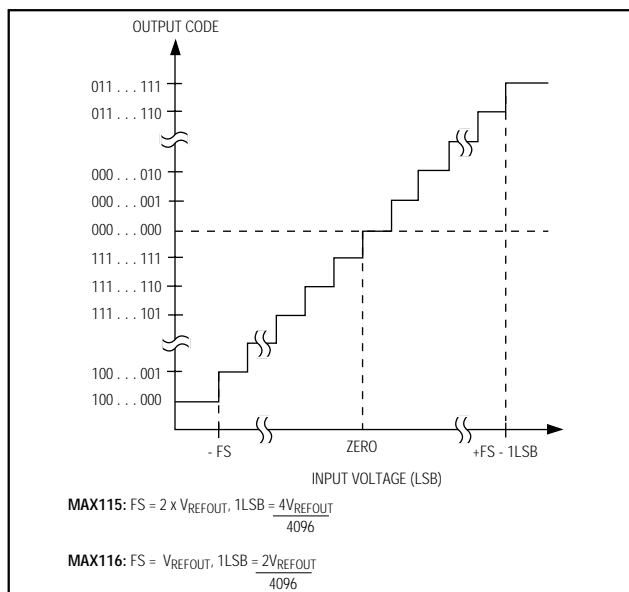


図8. バイポーラ伝達関数

ます。デフォルトの変換モードは「入力マルチプレクサA/シングルチャンネル変換」です。別の構成を希望する場合は、「モードのプログラミング」を参照して下さい。

電源が安定した後のリセット時間は5μsですが、この期間に変換を行わないで下さい。パワーアップ時は、データを保存するメモリは不定です。

ソフトウェアパワーダウン

ソフトウェアパワーダウンをアクティブにするには、制御ワードのビットA3をハイに設定します(表1)。これが実行されるのはWR又はCSの立上がりエッジ後で、この時点でADCはただちに低自己消費電流状態にパワーダウンします。I_{AVDD}及びI_{AVSS}は1μA(typ)以下に低下し、I_{DVDD}は13μA(typ)に低下します。ADC回路及びリファレンスバッファはターンオフされますが、デジタルインタフェース及びリファレンスは迅速なパワーアップ回復に備えてアクティブを維持します。MAX115/MAX116をウェイクアップするには、制御ワードを書き込みます(A0~A3、表1)。双方向インタフェースはA3のロジックゼロをスタート信号と解釈し、A0、A1、及びA2で選択したモードでパワーアップします。パワーアップ遅延は、リファレンスバッファのセトリング時間とバイパスコンデンサの値によって決まります。推奨値の4.7μFをREFOUTに取り付けた場合のパワーアップ遅延は20ms(typ)です。

伝達関数

MAX115/MAX116には、バイポーラ入力範囲があります。図8に、バイポーラ/出力伝達関数を示します。コード遷移は、連続整数の最下位ビット(LSB)値で発生

2×4チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

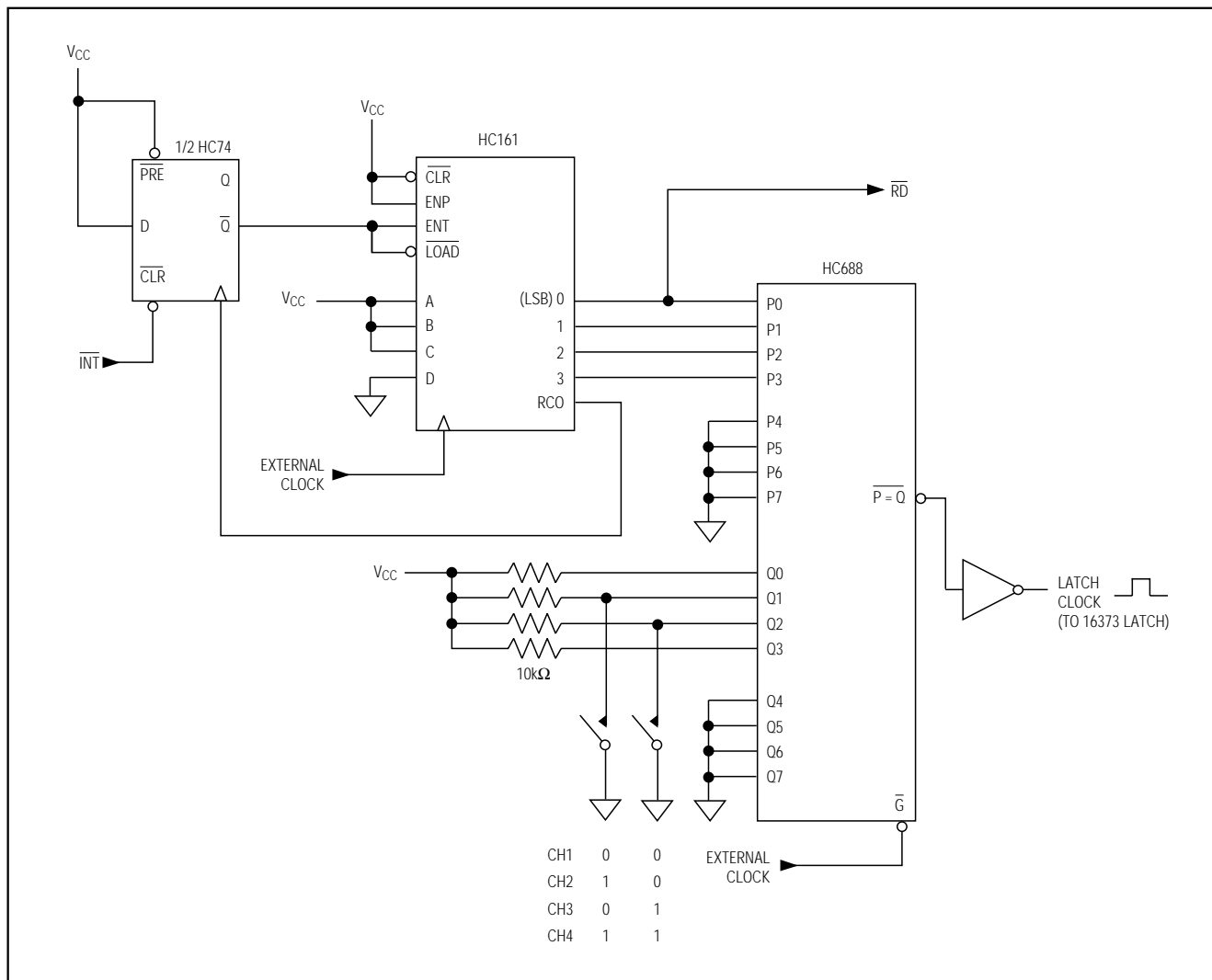


図9. 出力デマルチプレクサ回路

します。出力コーディングは2を補数としたバイナリであり、MAX115では1LSB=2.44mV、MAX116では1LSB=1.22mVです。

出力デマルチプレクサ

出力デマルチプレクサ回路は、4チャンネル変換シーケンスで単一のチャンネルからのデータを分離する場合に便利です。図9の回路は、16MHzの外部クロックとINT信号を使用して4つのRDパルスとラッチクロックを生成することにより、希望のチャンネルからのデータを保存します。4つのRDパルスの間、CSをローにしなければなりません。チャンネルは、2つのスイッチのバイナリコーディングによって選択されます。16ビットの16373ラッチにより、レイアウトが簡単になります。

モータ制御アプリケーション

ベクトルモータ制御では、個々の位相電流を監視する必要があります。最も基本的なアプリケーションにおいて、MAX115/MAX116は同時に2つの電流(図10のCH1AとCH2A)をサンプリングし、必要な相対位相情報を保持します。1つは座標変換で計算できるため、3つの位相電流のうちデジタル化する必要があるのは2つだけです。

図10の回路は、MAX115/MAX116の全ての入力を使用した、典型的なベクトルモータ制御アプリケーションを示しています。CH1AとCH2Aは2つの絶縁ホール効果電流センサに接続され、電流(トルク)フィードバックループの一部を形成しています。MAX115/MAX116は電流をデジタル化し、生データを次のDSP及びコントローラ段に送り、そこでベクトル処理が行われます。センサを使用しないベクトル制御では、モータ用のコンピュータ

2×4チャンネル、同時サンプリング、 12ビットADC

MAX115/MAX116

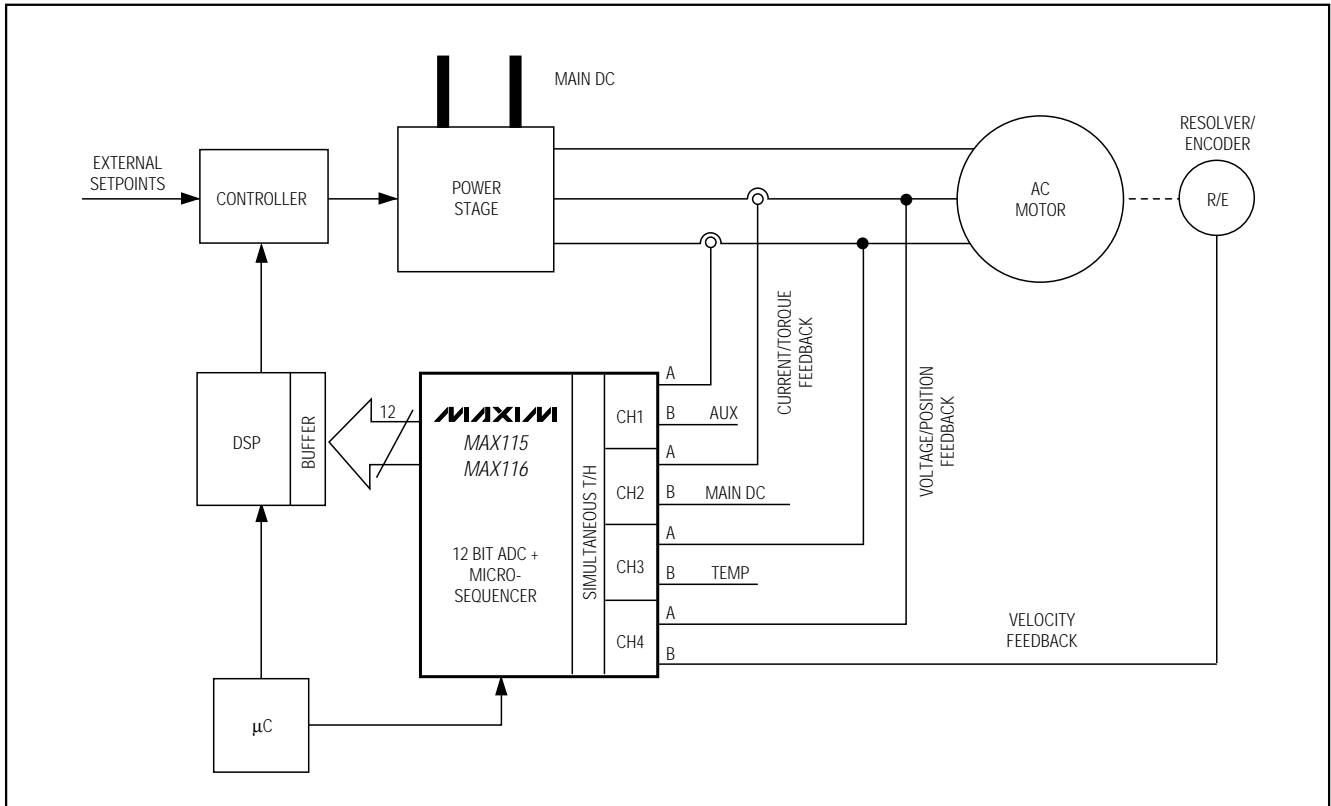


Figure 10. Vector Motor Control

モデルとアルゴリズムを使用して、各出力電流を磁化成分(固定子電流)とトルク生成成分(回転子電流)に分解します。

2位相又は3位相変換が現実的でない場合は、3つ目のセンサ(図示省略)を追加して、3つの電流を同時にサンプリングすることもできます。オプションの電圧(位置)フィードバックは、2つの位相電圧(CH3A、CH4A)を測定することによって導き出されます。通常は、モータとMAX115/MAX116の間に絶縁差動アンプを使用します。この場合も、第3の位相電圧は振幅(位相電圧)とその相対位相から得ることができます。

最適な速度制御と良好な負荷レギュレーションをゼロ速度付近まで得るには、エンコーダ又はレゾルバから速度及び位置フィードバックを引き出し、MAX115/MAX116のCH4Bに接続します。残りのチャンネルは、メインDCバス電圧(CH2B)、温度センサ(CH3B)、又はその他の低速アナログ入力(AUX、CH1B)などの評価に使用できます。

電源バイパス及びグランド管理

最適なシステム性能を得るため、アナロググランドプレーンとデジタルグランドプレーンが別々になったプリント基板を使用して下さい。ワイヤラップボードは推奨されません。2つのグランドプレーンを、低インピーダンスの電源ソースで互いに接続します。最適なグランド接続を得るには、DGND及びAGNDピンをまとめ、その点をシステムのアナロググランドプレーンに接続して、他のデジタルノイズ源からの干渉を防ぎます。DGNDをシステムのデジタルグランドに接続した場合は、デジタルノイズがADCのアナログ部に入り込む可能性があります。

AGNDピンは、低インピーダンスのグランドプレーンに直接接続して下さい。このピンとグランドプレーンの間に余分なインピーダンスが存在すると、クロストークが増加し、INLが劣化します。

2×4チャンネル、同時サンプリング、 12ビットADC

0.1 μ Fのセラミックコンデンサを使用して、AV_{DD}とAV_{SS}をAGNDにバイパスして下さい。これらのコンデンサは、短いリード線でデバイスの近くに取り付けて下さい。フェラライトビーズも、アナログ電源とデジタル電源の絶縁に効果があります。0.1 μ Fのセラミックコンデンサで、DV_{DD}をDGNDにバイパスして下さい。

チップ情報

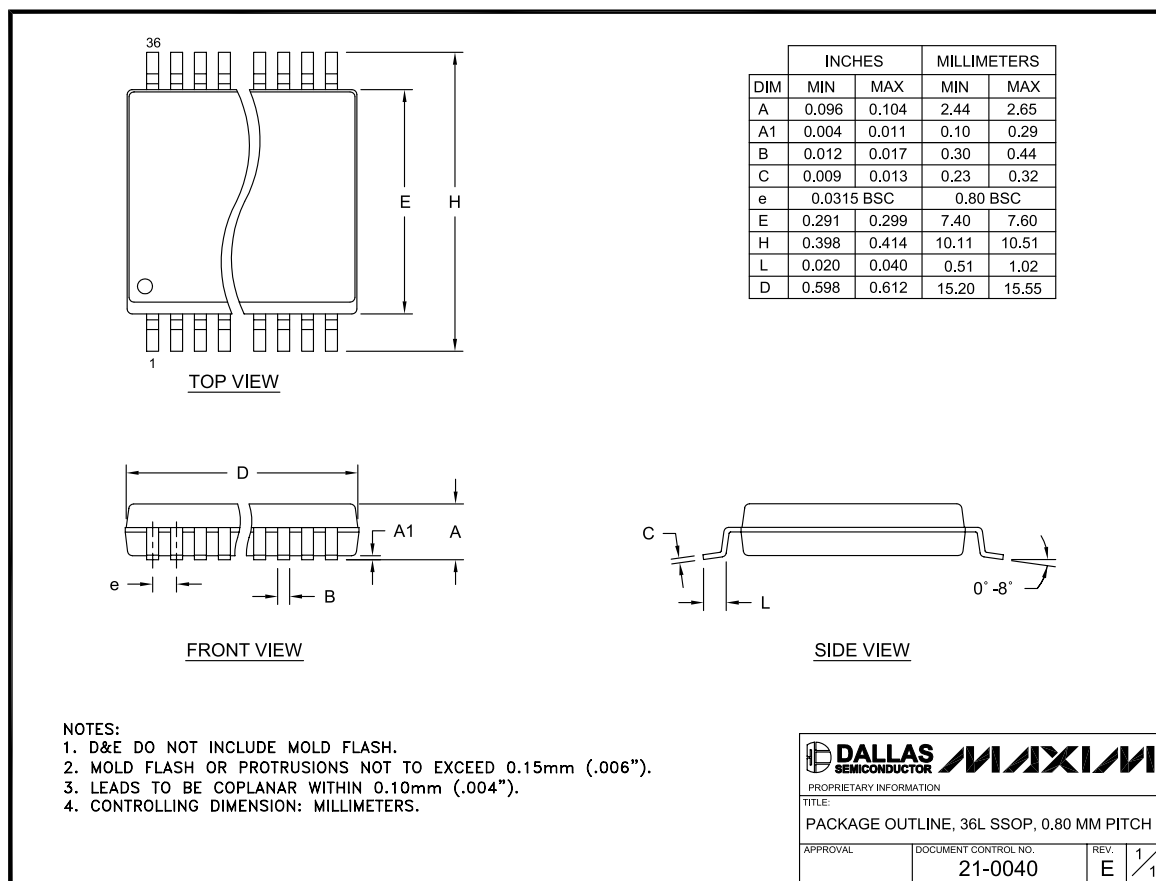
TRANSISTOR COUNT: 4116

SUBSTRATE CONNECTED TO AV_{SS}

PROCESS: BiCMOS

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、www.maxim-ic.com/ja/packagesをご参照下さい。)



販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

14 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2001 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.