

+5V、低電力、マルチチャンネル
シリアル8ビットADC

概要

MAX1112/MAX1113は、内部トラック/ホールド、電圧リファレンス、クロック及びシリアルインタフェースを備えた低電力8ビット、8チャンネルアナログデジタルコンバータ(ADC)です。+4.5V~+5.5Vの単一電源で動作し、最大サンプリングレート50ksp/sで消費電流は僅か135 μ Aとなっています。MAX1112の8つのアナログ入力及びMAX1113の4つのアナログ入力は、ソフトウェアにより、ユニポーラ/バイポーラ及びシングルエンド/差動動作に設定できます。

内部クロック又は外部シリアルインタフェースクロックを使用することによって、逐次比較型のアナログデジタル変換を行います。フルスケールアナログ入力範囲は、4.096V内部リファレンス又は外部から印加された1V~V_{DD}範囲のリファレンスによって決定されます。4線シリアルインタフェースは、SPI™、QSPI™及びMICROWIRE™シリアルインタフェース規格に適合しています。シリアルストロブ出力により、割込みで駆動されるプロセッサへの変換完了信号が提供されます。

MAX1112/MAX1113は、消費電力を最小限に抑えるためにソフトウェアで設定可能な2 μ A自動パワーダウンモードを備えています。パワーダウンを使用すると、消費電流は1ksp/sで僅か13 μ A、10ksp/sで僅か82 μ Aに低減します。パワーダウンは、SHDN入力ピンを使用して制御することも可能です。シリアルインタフェースにアクセスすると、自動的にパワーアップします。

MAX1112は20ピンSSOP及びDIPパッケージ、MAX1113は小型16ピンQSOP及びDIPパッケージで提供されています。

アプリケーション

- ポータブルデータロギング
- ハンドヘルド測定機器
- 医療機器
- システム診断
- 太陽電池駆動のリモート機器
- 4~20mA駆動のリモートデータ収集機器

ピン配置は最後に記載されています。

SPI及びQSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

特長

- ◆ 電源：+4.5V~+5.5V単一
- ◆ 低電力：50ksp/sで135 μ A
1ksp/sで13 μ A
- ◆ 入力：8チャンネルシングルエンド又は4チャンネル差動 (MAX1112)
4チャンネルシングルエンド又は2チャンネル差動 (MAX1113)
- ◆ 内部トラック/ホールドサンプリングレート：50kHz
- ◆ 内部4.096Vリファレンス
- ◆ シリアルインタフェース：SPI/QSPI/MICROWIRE
コンパチブル
- ◆ ユニポーラ又はバイポーラ入力：
ソフトウェアで設定
- ◆ 全未調整エラー： ± 1 LSB(max)
 ± 0.3 LSB(typ)

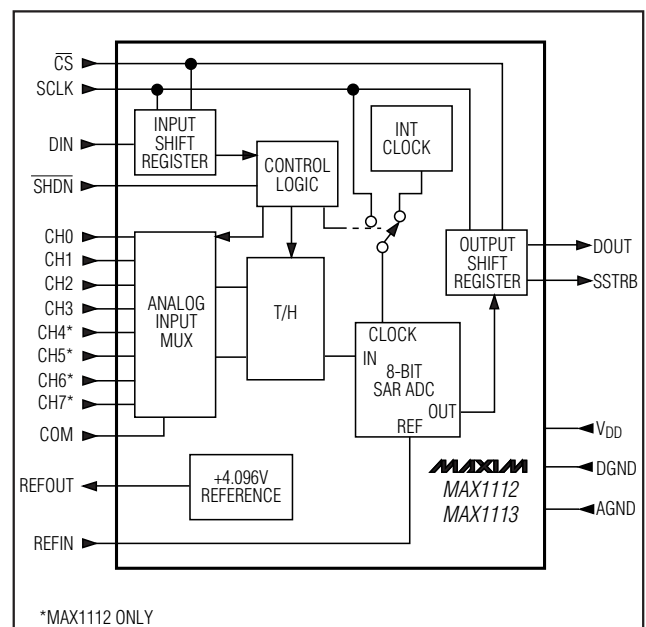
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1112CPP	0°C to +70°C	20 Plastic DIP
MAX1112CAP	0°C to +70°C	20 SSOP
MAX1112C/D	0°C to +70°C	Dice*

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

型番はデータシートの最後に続きます。

ファンクションダイアグラム



+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND	-0.3V to 6V	20 Plastic DIP (derate 11.11mW/°C above +70°C)	889mW
AGND to DGND	-0.3V to 0.3V	20 SSOP (derate 8.00mW/°C above +70°C)	640mW
CH0-CH7, COM, REFIN, REFOUT to AGND	-0.3V to (V _{DD} + 0.3V)	20 CERDIP (derate 11.11mW/°C above +70°C)	889mW
Digital Inputs to DGND	-0.3V to 6V	Operating Temperature Ranges	
Digital Outputs to DGND	-0.3V to (V _{DD} + 0.3V)	MAX1112C_P/MAX1113C_E	0°C to +70°C
Continuous Power Dissipation (T _A = +70°C)		MAX1112E_P/MAX1113E_E	-40°C to +85°C
16 Plastic DIP (derate 10.53mW/°C above +70°C)	842mW	MAX1112MJP/MAX1113MJE	-55°C to +125°C
16 QSOP (derate 8.30mW/°C above +70°C)	667mW	Storage Temperature Range	
16 CERDIP (derate 10.00mW/°C above +70°C)	800mW	-65°C to +150°C	
		Lead Temperature (soldering, 10sec)	
		+300°C	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +4.5V to +5.5V; unipolar input mode; COM = 0V; f_{SCLK} = 500kHz, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); 1μF capacitor at REFOUT; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			8			Bits
Relative Accuracy (Note 1)	INL			±0.1	±0.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error				±0.3	±1	LSB
Gain Error (Note 2)		Internal or external reference			±1	LSB
Gain Temperature Coefficient		External reference, 4.096V		±0.8		ppm/°C
Total Unadjusted Error	TUE	MAX111_C/E		±0.3	±1	LSB
Channel-to-Channel Offset Matching				±0.1		LSB
DYNAMIC SPECIFICATIONS (10.034kHz sine-wave input, 4.096Vp-p, 50ksps, 500kHz external clock)						
Signal-to-Noise and Distortion Ratio	SINAD			49		dB
Total Harmonic Distortion (up to the 5th harmonic)	THD			-70		dB
Spurious-Free Dynamic Range	SFDR			68		dB
Channel-to-Channel Crosstalk		V _{CH_} = 4.096Vp-p, 25kHz (Note 3)		-75		dB
Small-Signal Bandwidth		-3dB rolloff		1.5		MHz
Full-Power Bandwidth				800		kHz

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX112/MAX113

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +4.5V$ to $+5.5V$; unipolar input mode; $COM = 0V$; $f_{SCLK} = 500kHz$, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); $1\mu F$ capacitor at REFOUT; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Conversion Time (Note 4)	tCONV	Internal clock		25	55	μs
		External clock, 500kHz, 10 clocks/conversion	20			
Track/Hold Acquisition Time	tACQ	External clock, 2MHz	1			μs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				400		kHz
External Clock-Frequency Range		(Note 5)	50		500	kHz
		Used for data transfer only			2	MHz
ANALOG INPUT						
Input Voltage Range, Single-Ended and Differential (Note 6)		Unipolar input, $COM = 0V$	0	V_{REFIN}		V
		Bipolar input, $COM = V_{REFIN} / 2$		$COM \pm V_{REFIN} / 2$		
Multiplexer Leakage Current		On/off leakage current, $V_{CH_} = 0V$ or V_{DD}		± 0.01	± 1	μA
Input Capacitance				18		pF
INTERNAL REFERENCE						
REFOUT Voltage			3.936	4.096	4.256	V
REFOUT Short-Circuit Current				6		mA
REFOUT Temperature Coefficient				± 50		ppm/ $^{\circ}C$
Load Regulation (Note 7)		0mA to 0.5mA output load		4.5		mV
Capacitive Bypass at REFOUT			1			μF
EXTERNAL REFERENCE AT REFIN						
Input Voltage Range			1		$V_{DD} + 50mV$	V
Input Current		(Note 8)		1	20	μA
POWER REQUIREMENTS						
Supply Voltage	V_{DD}		4.5		5.5	V
Supply Current	I_{DD}	Full-scale input $C_{LOAD} = 10pF$	Operating mode	135	250	μA
			Reference disabled	95		
		Power-down	Software	2		
			\overline{SHDN} at DGND	3.2	10	
Power-Supply Rejection (Note 9)	PSR	$V_{DD} = 4.5V$ to $5.5V$; external reference, 4.096V; full-scale input		± 0.4	± 4	mV

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +4.5V$ to $+5.5V$; unipolar input mode; $COM = 0V$; $f_{SCLK} = 500kHz$, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksp/s); $1\mu F$ capacitor at $REFOUT$; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS: DIN, SCLK, \overline{CS}						
DIN, SCLK, \overline{CS} Input High Voltage	V_{IH}		3			V
DIN, SCLK, \overline{CS} Input Low Voltage	V_{IL}				0.8	V
DIN, SCLK, \overline{CS} Input Hysteresis	V_{HYST}			0.2		V
DIN, SCLK, \overline{CS} Input Leakage	I_{IN}	Digital inputs = 0V or V_{DD}			± 1	μA
DIN, SCLK, \overline{CS} Input Capacitance	C_{IN}	(Note 5)			15	pF
\overline{SHDN} INPUT						
\overline{SHDN} Input High Voltage	V_{SH}		$V_{DD} - 0.4$			V
\overline{SHDN} Input Mid-Voltage	V_{SM}		1.1	$V_{DD} - 1.1$		V
\overline{SHDN} Voltage, Floating	V_{FLT}	$\overline{SHDN} = \text{open}$		$V_{DD} / 2$		V
\overline{SHDN} Input Low Voltage	V_{SL}				0.4	V
\overline{SHDN} Input Current		$\overline{SHDN} = 0V$ or V_{DD}			± 4	μA
\overline{SHDN} Maximum Allowed Leakage for Mid-Input		$\overline{SHDN} = \text{open}$			± 100	nA
DIGITAL OUTPUTS: DOUT, SSTRB						
Output Low Voltage	V_{OL}	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$			0.8	
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD}$		± 0.01	± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$ (Note 5)			15	pF

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

TIMING CHARACTERISTICS (Figures 8 and 9)

(V_{DD} = +4.5V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Track/Hold Acquisition Time	t _{ACQ}			1			μs
DIN to SCLK Setup	t _{DS}			100			ns
DIN to SCLK Hold	t _{DH}			0			ns
SCLK Fall to Output Data Valid	t _{DO}	Figure 1, C _{LOAD} = 100pF	MAX111_C/E	20		200	ns
			MAX111_M	20		240	
$\overline{\text{CS}}$ Fall to Output Enable	t _{DV}	Figure 1, C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ Rise to Output Disable	t _{TR}	Figure 2, C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ to SCLK Rise Setup	t _{CSS}			100			ns
$\overline{\text{CS}}$ to SCLK Rise Hold	t _{CSH}			0			ns
SCLK Pulse Width High	t _{CH}			200			ns
SCLK Pulse Width Low	t _{CL}			200			ns
SCLK Fall to SSTRB	t _{SSTRB}	C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ Fall to SSTRB Output Enable (Note 5)	t _{SDV}	Figure 1, external clock mode only, C _{LOAD} = 100pF				240	ns
$\overline{\text{CS}}$ Rise to SSTRB Output Disable (Note 5)	t _{STR}	Figure 2, external clock mode only, C _{LOAD} = 100pF				240	ns
SSTRB Rise to SCLK Rise (Note 5)	t _{SCK}	Figure 11, internal clock mode only		0			ns
Wakeup Time	t _{WAKE}	External reference			20		μs
		Internal reference (Note 10)			24		ms

Note 1: Relative accuracy is the analog value's deviation (at any code) from its theoretical value after the full-scale range is calibrated.

Note 2: V_{REFIN} = 4.096V, offset nulled.

Note 3: On-channel grounded; sine wave applied to all off-channels.

Note 4: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 5: Guaranteed by design. Not subject to production testing.

Note 6: Common-mode range for the analog inputs is from AGND to V_{DD}.

Note 7: External load should not change during the conversion for specified accuracy.

Note 8: External reference at 4.096V, full-scale input, 500kHz external clock.

Note 9: Measured as $|V_{FS}(4.5V) - V_{FS}(5.5V)|$.

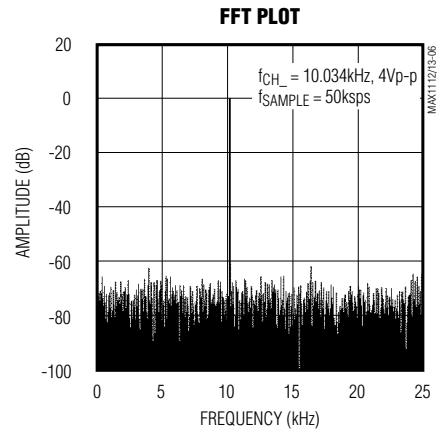
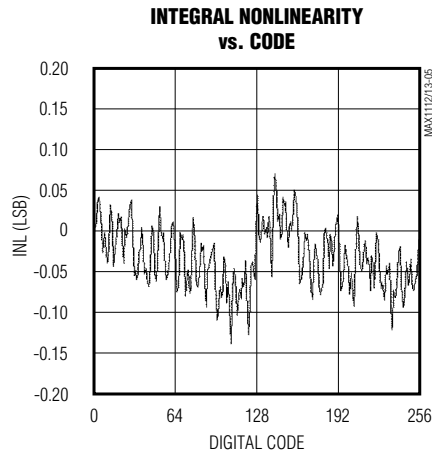
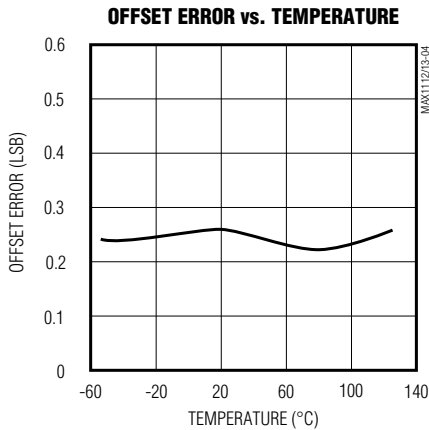
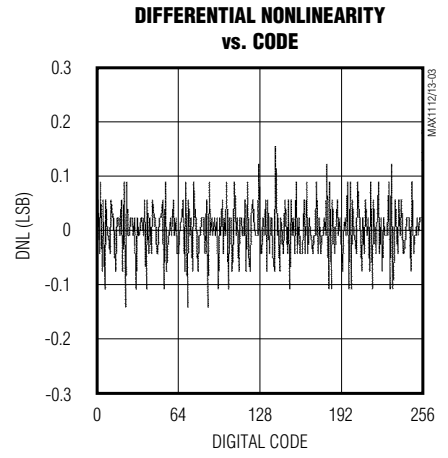
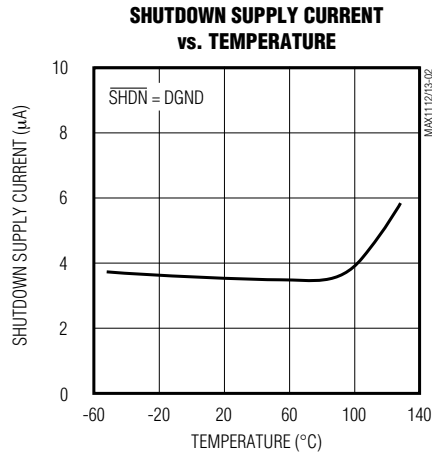
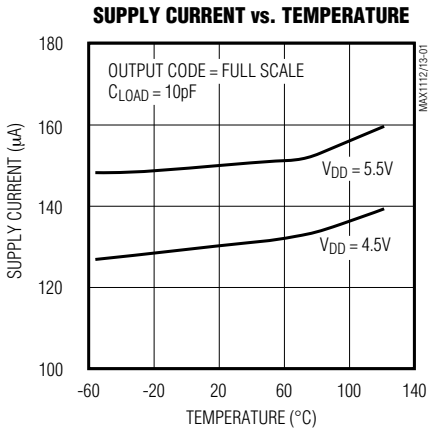
Note 10: 1μF at REFOUT; internal reference settling to 0.5LSB.

+5V、低電力、マルチチャンネル シリアル8ビットADC

MAX1112/MAX1113

標準動作特性

($V_{DD} = +5.0V$; $f_{SCLK} = 500kHz$; external clock (50% duty cycle); $R_L = \infty$; $T_A = +25^\circ C$, unless otherwise noted.)



+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

端子説明

端子		名称	機能
MAX1112	MAX1113		
1-4	1-4	CH0-CH3	サンプリングアナログ入力
5-8	—	CH4-CH7	サンプリングアナログ入力
9	5	COM	アナログ入力のグラウンドリファレンス。シングルエンドモードにおけるゼロコード電圧を設定します。±0.5LSBの安定性が必要です。
10	6	$\overline{\text{SHDN}}$	3レベルシャットダウン入力。通常はフローティングです。MAX1112/MAX1113は $\overline{\text{SHDN}}$ をローにするとシャットダウンし、消費電流が10 μA (max)に低減されます。それ以外の場合は、完全動作状態です。 $\overline{\text{SHDN}}$ をハイにすると、内部リファレンスがシャットダウンされます。
11	7	REFIN	アナログデジタル変換用のリファレンス電圧入力。内部リファレンスを使用する場合は、REFOUTに接続してください。
12	8	REFOUT	内部リファレンスジェネレータ出力。1 μF コンデンサでAGNDにバイパスしてください。
13	9	AGND	アナロググラウンド
14	10	DGND	デジタルグラウンド
15	11	DOUT	シリアルデータ出力。データは、SCLKの立下がりエッジでクロック出力されます。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります。
16	12	SSTRB	シリアルストロブ出力。内部クロックモードのSSTRBは、MAX1112/MAX1113がA/D変換を開始した時にローになり、変換終了時にハイになります。外部クロックモードでは、MSBがシフトアウトされる前に2クロックサイクルだけパルス的にハイになります。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります(外部クロックモードのみ)。
17	13	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロック入力されます。
18	14	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローでない限り、データはDINにクロック入力されません。 $\overline{\text{CS}}$ がハイの時、DOUTはハイインピーダンスになります。
19	15	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロック入力及び出力します。SCLKは、外部クロックモードの時に変換速度も設定します(デューティサイクルは45%~55%である必要があります)。
20	16	VDD	正電源電圧(+4.5V~+5.5V)

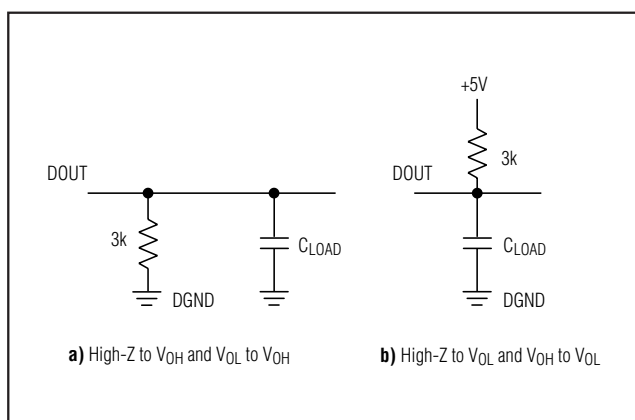


図1. イネーブル時間用の負荷回路

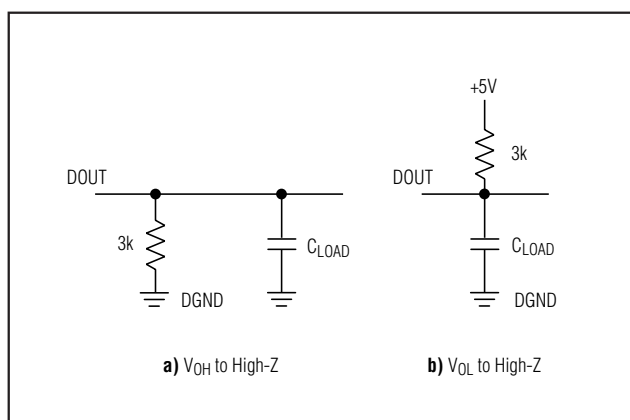


図2. ディセーブル時間用の負荷回路

+5V、低電力、マルチチャンネル シリアル8ビットADC

MAX1112/MAX1113

詳細

MAX1112/MAX1113アナログデジタルコンバータ(ADC)は、逐次比較型の変換技法及び入力トラック/ホールド(T/H)回路を使用することによって、アナログ信号を8ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースにより、マイクロプロセッサ(μ P)とのインタフェースを容易にしています。図3に標準動作回路を示します。

疑似差動入力

図4は、このADCのアナログコンパレータのサンプリング構成を示す等価入力回路です。シングルエンドモードでは、IN+が選択された入力チャンネルCH_nに内部でスイッチングされ、IN-はCOMにスイッチングされます。差動モードの場合のIN+及びIN-は、CH0/CH1、CH2/CH3、CH4/CH5、及びCH6/CH7の組み合わせの中から選択します。MAX1112及びMAX1113のチャンネルの設定は、それぞれ表1及び表2を参考に行ってください。

差動モードでは、IN-及びIN+が内部でアナログ入力のどちらかにスイッチングされます。この構成ではIN+のところの信号だけがサンプリングされるため、疑似差動と呼ばれています。リターン側(IN-)は、変換中、AGNDに対して ± 0.5 LSB(最良の結果を得るには ± 0.1 LSB)以内で安定している必要があります。これを実現するには、必要に応じて(選択したアナログ入力の)IN-とAGNDの間に $0.1\mu\text{F}$ のコンデンサを接続してください。

アキュジション期間中は、正入力(IN+)として選択されたチャンネルにより、コンデンサC_{HOLD}が充電されます。アキュジション期間は2 SCLKサイクル間続き、入力制御ワードの最後のビットが入力された後のSCLKの立下がりエッジで完了します。アキュジション期間の終了時にT/Hスイッチが開き、C_{HOLD}の電荷をIN+の信号のサンプルとして保持します。

変換期間は、入力マルチプレクサがC_{HOLD}を正入力(IN+)から負入力(IN-)にスイッチングした時から始まります。シングルエンドモードにおけるIN-は、COMです。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを8ビット分解能の制限範囲で0Vに調節します。この動作は、 $18\text{pF} \times [(V_{IN+}) - (V_{IN-})]$ の電荷をC_{HOLD}からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

トラック/ホールド

T/Hは、8ビット制御ワードの6番目のビットがシフトインされた後の立下がりクロックエッジでトラックモードに入り、制御ワードの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合は、IN-がCOMに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合は、IN-が「-」入りに接続され、差(IN+ - IN-)がサンプリングされます。変換完了時に正入力再びIN+に接続され、C_{HOLD}は入力信号電圧まで充電されます。

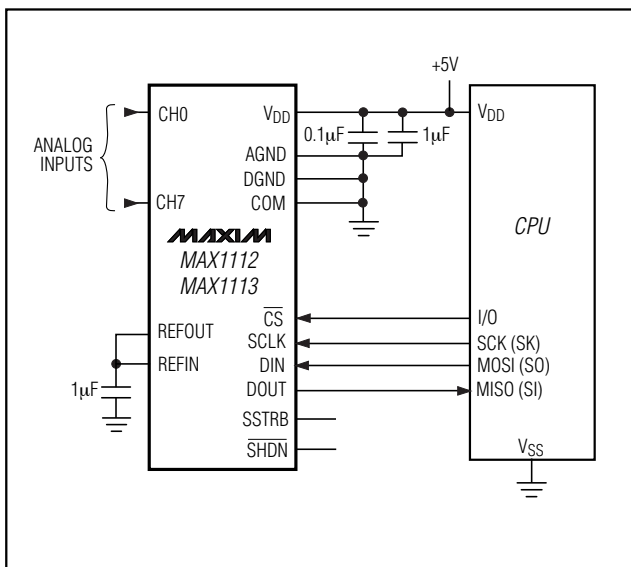


図3. 標準動作回路

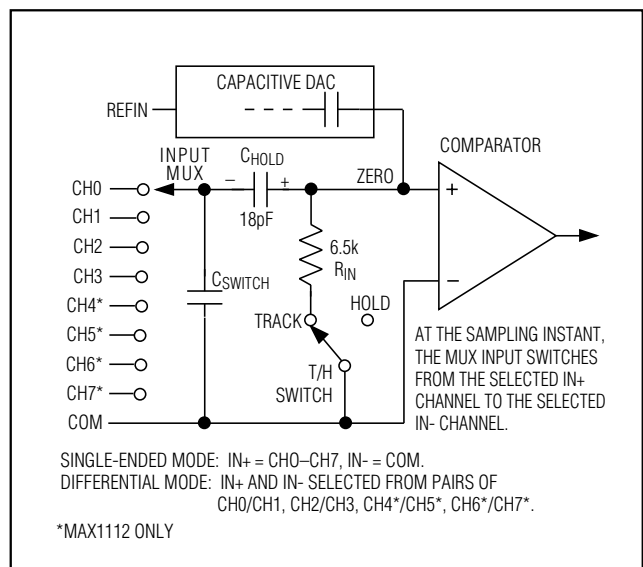


図4. 等価入力回路

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

表1a. MAX1112のシングルエンドモードにおけるチャネル選択($SGL/\overline{DIF} = 1$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表1b. MAX1112の差動モードにおけるチャネル選択($SGL/\overline{DIF} = 0$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

表2a. MAX1113のシングルエンドモードにおけるチャネル選択($SGL/\overline{DIF} = 1$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	X	+				-
1	0	X		+			-
0	1	X			+		-
1	1	X				+	-

表2b. MAX1113の差動モードにおけるチャネル選択($SGL/\overline{DIF} = 0$)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	X	+	-		
0	1	X			+	-
1	0	X	-	+		
1	1	X			-	+

+5V、低電力、マルチチャネル シリアル8ビットADC

T/Hが入力信号を取込むために要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュイジション時間は長くなるため、変換と変換の間の時間を長くする必要があります。アキュイジション時間 t_{ACQ} は信号の取込みに必要な最低時間です。 t_{ACQ} は、次式で計算されます。

$$t_{ACQ} = 6 \times (R_S + R_{IN}) \times 18pF$$

ここで、 $R_{IN} = 6.5k$ 、 R_S = 入力信号のソースインピーダンス、そして t_{ACQ} は必ず $1\mu s$ 以上です。ソースインピーダンスが $2.4k$ 以下であれば、ADCのAC性能に大きな影響はありません。

入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は $1.5MHz$ であるため、高速の過渡現象の数値化、及びアンダーサンプリング技法を使用することにより帯域幅がADCのサンプリングレート以上の帯域の周期信号を測定できます。高周波信号が計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

アナログ入力

内部保護ダイオードによってアナログ入力が V_{DD} とAGNDにクランプされているため、チャンネル入力ピンは $(AGND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で損傷を起

こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が V_{DD} を $50mV$ 以上超えたり、AGNDを $50mV$ 以上下回ることがないようにします。

アナログ入力が電源を $50mV$ 以上超えた場合、オフチャネルの保護ダイオードに $2mA$ 以上の順方向バイアスをかけないでください。

MAX1112/MAX1113は、制御バイトのビット2及びビット3によって差動又はシングルエンド入力用に設定できます(表3)。シングルエンドモードでは、アナログ入力は内部でCOMを基準としており、フルスケール入力範囲は $COM \sim V_{REFIN} + COM$ となります。バイポーラ動作の場合は、COMを $V_{REFIN}/2$ に設定してください。

差動モードの場合、ユニポーラモードを選択すると、差動入力範囲が $0V \sim V_{REFIN}$ になります。ユニポーラモードでは、負の差動入力電圧が印加されると出力コードは無効(コードゼロ)になります。バイポーラモードでは差動入力範囲は $\pm V_{REFIN}/2$ に設定されます。このモードでは、入力同相範囲が両電源電圧を含んでいます。入力電圧範囲については、表4を参照してください。

性能チェック回路

MAX1112/MAX1113のアナログ性能を迅速に評価するには、図5の回路を使用してください。MAX1112/MAX1113では、各変換の前に制御バイトがDINに書き

表3. 制御バイトフォーマット

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0

ビット	名称	内容
7 (MSB)	START	CSがローになった後の最初のロジック「1」が制御バイトの開始になります。
6 5 4	SEL2 SEL1 SEL0	8つのチャンネルのうちのどれを変換に使用するかを選択します(表1及び表2)。
3	UNI/BIP	1 = ユニポーラ、0 = バイポーラ。ユニポーラ変換モードかバイポーラ変換モードかを選択します(表4)。
2	SGL/DIF	1 = シングルエンド、0 = 差動。シングルエンド変換か差動の変換かを選択します。シングルエンドモードの入力信号電圧は、COMを基準としています。差動モードでは2つのチャンネルの間の電圧差が測定されます。表1及び表2を参照。
1	PD1	1 = 完全動作、0 = パワーダウン 完全動作モードかパワーダウンモードかを選択します。
0 (LSB)	PD0	1 = 外部クロックモード、0 = 内部クロックモード 外部クロックモードか内部クロックモードかを選択します。

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

表4. フルスケール及びゼロスケール電圧

ユニポーラモード		バイポーラモード		
フルスケール	ゼロスケール	正のフルスケール	ゼロスケール	負のフルスケール
VREFIN + COM	COM	+VREFIN / 2 + COM	COM	-VREFIN / 2 + COM

込まれる必要があります。DINを+5Vにすると、\$FF (HEX)の制御バイトが書き込まれます。これは、変換と変換の間にパワーダウンのない外部クロックモードのCH7(MAX1112)又はCH3(MAX1113)のシングルエンドユニポーラ変換をトリガします。外部クロックモードでは、8ビット変換結果の最上位ビットがDOUTからシフトアウトされる前に、SSTRB出力が2クロック周期分がパルスのハイになります。アナログ入力を変化させると出力コードが変わります。1変換当たり合計10クロックサイクルが必要です。SSTRB及びDOUT出力の遷移は、SCLKの立下がりエッジで起こります。

変換開始方法

変換は、制御バイトをDINにクロックインすることによって開始されます。 \overline{CS} がローの場合、SCLKクロックの各立上がりエッジ毎にDINからMAX1112/MAX1113の内部シフトレジスタへと1ビットずつクロック入力さ

れます。 \overline{CS} が下がった後で最初に来たロジック「1」のビットが制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロック入力されても一切影響はありません。表3に、制御バイトのフォーマットを示します。

MAX1112/MAX1113は、MICROWIRE、SPI及びQSPI機器とコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性及びサンプリングエッジを選択してください(CPOL = 0 及びCPHA = 0に設定してください)。MICROWIRE、SPI及びQSPIはいずれもバイトの送信とバイトの受信を同時に行います。標準動作回路(図3)を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を3回行うことにより変換できます(1回の8ビット転送ではADCを設定し、残り後2回の8ビット転送では8ビット変換結果をクロック出力します)。図6に、MAX1112とMAX1113に共通なシリアルインタフェースの接続を示します。

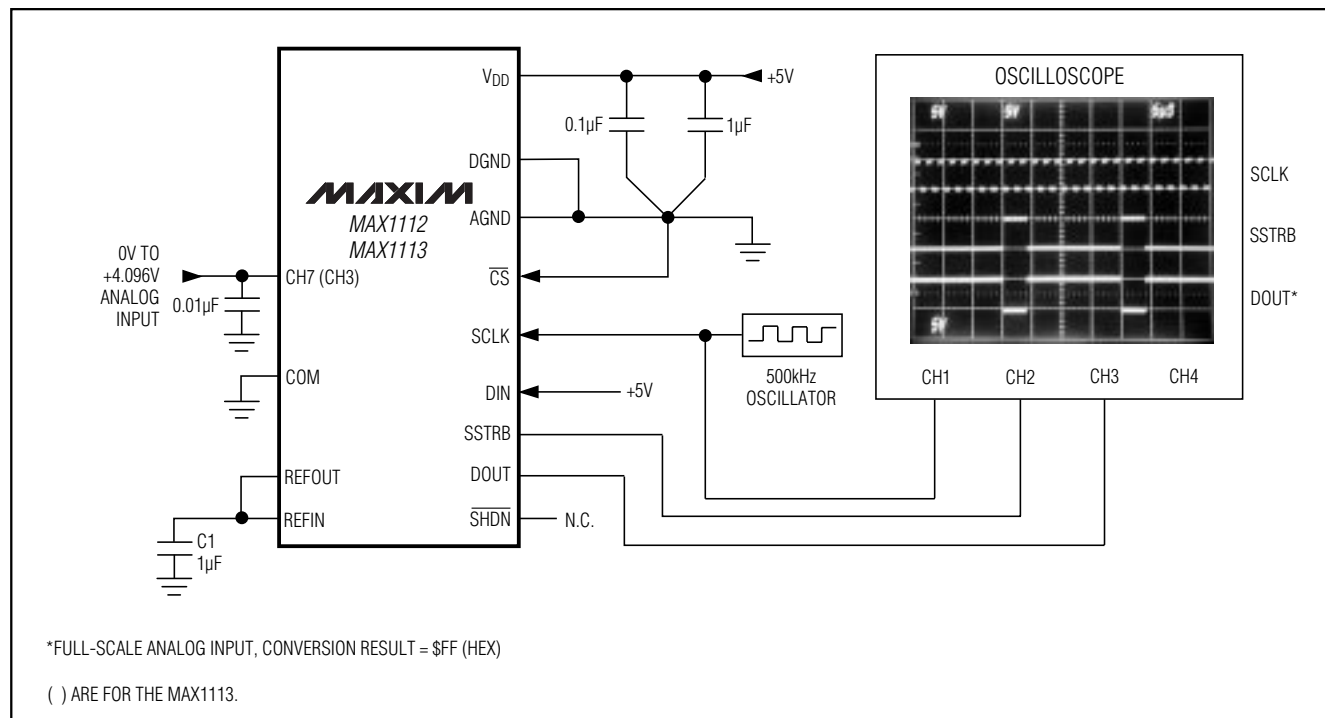


図5. 性能チェック回路

+5V、低電力、マルチチャンネル シリアル8ビットADC

MAX1112/MAX1113

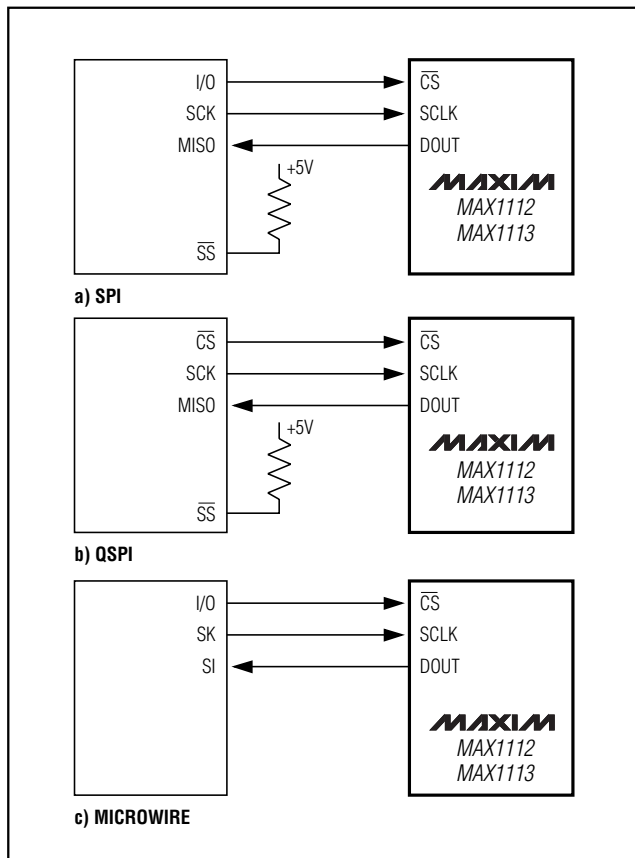


図6. MAX1112とMAX1113に共通なシリアルインタフェースの接続

シンプルなソフトウェアインタフェース

CPUがシリアルクロックを発生するように、CPUのシリアルインタフェースがマスターモードで動作していることを確認してください。クロック周波数は、50kHz~500kHzの範囲で選択してください。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と呼びます。TB1のフォーマットは、バイナリの1XXXXX11になります。ここで、Xは選択された特定のチャンネル及び変換モードを意味します。
- 2) CPUの汎用I/Oラインを使用して、MAX1112/MAX1113のCSをローにします。
- 3) TB1を送信し、同時に1バイトを受信します。受信した1バイトをRB1と呼びます。RB1を無視します。
- 4) 全てゼロで構成される1バイト(\$00 HEX)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成される1バイト(\$00 HEX)を送信し、同時にバイトRB3を受信します。
- 6) CSをハイにします。

図7に、このシーケンスのタイミングを示します。バイトRB2とRB3は、先行のゼロ2個及び後続ビットである6つのゼロに挟まれた変換結果を含んでいます。合計変換時間は、シリアルクロック周波数及び8ビット転送間のアイドル時間の関数です。T/Hが過剰にドロップするのを防ぐために、合計変換時間が1msを超えないようにしてください。

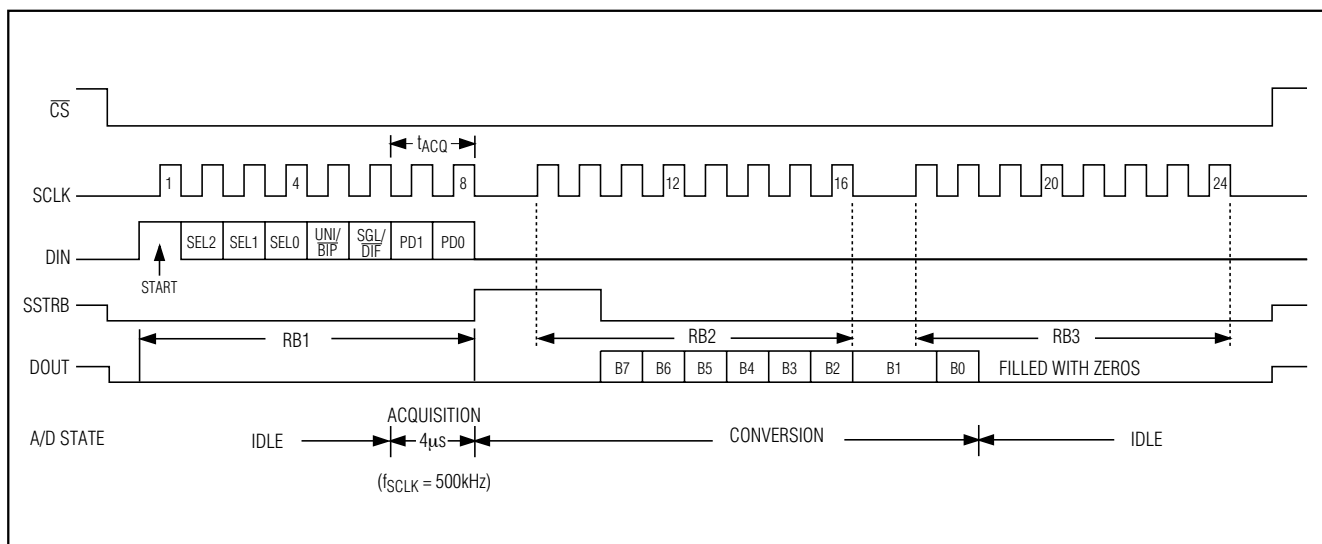


図7. 単一変換のタイミング(外部クロックモード、24クロック)

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

デジタル出力

ユニポーラ入力モードにおける出力は、ストレートなバイナリです(図15)。バイポーラ入力の場合、出力は2の補数形式になります(図16)。データは、SCLKの立下がりエッジで、MSBを先頭にクロックアウトされます。

クロックモード

MAX1112/MAX1113では、外部シリアルクロック又は内部クロックのいずれかを使用することにより、逐次比較型変換を行うことができます。どちらのクロックモードの場合も、外部クロックによってMAX1112/MAX1113からデータをシフトイン/アウトします。制御バイトのビットPD0により、クロックモードがプログラムされます。図8～図11に、両方のモードに共通するタイミングの特性を示します。

外部クロック

外部クロックモードにおける外部クロックは、データをシフトイン/アウトするだけでなく、A/D変換のステップ

の駆動も行います。SSTRBは制御バイトの最後のビットの後で、2クロック周期分がパルス的にハイになります。逐次比較用のビット決定はそれに続くSCLKの立下がりエッジ8個でそれぞれ行われ、DOUTに出力されます(図7)。8個のデータビットがクロックアウトされた後のクロックパルスはDOUTピンからゼロをクロックアウトすることになります。

\overline{CS} がハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次の \overline{CS} の立下がりエッジでSSTRBはロジックローを出力します。図9に、外部クロックモードにおけるSSTRBのタイミングを示します。

変換は、1ms以内に完了する必要があります。完了しない場合は、サンプルアンドホールドコンデンサのドループによって変換結果が劣化することがあります。シリアルクロック周波数が50kHz以下の場合やシリアルクロックの割込みによって変換周期が1msを超える可能性がある場合は、内部クロックモードを使用してください。

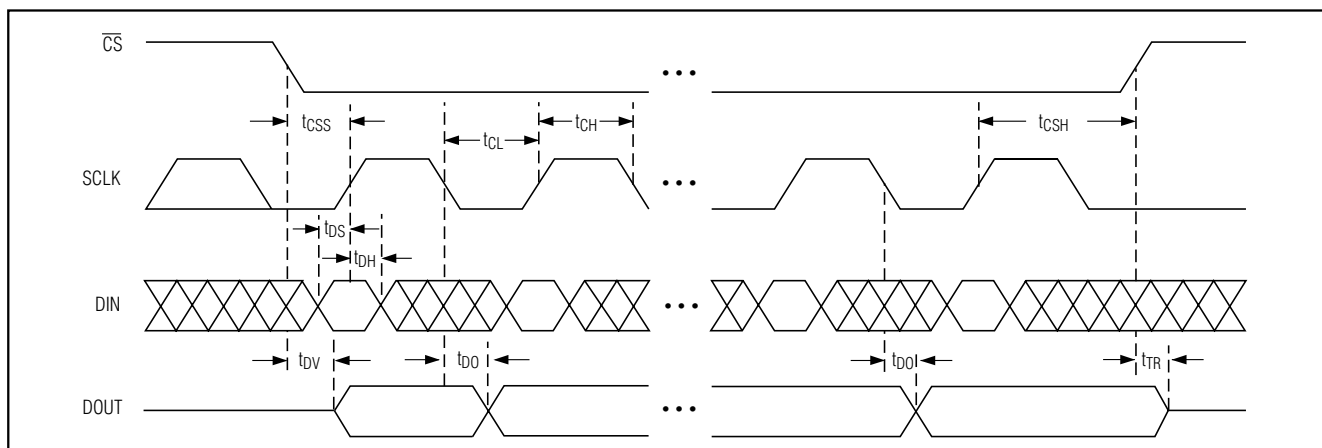


図8. シリアルインタフェースのタイミングの詳細

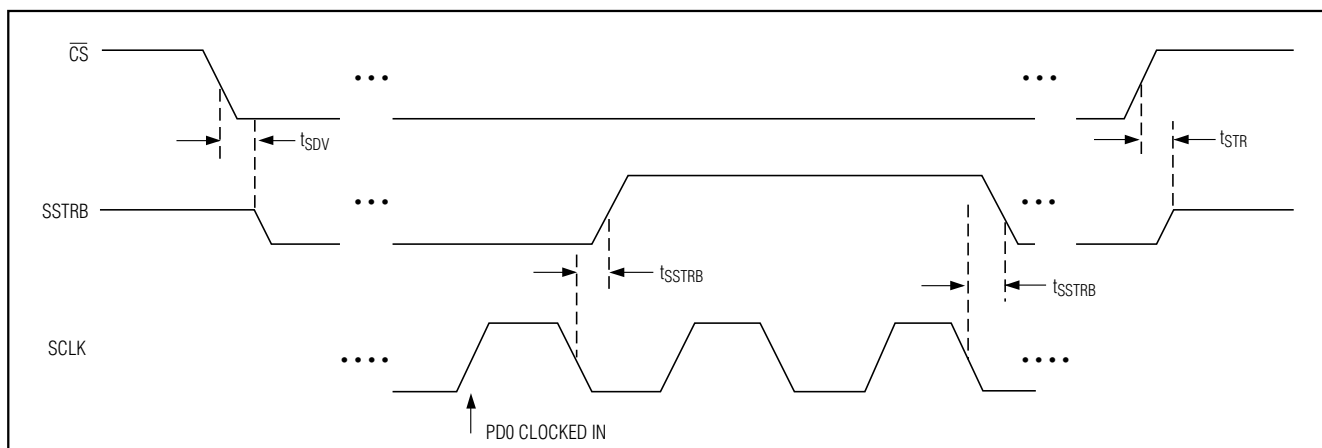


図9. 外部クロックモードにおけるSSTRBのタイミングの詳細

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

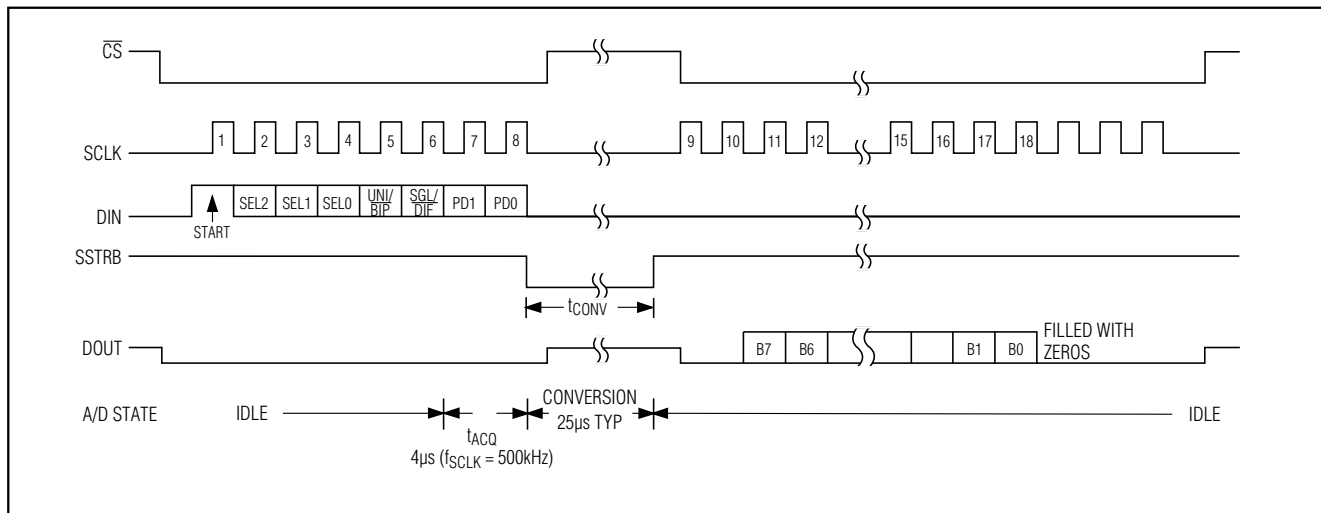


図10. 内部クロックモードのタイミング

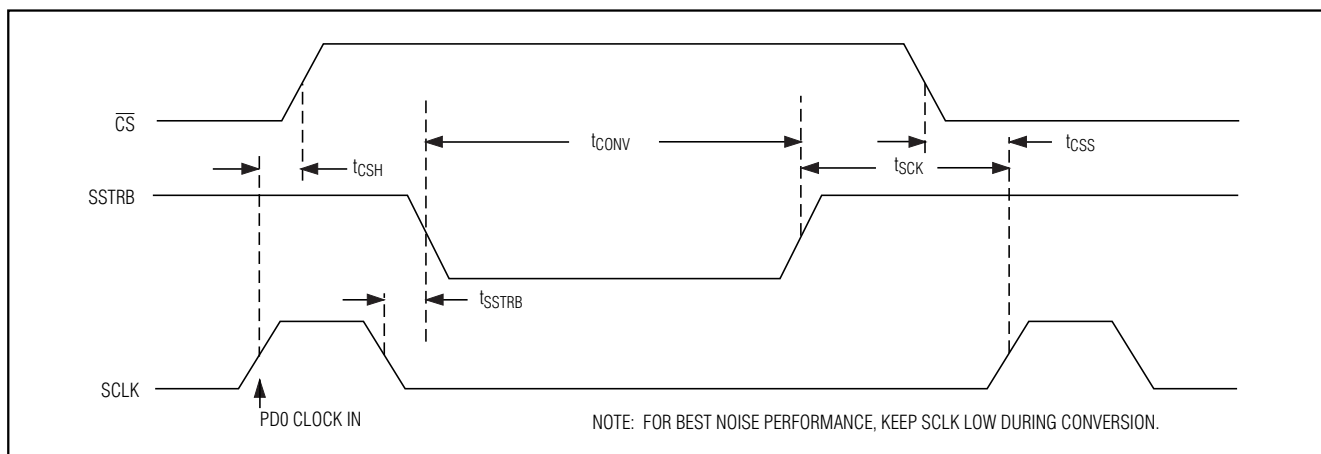


図11. 内部クロックモードにおけるSSTRBのタイミングの詳細

内部クロック

内部クロックモードでは、 μP がSAR変換クロックを動作させる役割から解放され、変換結果はプロセッサの都合のよいときに、2MHzまでの任意のクロックレートで読取ることができます。SSTRBは変換開始時にローになり、変換が完了するとハイになります。SSTRBは25 μs (typ)間ローに留まりますが、最高のノイズ性能を得るには、その間SCLKをローに保つようにします。

変換中は、内部レジスタにデータが保管されます。変換の完了後任意の時点で、SCLKがこのレジスタからデータをクロックアウトします。SSTRBがハイになった後、2番目の立下がりクロックエッジでDOUTに変換結果のMSBが出力され、続いて残りのビットがMSBを先頭にしたフォーマットで出力されます(図10)。一旦

変換が開始された後は、 $\overline{\text{CS}}$ をローに保持する必要はありません。 $\overline{\text{CS}}$ をハイにするとデータがMAX1112/MAX1113にクロックインされなくなり、DOUTがスリープ状態になりますが、すでに進行中の内部クロックモードの変換に悪影響を与えることはありません。内部クロックモードが選択されている場合は、 $\overline{\text{CS}}$ がハイになってもSSTRBがハイインピーダンス状態にはなりません。

図11に、内部クロックモードにおけるSSTRBのタイミングを示します。このモードでは、最小アキュイジションタイム(t_{ACQ})が1 μs 以上に保持されている限り2.0MHzまでのクロックレートでデータをMAX1112/MAX1113にシフトインできると共に、シフトアウトすることもできます。

+5V、低電力、マルチチャンネル シリアル8ビットADC

MAX1112/MAX1113

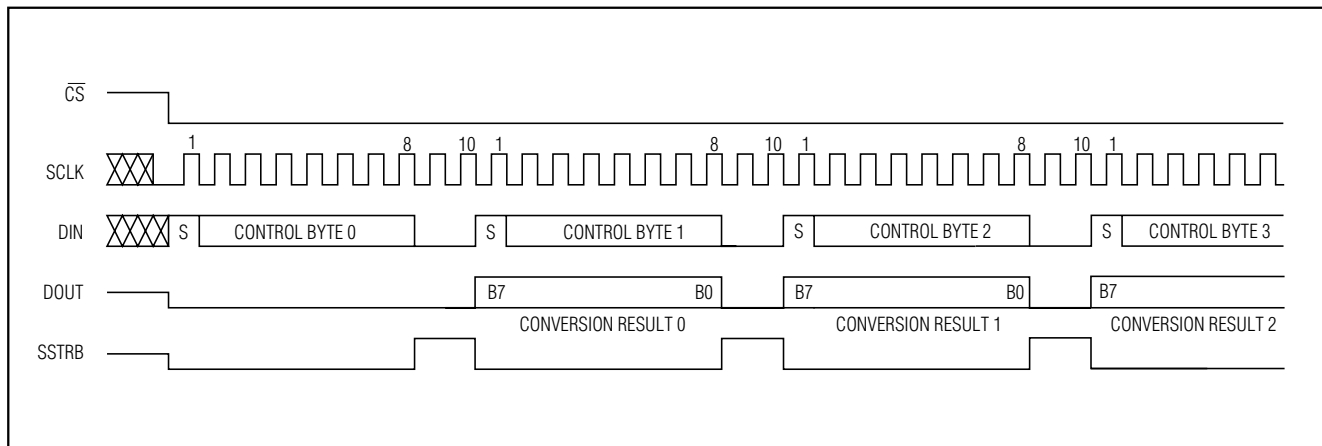


図12a. 外部クロックモードにおける連続変換(10クロック/変換のタイミング)

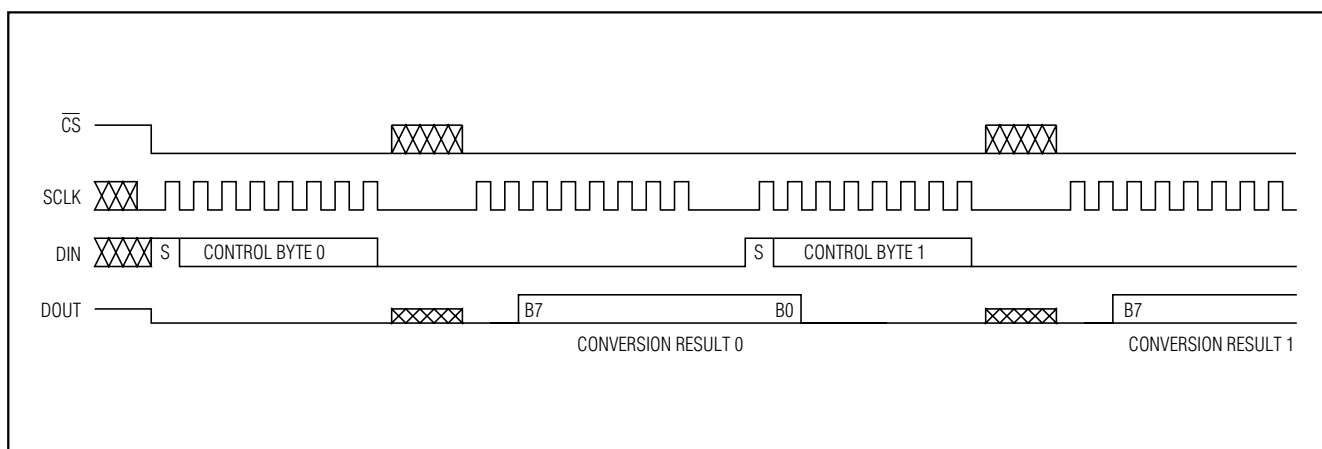


図12b. 外部クロックモードにおける連続変換(16クロック/変換のタイミング)

データフレーミング

変換は、 \overline{CS} の立下がりエッジでは開始されません。DINにクロックインされる最初のロジックハイはスタートビットとして解釈され、これが制御バイトの最初のビットとなります。変換は8番目の制御ビット(PD0ビット)がDINにクロックインされた後のSCLKの立下がりエッジで開始されます。スタートビットの定義は、以下のとおりです。

コンバータがアイドル状態である任意の時間(例えば V_{DD} が印加された後)に、 \overline{CS} がローの状態にDINにクロックインされてきた最初のハイビット。

又は

進行中の変換のMSBがDOUTピンに出てきた後に、DINにクロックインされてきた最初のハイビット。

現在の変換が完了する前に \overline{CS} がトグルされると、その後初めてDINにクロックインされてきたハイビットがスタートビットとして認識されます。現在の変換は中止され、新しい変換が開始されます。

MAX1112/MAX1113が動作できる最高速度は、10クロック/変換です。図12aに、外部クロックモードで10SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

殆どのマイクロコントローラの場合、変換は8 SCLKクロックの倍数で発生させる必要があります。従って、マイクロコントローラによってMAX1112/MAX1113を動作させる最高速度は、通常16クロック/変換ということになります。図12bに、外部クロックモードで16SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

+5V、低電力、マルチチャネル シリアル8ビットADC

アプリケーション情報

パワーオンリセット

MAX1112/MAX1113は、最初に電源が入った時に $\overline{\text{SHDN}}$ がローでない場合、内部パワーオンリセット回路により内部クロックモードで起動されます。SSTRBはパワーアップ時にはハイで、 $\overline{\text{CS}}$ がローの場合は、DINの最初のロジック1がスタートビットと見なされます。DOUTは、変換が行われるまではゼロをシフトアウトします。リファレンス電圧が安定するまでは変換を行わないでください(「タイミング特性」中のウェイクアップ時間の仕様を参照)。

パワーダウン

最大サンプリングレートよりも遅いスピードで動作している場合、MAX1112/MAX1113の自動パワーダウンモードによって変換と変換の間でコンバータが低電流のシャットダウン状態になるため、電力が節約されます。図13に、平均消費電流をサンプリングレートの関数として示します。

パワーダウンを選択するには、 $\overline{\text{SHDN}}$ がハイ又はフローティングの状態にDIN制御バイトのPD1を使用します(表3)。 $\overline{\text{SHDN}}$ をローにすることにより、適宜コンバータを完全にシャットダウンできます。 $\overline{\text{SHDN}}$ は、制御バイトのPD1をオーバーライドします。図14a及び図14bに、外部及び内部クロックモード時の様々なパワーダウンシーケンスを示します。

ソフトウェアのパワーダウン

制御バイトのビットPD1を使用することにより、ソフトウェアのパワーダウンを起動できます。ソフトウェアのパワーダウンが発生すると、変換が完了するまでADCは最後に指定されたクロックモードで動作し続けます。その後、ADCはパワーダウンし、低自己消費電流状態になります。内部クロックモードにおけるインタフェースは、MAX1112/MAX1113がソフトウェアのパワーダウンに入った後でもアクティブ状態を保ち、変換結果をクロックアウトできます。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1112/MAX1113はパワーアップし

表5. ハード配線によるパワーダウンと内部リファレンス状態

SHDN状態	素子のモード	内部リファレンス
1	イネーブル	ディセーブル
フローティング	イネーブル	イネーブル
0	パワーダウン	ディセーブル

ます。DINワードがPD1 = 1を含んでいると、チップはパワーアップ状態に留まります。PD1 = 0の時は1回だけ変換を行い、その後再びパワーダウンします。

ハードウェアのパワーダウン

$\overline{\text{SHDN}}$ ピンをローにすると、コンバータはハード配線のパワーダウン状態に入ります。ソフトウェアのパワーダウンモードとは異なり、変換は完了せずに、 $\overline{\text{SHDN}}$ がローになると同時に停止します。 $\overline{\text{SHDN}}$ は、内部リファレンスの状態も制御します(表5)。 $\overline{\text{SHDN}}$ をフローティング状態にすると、4.096V電圧リファレンスがイネーブルされます。 $\overline{\text{SHDN}}$ がフローティングの状態に通常動作に戻る時は、約 $1M \times C_{\text{LOAD}}$ の t_{RC} デイレーがあり (C_{LOAD} は $\overline{\text{SHDN}}$ ピンでの容量性負荷です)。 $\overline{\text{SHDN}}$ をハイにすると内部リファレンスがディセーブルされるため、外部リファレンスを使用して電力を節約できます。

外部リファレンス

1V ~ V_{DD} の外部リファレンスをREFIN端子に直接接続してください。REFINでのDC入力インピーダンスは非常に大きく、リーク電流(10nA typ)のみに起因します。変換中、リファレンスは最大平均負荷電流20 μA を供給することを要求され、また変換クロック周波数における出力インピーダンスが1k Ω 以下であることが必要です。リファレンスの出力インピーダンスがこれより大きかったり、ノイズが大きい場合は、0.1 μF コンデンサを使用してREFINの近くでバイパスしてください。

MAX1112/MAX1113で外部リファレンスを使用する場合は、 $\overline{\text{SHDN}}$ を V_{DD} に接続して内部リファレンスをディセーブルすることにより、消費電力を削減してください。

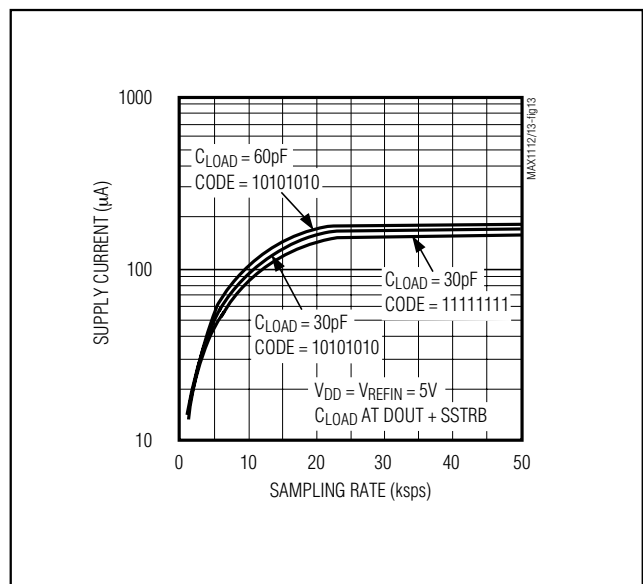


図13. 平均消費電流対サンプリングレート

+5V、低電力、マルチチャネル シリアル8ビットADC

MAX1112/MAX1113

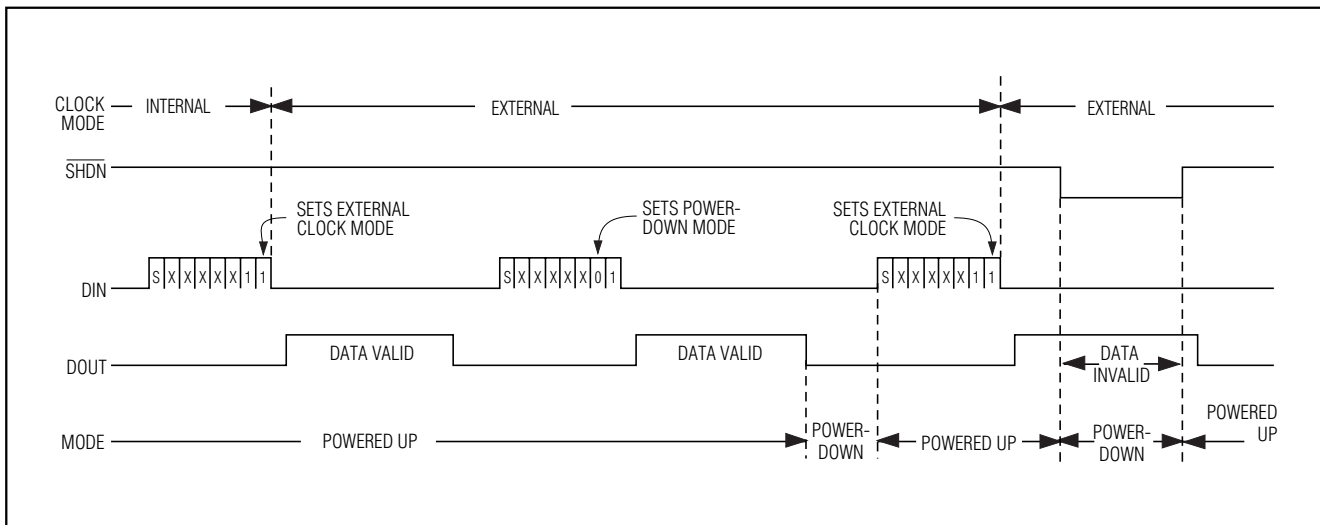


図14a. パワーダウンモード、外部クロック時のタイミング図

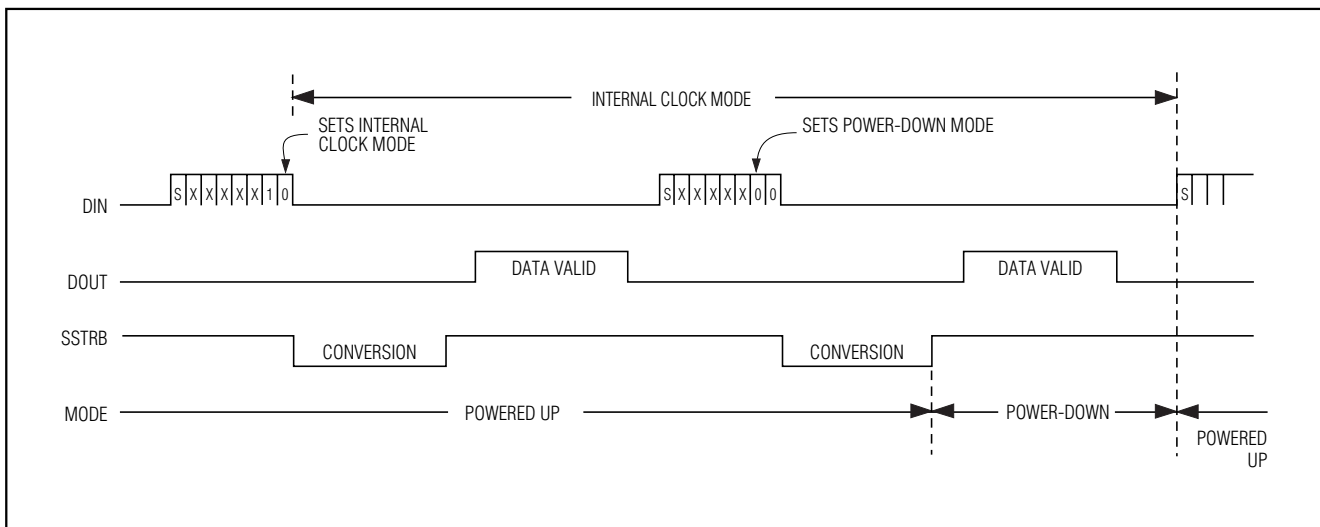


図14b. パワーダウンモード、内部クロック時のタイミング図

内部リファレンス

MAX1112/MAX1113を内部リファレンスで使用するには、REFINをREFOUTに接続してください。内部リファレンスにおけるMAX1112/MAX1113のフルスケール範囲は、ユニポーラ入力で4.096V(typ)、バイポーラ入力で±2.048Vです。内部リファレンスは、REFINピンのできるだけ近くに取り付けた1μFコンデンサでAGNDにバイパスしてください。

伝達関数

表4に、ユニポーラ及びバイポーラモードでのフルスケール電圧範囲を示します。図15は公称ユニポーラI/O伝達関数、図16はバイポーラI/O伝達関数を示していません(4.096Vリファレンス使用時)。コード遷移は、整数のLSB値の位置で起こります。出力コーディングはバイナリで、ユニポーラ動作では1LSB = 16mV(4.096V/256)、バイポーラ動作では1LSB = 16mV[(4.096V/2 - -4.096V/2)/256]となります。

+5V、低電力、マルチチャンネル シリアル8ビットADC

MAX1112/MAX1113

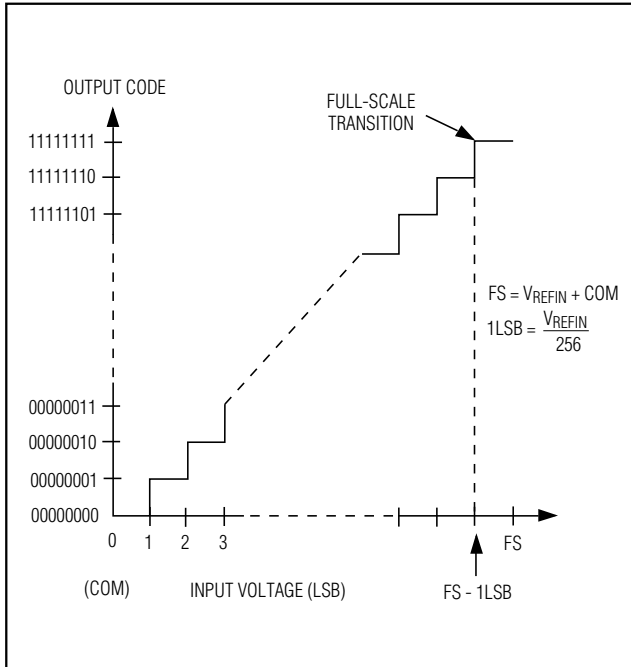


図15. ユニポーラの伝達関数

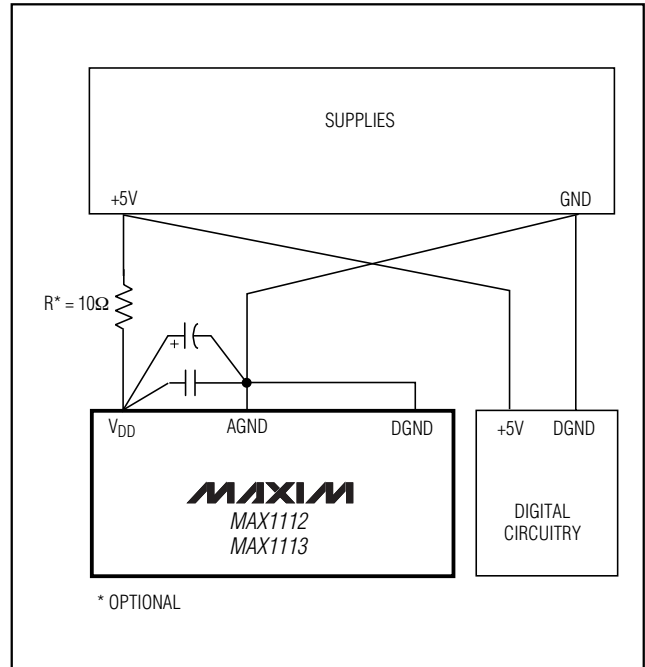


図17. 電源グランド接続図

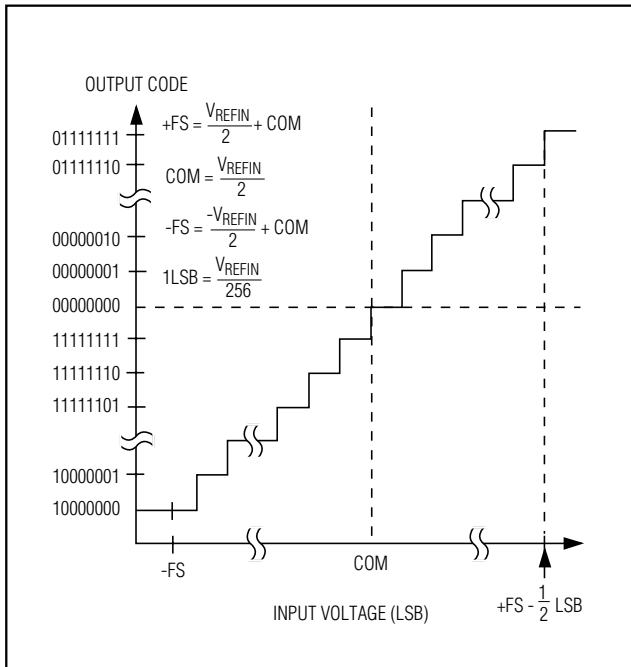


図16. バイポーラの伝達関数

レイアウト、グランド、及びバイパス

最高の性能を得るには、プリント回路基板を使用してください。ワイラップボードはお勧めできません。ボードレイアウトについては、デジタル信号ラインとアナログ信号ラインが分離されるようにしてください。アナログとデジタル(特にクロック)ラインを互いに平行に走らせないでください。又、デジタルラインがADCパッケージの下に配置されないようにしてください。

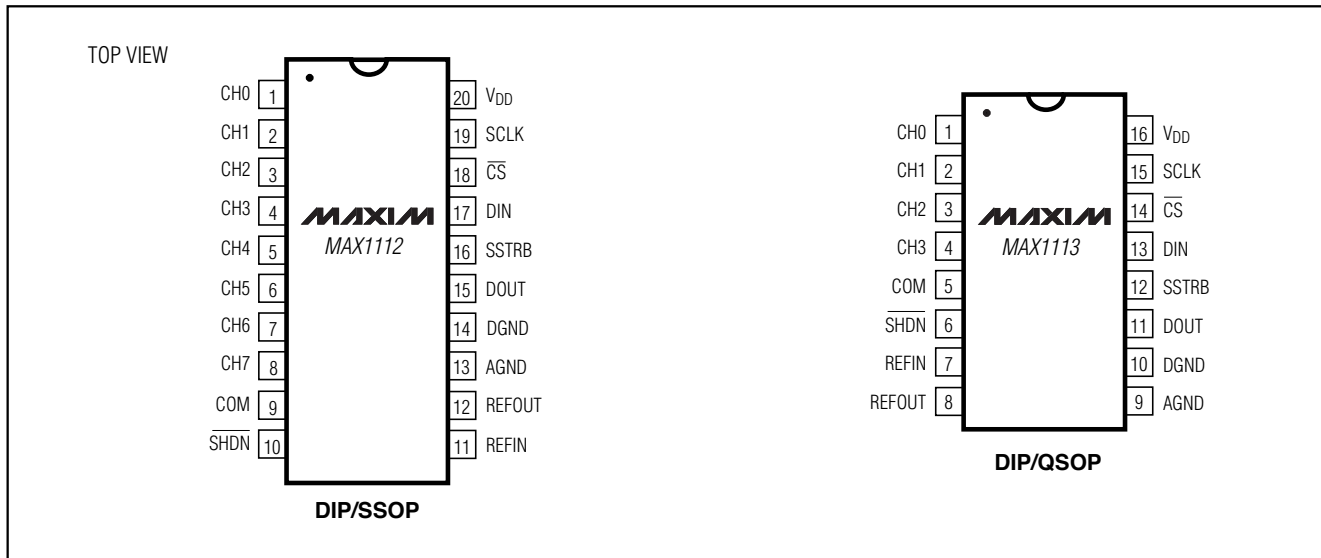
図17に、推奨されるシステムグランド接続法を示します。ロジックグランドとは別に、シングルポイントアナロググランド(スターグランドポイント)をAGNDのところを設定し、その他のアナロググランド及びDGNDは全てこのグランドに接続してください。このグランドには、その他のデジタルシステムグランドを接続しないでください。ノイズを排除するために、スターグランドから電源へのグランドリターンはできるだけ短くすると共に、低インピーダンスにしてください。

V_{DD} 電源内の高周波ノイズが、ADCのコンパレータに影響を与える可能性があります。この電源はMAX1112/MAX1113の V_{DD} ピンに近いところで、 $0.1\mu\text{F}$ 及び $1\mu\text{F}$ コンデンサを使用してスターグランドにバイパスしてください。最高の電源ノイズ除去比を得るために、コンデンサのリード線をできるだけ短くしてください。+5V電源のノイズが特に大きい場合は、 $10\ \Omega$ 抵抗を接続してローパスフィルタを形成することができます。

+5V、低電力、マルチチャンネル シリアル8ビットADC

MAX1112/MAX1113

ピン配置



型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX1112EPP	-40°C to +85°C	20 Plastic DIP
MAX1112EAP	-40°C to +85°C	20 SSOP
MAX1112MJP	-55°C to +125°C	20 CERDIP**
MAX1113CPE	0°C to +70°C	16 Plastic DIP
MAX1113CEE	0°C to +70°C	16 QSOP
MAX1113EPE	-40°C to +85°C	16 Plastic DIP
MAX1113EEE	-40°C to +85°C	16 QSOP
MAX1113MJE	-55°C to +125°C	16 CERDIP**

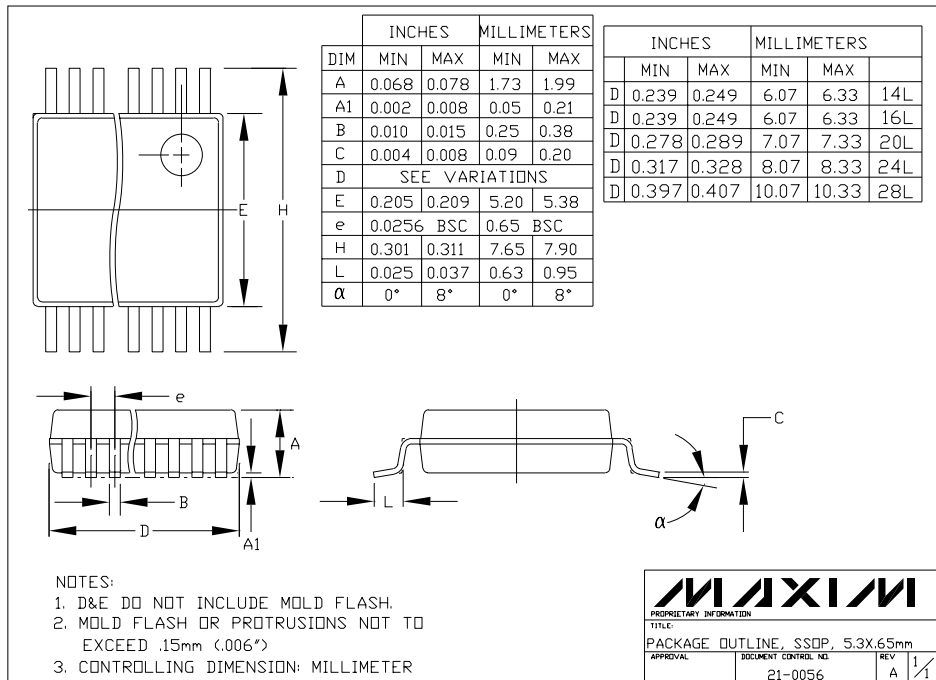
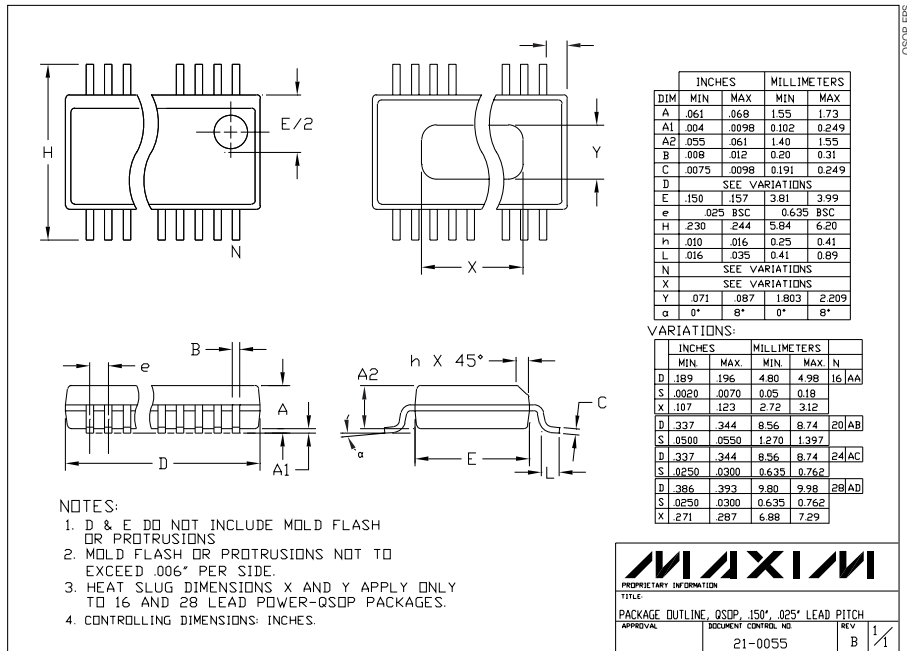
**Contact factory for availability.

チップ情報

TRANSISTOR COUNT: 1996
SUBSTRATE CONNECTED TO DGND

+5V、低電力、マルチチャンネル シリアル8ビットADC

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**