

EVALUATION KIT  
AVAILABLE

MAXIM

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

## 概要

MAX1090/MAX1092は、逐次比較型ADC、自動パワーダウン、高速ウェイクアップ(2 $\mu$ s)、内蔵クロック、+2.5V内部リファレンス、及び高速バイト幅パラレルインタフェースを備えた低電力、10ビットアナログデジタルコンバータ(ADC)です。これらの製品は、単一+5Vアナログ電源で動作し、+2.7V~+5.5Vのデジタル電源と直接インタフェースするためのV<sub>LOGIC</sub>ピンを備えています。

最大サンプリング速度400kspsにおける消費電力は、僅か10mW(V<sub>DD</sub>=V<sub>LOGIC</sub>)です。2つのソフトウェア選択可能なパワーダウンモードにより、MAX1090/MAX1092は変換の合間にシャットダウンすることが可能で、パラレルインタフェースにアクセスすると通常動作に戻ります。変換の合間にパワーダウンすることにより、低サンプリングレートにおける消費電流を10 $\mu$ A以下に削減できます。

いずれの素子も、アナログ入力にユニポーラ/バイポーラ及びシングルエンド/擬似差動動作をソフトウェアで設定できるようになっています。シングルエンドモードでは、MAX1090は8つの入力チャンネル、MAX1092は4つの入力チャンネルを持っています(擬似差動モードにおいてはそれぞれ4つと2つの入力チャンネル)。

本製品は、優れた動的性能及び低電力に加え、パッケージが小型で使い易く、バッテリー駆動及びデータ収集アプリケーション、あるいはその他の消費電力が大きくスペース条件の厳しい回路に最適です。

MAX1090/MAX1092の $\overline{\text{INT}}$ は、 $\overline{\text{CS}}$ がハイになるとトライステートになります。 $\overline{\text{INT}}$ のトライステートを希望しない場合は、MAX1060/MAX1064を参照してください。

MAX1090は28ピンQSOPパッケージで提供され、MAX1092は24ピンQSOPパッケージで提供されています。ピンコンパチブルの+3V、10ビットバージョンについては、MAX1091/MAX1093のデータシートを参照して下さい。

## アプリケーション

工業用制御機器	データロギング
エネルギー管理	患者監視装置
データ収集機器	タッチスクリーン

## 型番

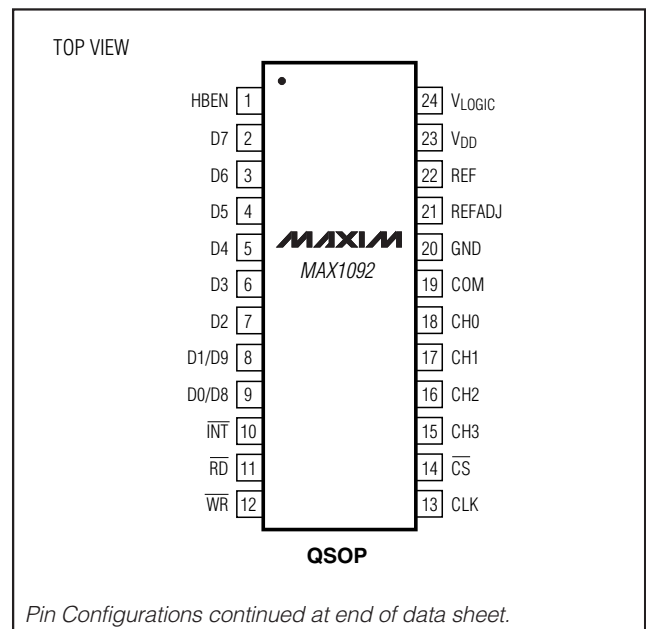
PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1090ACEI	0°C to +70°C	28 QSOP	$\pm 0.5$
MAX1090BCEI	0°C to +70°C	28 QSOP	$\pm 1$
MAX1090AEEI	-40°C to +85°C	28 QSOP	$\pm 0.5$
MAX1090BEEI	-40°C to +85°C	28 QSOP	$\pm 1$

型番はデータシートの最後に続きます。

## 特長

- ◆ 分解能：10ビット、直線性： $\pm 0.5$  LSB
- ◆ 電源：+5V単一
- ◆ ユーザがロジックレベルを設定可能：+2.7V~+5.5V
- ◆ 内部+2.5Vリファレンス
- ◆ ソフトウェア設定可能なアナログ入力マルチプレクサ
  - 8チャンネルシングルエンド/
  - 4チャンネル擬似差動(MAX1090)
  - 4チャンネルシングルエンド/
  - 2チャンネル擬似差動(MAX1092)
- ◆ ユニポーラ/バイポーラアナログ入力をソフトウェア設定可能
- ◆ 低消費電流：2.2mA(400ksps)  
1.0mA(100ksps)  
400 $\mu$ A(10ksps)  
2 $\mu$ A(シャットダウン)
- ◆ フルパワー帯域幅が6MHzの内部トラック/ホールド
- ◆ バイト幅パラレル(8+2)インタフェース
- ◆ 小面積：28ピンQSOP(MAX1090)  
24ピンQSOP(MAX1092)

## ピン配置



標準動作回路はデータシートの最後に記載されています。

MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
V <sub>LOGIC</sub> to GND	-0.3V to +6V	24-Pin QSOP (derate 9.5mW/°C above +70°C)	762mW
CH0-CH7, COM to GND	-0.3V to (V <sub>DD</sub> + 0.3V)	28-Pin QSOP (derate 8.00mW/°C above +70°C)	667mW
REF, REFADJ to GND	-0.3V to (V <sub>DD</sub> + 0.3V)	Operating Temperature Ranges	
Digital Inputs to GND	-0.3V to +6V	MAX1090_C_/MAX1092_C_	0°C to +70°C
Digital Outputs (D0-D9, INT)		MAX1090_E_/MAX1092_E_	-40°C to +85°C
to GND	-0.3V to (V <sub>LOGIC</sub> + 0.3V)	Storage Temperature Range	-65°C to +150°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = V<sub>LOGIC</sub> = +5V ±10%, COM = GND, REFADJ = V<sub>DD</sub>, V<sub>REF</sub> = +2.5V, 4.7µF capacitor at REF pin, f<sub>CLK</sub> = 7.6MHz (50% duty cycle), T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>DC ACCURACY</b> (Note 1)							
Resolution	RES		10			Bits	
Relative Accuracy (Note 2)	INL	MAX109_A			±0.5	LSB	
		MAX109_B			±1		
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB	
Offset Error					±2	LSB	
Gain Error (Note 3)					±2	LSB	
Gain Temperature Coefficient				±2.0		ppm/°C	
Channel-to-Channel Offset Matching				±0.1		LSB	
<b>DYNAMIC SPECIFICATIONS</b> (f <sub>IN(sine wave)</sub> = 50kHz, V <sub>IN</sub> = 2.5V <sub>P-P</sub> , 400ksps, external f <sub>CLK</sub> = 7.6MHz, bipolar input mode)							
Signal-to-Noise Plus Distortion	SINAD			60		dB	
Total Harmonic Distortion (including 5th-order harmonic)	THD			-72		dB	
Spurious-Free Dynamic Range	SFDR			72		dB	
Intermodulation Distortion	IMD	f <sub>IN1</sub> = 49kHz, f <sub>IN2</sub> = 52kHz		76		dB	
Channel-to-Channel Crosstalk		f <sub>IN</sub> = 175kHz, V <sub>IN</sub> = 2.5V <sub>P-P</sub> (Note 4)		-78		dB	
Full-Linear Bandwidth		SINAD > 56dB		350		kHz	
Full-Power Bandwidth		-3dB rolloff		6		MHz	
<b>CONVERSION RATE</b>							
Conversion Time (Note 5)	t <sub>CONV</sub>	External clock mode		2.1		µs	
		External acquisition/internal clock mode		2.5	3.0		3.5
		Internal acquisition/internal clock mode		3.2	3.6		4
T/H Acquisition Time	t <sub>ACQ</sub>				400	ns	
Aperture Delay		External acquisition or external clock mode		25		ns	
Aperture Jitter		External acquisition or external clock mode		<50		ps	
		Internal acquisition/internal clock mode		<200			
External Clock Frequency	f <sub>CLK</sub>		0.1		7.6	MHz	
Duty Cycle			30		70	%	

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = V_{LOGIC} = +5V \pm 10\%$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 7.6MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUTS</b>						
Analog Input Voltage Range, Single Ended and Differential (Note 6)	$V_{IN}$	Unipolar, $V_{COM} = 0$	0		$V_{REF}$	V
		Bipolar, $V_{COM} = V_{REF} / 2$	$-V_{REF}/2$		$+V_{REF}/2$	
Multiplexer Leakage Current		On/off-leakage current, $V_{IN} = 0$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			12		pF
<b>INTERNAL REFERENCE</b>						
REF Output Voltage			2.49	2.5	2.51	V
REF Short-Circuit Current				15		mA
REF Temperature Coefficient	$TC_{REF}$	$T_A = 0^\circ C$ to $+70^\circ C$		$\pm 20$		ppm/ $^\circ C$
REFADJ Input Range		For small adjustments		$\pm 100$		mV
REFADJ High Threshold		To power down the internal reference	$V_{DD} - 1.0$			V
Load Regulation (Note 7)		0 to 0.5mA output load		0.2		mV/mA
Capacitive Bypass at REFADJ				0.01	1	$\mu F$
Capacitive Bypass at REF			4.7		10	$\mu F$
<b>EXTERNAL REFERENCE AT REF</b>						
REF Input Voltage Range	$V_{REF}$		1.0		$V_{DD} + 50mV$	V
Shutdown REF Input Current	$I_{REF}$	$V_{REF} = 2.5V$ , $f_{SAMPLE} = 400ksps$		200	300	$\mu A$
		Shutdown mode			2	
<b>DIGITAL INPUTS AND OUTPUTS</b>						
Input Voltage High	$V_{IH}$	$V_{LOGIC} = 4.5V$	4.0			V
		$V_{LOGIC} = 2.7V$	2.0			
Input Voltage Low	$V_{IL}$	$V_{LOGIC} = 4.5V$ or $2.7V$			0.8	V
Input Hysteresis	$V_{HYS}$			200		mV
Input Leakage Current	$I_{IN}$	$V_{IN} = 0$ or $V_{DD}$		$\pm 0.1$	$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			15		pF
Output Voltage Low	$V_{OL}$	$I_{SINK} = 1.6mA$			0.4	V
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 1mA$	$V_{LOGIC} - 0.5$			V
Three-State Leakage Current	$I_{LEAKAGE}$	$\overline{CS} = V_{DD}$		$\pm 0.1$	$\pm 1$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$		15		pF

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = V_{LOGIC} = +5V \pm 10\%$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 7.6MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>							
Analog Supply Voltage	$V_{DD}$			4.5		5.5	V
Digital Supply Voltage	$V_{LOGIC}$			2.7		$V_{DD} + 0.3$	V
Positive Supply Current	$I_{DD}$	Operating mode, $f_{SAMPLE} = 400ksps$	Internal reference		2.9	3.4	mA
			External reference		2.5	2.9	
		Standby mode	Internal reference		1.0	1.2	
			External reference		0.5	0.8	
Shutdown mode				2		10	$\mu A$
$V_{LOGIC}$ Current	$I_{LOGIC}$	$C_L = 20pF$	$f_{SAMPLE} = 400ksps$			200	$\mu A$
			Nonconverting		2		
Power-Supply Rejection	PSR	$V_{DD} = 5V \pm 10\%$ , full-scale input			$\pm 0.3$	$\pm 0.9$	mV

## TIMING CHARACTERISTICS

( $V_{DD} = V_{LOGIC} = +5V \pm 10\%$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 7.6MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Period	$t_{CP}$		132			ns
CLK Pulse Width High	$t_{CH}$		40			ns
CLK Pulse Width Low	$t_{CL}$		40			ns
Data Valid to $\overline{WR}$ Rise Time	$t_{DS}$		40			ns
$\overline{WR}$ Rise to Data Valid Hold Time	$t_{DH}$		0			ns
$\overline{WR}$ to CLK Fall Setup Time	$t_{CWS}$		40			ns
CLK Fall to $\overline{WR}$ Hold Time	$t_{CWH}$		40			ns
$\overline{CS}$ to CLK or $\overline{WR}$ Setup Time	$t_{CSWS}$		60			ns
CLK or $\overline{WR}$ to $\overline{CS}$ Hold Time	$t_{CSWH}$		0			ns
$\overline{CS}$ Pulse Width	$t_{CS}$		100			ns
$\overline{WR}$ Pulse Width (Note 8)	$t_{WR}$		60			ns

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

## TIMING CHARACTERISTICS (continued)

( $V_{DD} = V_{LOGIC} = +5V \pm 10\%$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 7.6MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{CS}$ Rise to Output Disable	$t_{TC}$	$C_{LOAD} = 20pF$ , Figure 1	10		60	ns
$\overline{RD}$ Rise to Output Disable	$t_{TR}$	$C_{LOAD} = 20pF$ , Figure 1	10		40	ns
$\overline{RD}$ Fall to Output Data Valid	$t_{DO}$	$C_{LOAD} = 20pF$ , Figure 1	10		50	ns
HBEN Rise to Output Data Valid	$t_{DO1}$	$C_{LOAD} = 20pF$ , Figure 1	10		50	ns
HBEN Fall to Output Data Valid	$t_{DO1}$	$C_{LOAD} = 20pF$ , Figure 1	10		80	ns
$\overline{RD}$ Fall to $\overline{INT}$ High Delay	$t_{INT1}$	$C_{LOAD} = 20pF$ , Figure 1			50	ns
$\overline{CS}$ Fall to Output Data Valid	$t_{DO2}$	$C_{LOAD} = 20pF$ , Figure 1			100	ns

**Note 1:** Tested at  $V_{DD} = +5V$ ,  $COM = GND$ , unipolar single-ended input mode.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after offset and gain errors have been removed.

**Note 3:** Offset nulled.

**Note 4:** On channel is grounded; sine wave applied to off channels.

**Note 5:** Conversion time is defined as the number of clock cycles times the clock period; clock has 50% duty cycle.

**Note 6:** Input voltage range referenced to negative input. The absolute range for the analog inputs is from GND to  $V_{DD}$ .

**Note 7:** External load should not change during conversion for specified accuracy.

**Note 8:** When bit 5 is set low for internal acquisition,  $WR$  must not return low until after the first falling clock edge of the conversion.

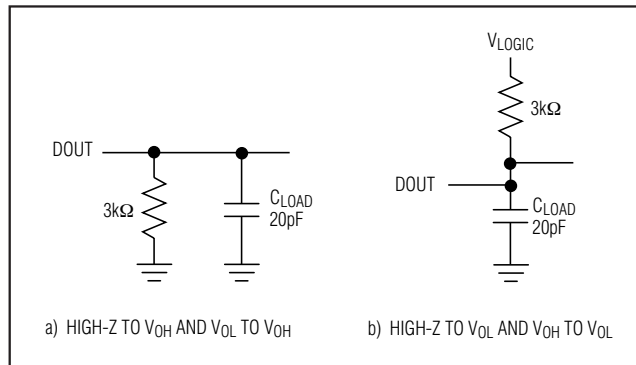


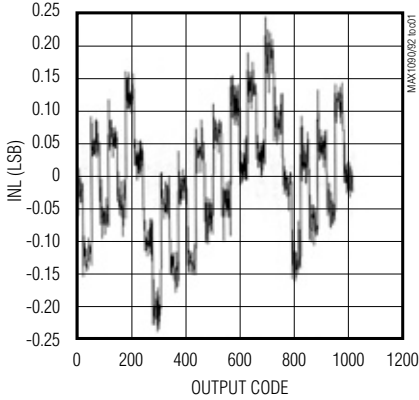
図1. イネーブル/ディセーブル時間の負荷回路

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

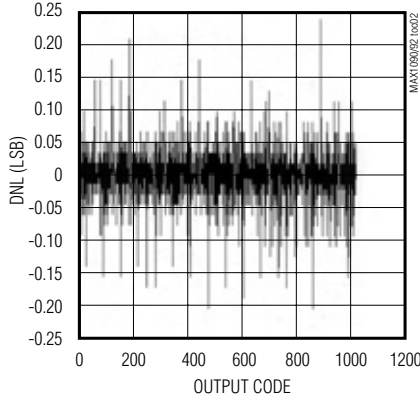
## 標準動作特性

( $V_{DD} = V_{LOGIC} = +5V$ ,  $V_{REF} = +2.500V$ ,  $f_{CLK} = 7.6MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

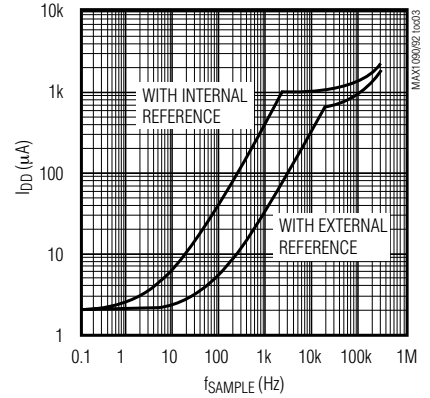
**INTEGRAL NONLINEARITY vs. OUTPUT CODE**



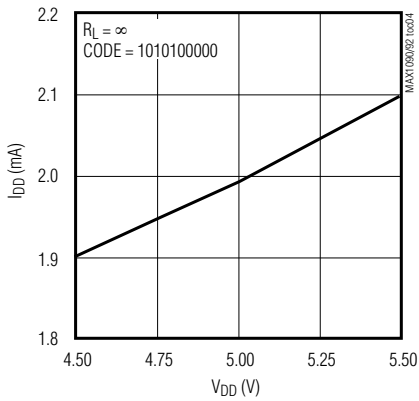
**DIFFERENTIAL NONLINEARITY vs. OUTPUT CODE**



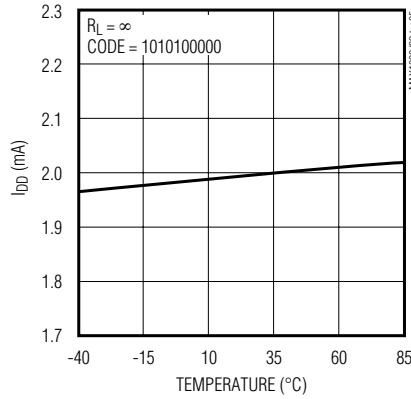
**SUPPLY CURRENT vs. SAMPLE FREQUENCY**



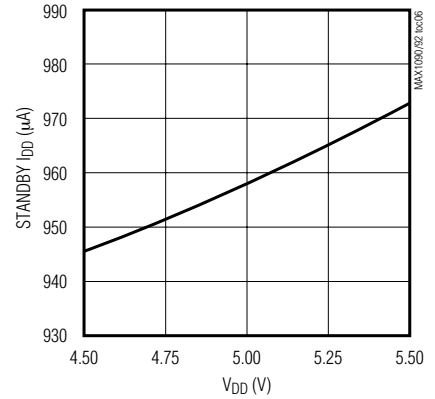
**SUPPLY CURRENT vs. SUPPLY VOLTAGE**



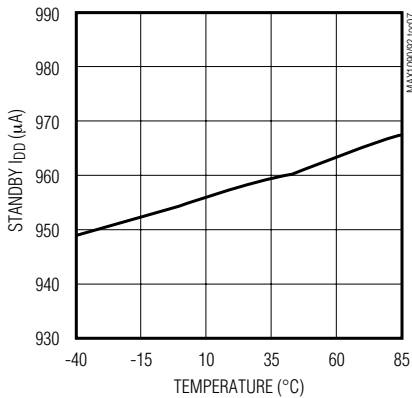
**SUPPLY CURRENT vs. TEMPERATURE**



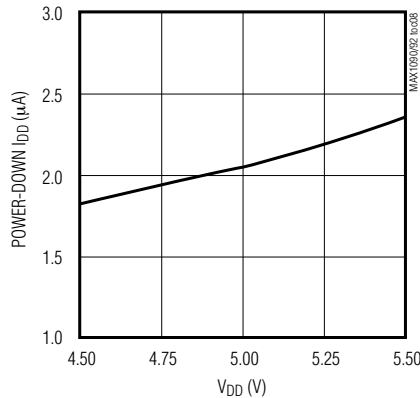
**STANDBY CURRENT vs. SUPPLY VOLTAGE**



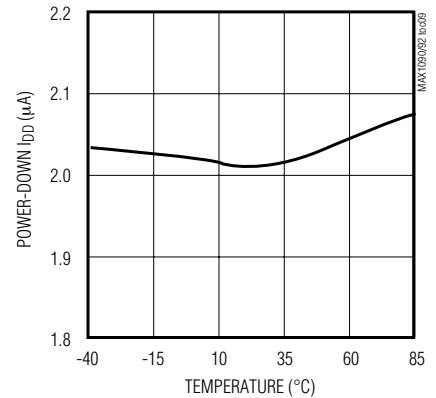
**STANDBY CURRENT vs. TEMPERATURE**



**POWER-DOWN CURRENT vs. SUPPLY VOLTAGE**



**POWER-DOWN CURRENT vs. TEMPERATURE**

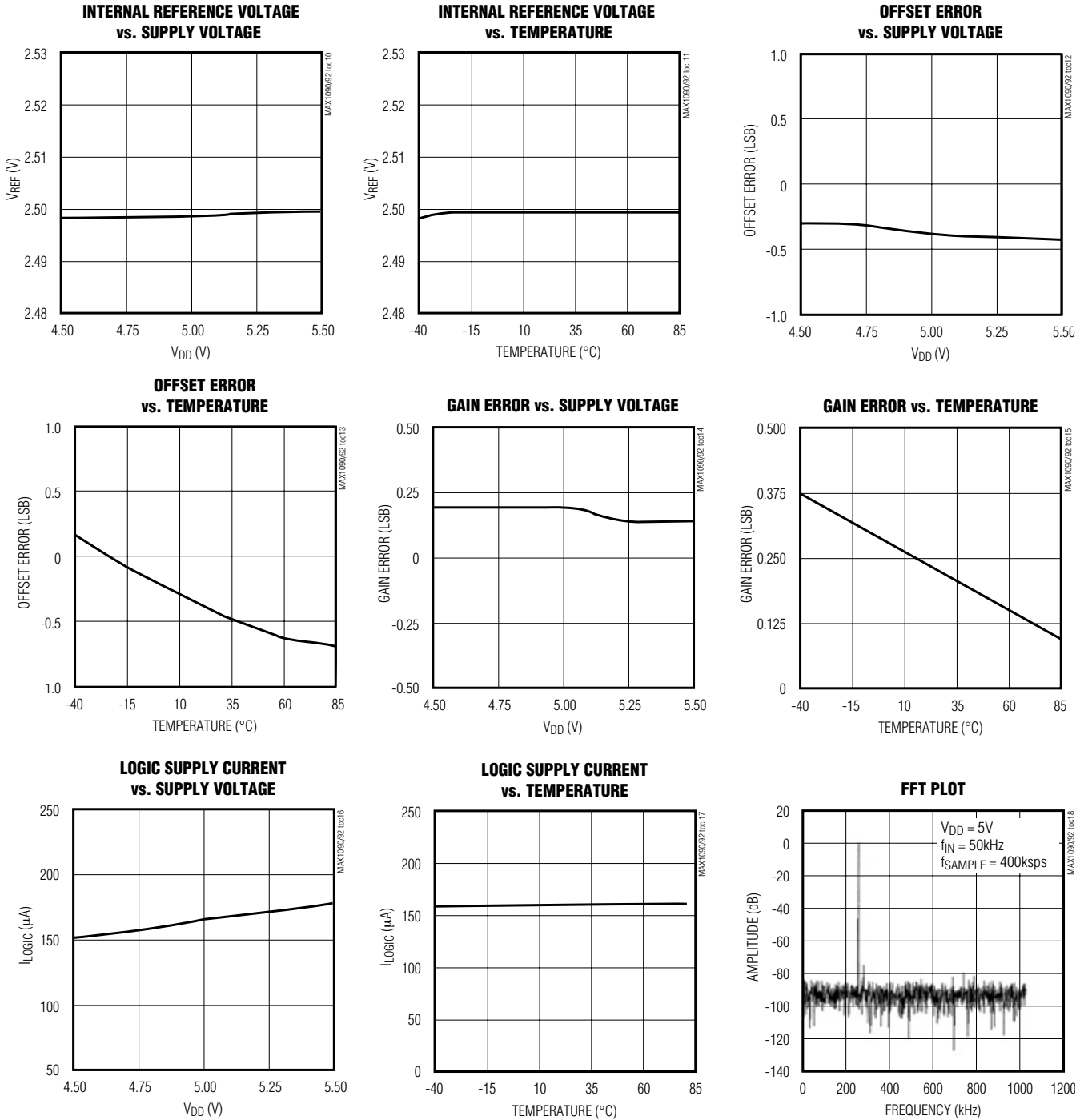


# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

## 標準動作特性(続き)

( $V_{DD} = V_{LOGIC} = +5V$ ,  $V_{REF} = +2.500V$ ,  $f_{CLK} = 7.6MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

## 端子説明

端子		名称	機能
MAX1090	MAX1092		
1	1	HBEN	ハイバイトイネーブル。10ビット変換結果を多重化するために使用されます。 1：2つのMSBがデータバス上で多重化されます。 0：8つのLSBがデータバス上で提供されます。
2	2	D7	スリーステートデジタル/Oライン(D7)
3	3	D6	スリーステートデジタル/Oライン(D6)
4	4	D5	スリーステートデジタル/Oライン(D5)
5	5	D4	スリーステートデジタル/Oライン(D4)
6	6	D3	スリーステートデジタル/Oライン(D3)
7	7	D2	スリーステートデジタル/Oライン(D2)
8	8	D1/D9	スリーステートデジタル/Oライン(D1、HBEN = 0; D9、HBEN = 1)
9	9	D0/D8	スリーステートデジタル/Oライン(D0、HBEN = 0; D8、HBEN = 1)
10	10	$\overline{\text{INT}}$	$\overline{\text{INT}}$ は変換が完了して出力データが準備できた時にローになります。
11	11	$\overline{\text{RD}}$	アクティブロー読取り選択。 $\overline{\text{CS}}$ がローの場合、 $\overline{\text{RD}}$ の立下がりエッジでデータバス上の読取り動作をイネーブルします。
12	12	$\overline{\text{WR}}$	アクティブロー書込選択。内部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の立下がりエッジで構成データがラッチインされて、アキュイジション及び変換サイクルが始まります。外部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の最初の立下がりエッジでアキュイジションが終了して変換が始まります。
13	13	CLK	クロック入力。外部クロックモードの場合、TTL/CMOSコンパチブルクロックでCLKを駆動して下さい。内部クロックモードの場合、このピンを $V_{\text{DD}}$ 又はGNDに接続して下さい。
14	14	$\overline{\text{CS}}$	アクティブローチップセレクト。 $\overline{\text{CS}}$ がハイの場合、デジタル出力( $\overline{\text{INT}}$ 、D7~D0)はハイインピーダンスになります。
15	—	CH7	アナログ入力チャンネル7
16	—	CH6	アナログ入力チャンネル6
17	—	CH5	アナログ入力チャンネル5
18	—	CH4	アナログ入力チャンネル4
19	15	CH3	アナログ入力チャンネル3
20	16	CH2	アナログ入力チャンネル2
21	17	CH1	アナログ入力チャンネル1
22	18	CH0	アナログ入力チャンネル0
23	19	COM	アナログ入力のグラウンドリファレンス。シングルエンドモードにおけるゼロコード電圧を設定します。変換中は $\pm 0.5\text{LSB}$ まで安定していることが必要です。
24	20	GND	アナログ及びデジタルグラウンド
25	21	REFADJ	バンドギャップリファレンス出力/バンドギャップリファレンスバッファ入力。0.01 $\mu\text{F}$ のコンデンサでGNDにバイパスして下さい。外部リファレンスを使用する場合は、REFADJを $V_{\text{DD}}$ に接続して内部バンドギャップリファレンスをディセーブルして下さい。
26	22	REF	バンドギャップリファレンスバッファ出力/外部リファレンス入力。内部リファレンスを使用する場合は、4.7 $\mu\text{F}$ コンデンサをGNDに追加して下さい。
27	23	$V_{\text{DD}}$	アナログ+5V電源。0.1 $\mu\text{F}$ のコンデンサでGNDにバイパスして下さい。
28	24	$V_{\text{LOGIC}}$	デジタル電源。 $V_{\text{LOGIC}}$ はデータコンバータのデジタル出力を駆動します。許容範囲は+2.7V~ $V_{\text{DD}}$ + 300mVです。



# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

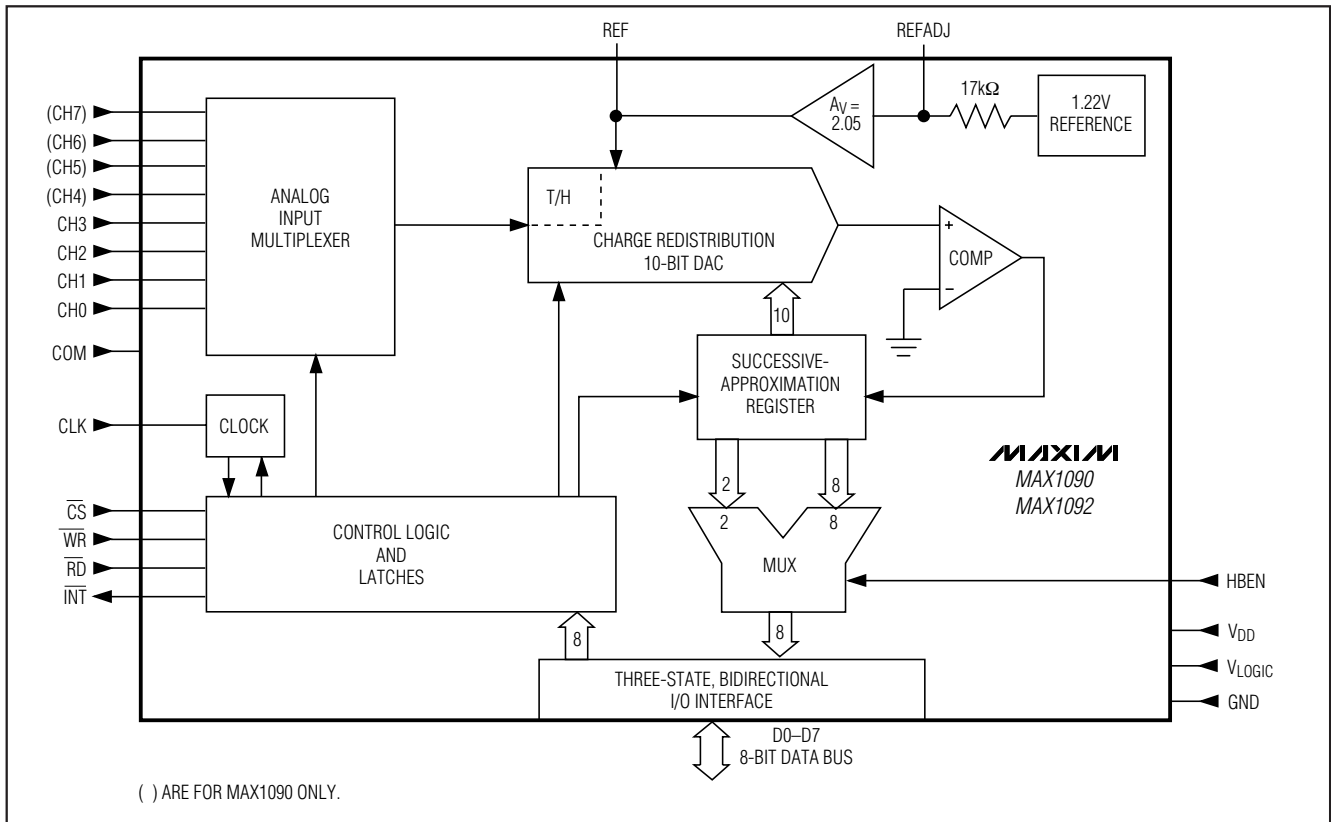


図2. 8/4チャンネルMAX1090/MAX1092の簡略機能図

## 詳細

### コンバータの動作

MAX1090/MAX1092 ADCは、逐次比較型(SAR)及び入力トラック/ホールド(T/H)段を使用して、アナログ入力信号を10ビットデジタル出力に変換します。パラレル8+2出力フォーマットにより、標準マイクロプロセッサ(μP)へのインタフェースが容易になっています。図2に、MAX1090/MAX1092の内部構造の略図を示します。

### シングルエンド及び擬似差動動作

図3a及び図3bに、このADCのアナログコンパレータのサンプリング構造を入力等価回路で示します。シングルエンドモードでは、MAX1090の場合IN+がチャンネルCH0~CH7にスイッチングされ(図3a)、MAX1092ではCH0~CH3にスイッチングされ(図3b)、IN-はCOMにスイッチングされます(表3)。差動モードでは、IN+及びIN-はアナログ入力ペアの中から選択されます(表4)。

差動モードのIN-及びIN+は、アナログ入力のどちらかに内部でスイッチングされます。この構成では、IN+における信号だけがサンプリングされるため擬似差動と呼ばれています。リターン側(IN-)は、変換中GNDに対して $\pm 0.5$ LSB(最良の性能を得るには $\pm 0.1$ LSB)以内で安定している必要があります。これを実現するには、(選択した入力)IN-とGNDの間に0.1μFのコンデンサを接続して下さい。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルにより、コンデンサ $C_{HOLD}$ が充電されます。アキュイジション期間の終了時にT/Hスイッチが開き、 $C_{HOLD}$ の電荷をIN+の信号のサンプルとして保持します。変換期間は、入力マルチプレクサが $C_{HOLD}$ を正入力(IN+)から負入力(IN-)にスイッチングした時から始まります。このため、コンパレータの正入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを10ビット分解能の制限範囲で0Vに調整します。これは12pF [(VIN+) - (VIN-)]の電荷を $C_{HOLD}$ からバイナリ重み付容量性DACに移すことと等価です。これにより、アナログ入力信号のデジタル表示が生成されます。

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

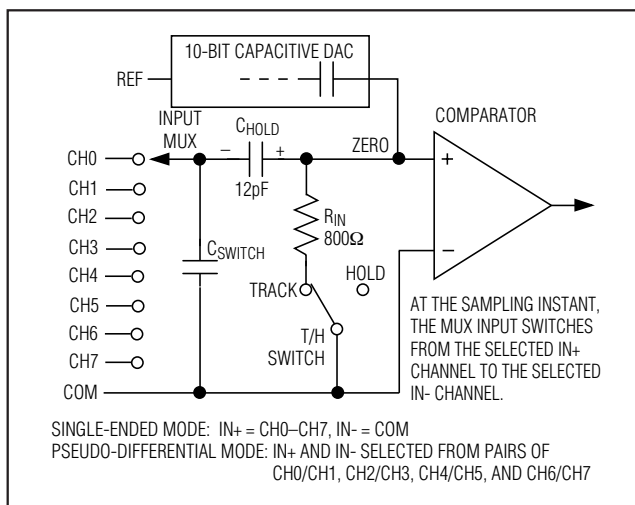


図3a. MAX1090の入力構造の略図

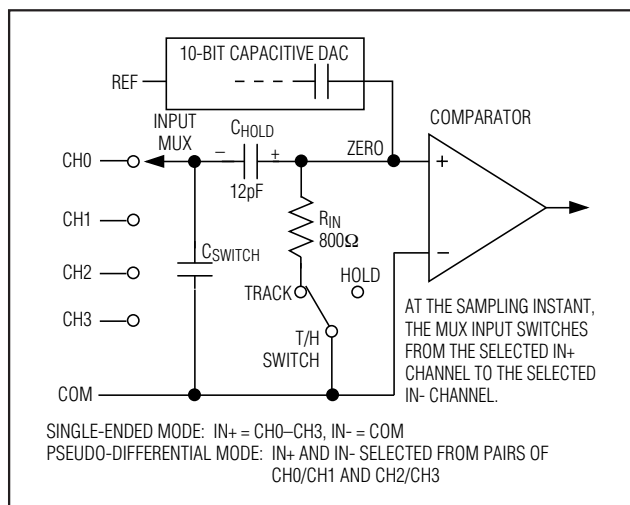


図3b. MAX1092の入力構造の略図

## アナログ入力保護

内部保護ダイオードによりアナログ入力が $V_{DD}$ 及びGNDにクランプされているため、各チャンネル入力ピンは $(GND - 300mV) \sim (V_{DD} + 300mV)$ の範囲で損傷を起こすことなくスイングできます。但し、フルスケール付近で正確な変換を行うために、どの入力も $(V_{DD} + 50mV)$ を超えないようにし、且つ $(GND - 50mV)$ を下回らないようにして下さい。

オフチャンネルアナログ入力電圧が電源電圧を50mV以上超えた場合は、順方向バイアス入力電流を4mAまでに制限して下さい。

## トラック/ホールド

MAX1090/MAX1092のT/H段は、 $\overline{WR}$ の立上がりエッジでトラックモードに入ります。外部アキュイジションモードでは、 $\overline{WR}$ の次の立上がりモードでホールドモードに入ります。内部アキュイジションモードでは、制御バイトを書き込んでから4つめのクロックの立下がりエッジでホールドモードに入ります。内部クロックモードにおいては、これは制御バイトを書き込んだ後約1 $\mu$ s後に起こります。

シングルエンド動作の場合は、IN-がCOMに接続され、コンバータは正(+)入力をサンプリングします。擬似差動動作の場合は、IN-が負入力(-)に接続され、 $|(IN+) - (IN-)|$ の差がサンプリングされます。次の変換開始時に、正入力が再びIN+に接続され、 $C_{HOLD}$ は入力信号電圧まで充電されます。

T/H段が入力信号を取込むために要する時間は、入力容量が充電される速度によって異なります。入力信号のソースインピーダンスが高いとアキュイジション時間が長くなるため、変換する間の時間を長くする必要があります。

まず、アキュイジション時間 $t_{ACQ}$ は、デバイスが信号を取込むために要する最大時間であり、同時に信号の取込みに必要な最小時間にもなっています。これは、次式で計算できます。

$$t_{ACQ} = 7(R_S + R_{IN})C_{IN}$$

ここで、 $R_S$ は入力信号のソースインピーダンス、 $R_{IN}$ (800 $\Omega$ )は入力抵抗、 $C_{IN}$ (12pF)はADCの入力容量です。ソースインピーダンスが3k $\Omega$ 以下であれば、MAX1090/MAX1092のAC性能に大きな影響を与えません。

0.01 $\mu$ Fのコンデンサが個別のアナログ入力に接続されている場合は、これ以上のソースインピーダンスも使用できます。この入力インピーダンスとこのコンデンサは、RCフィルタを形成し、ADCの信号帯域幅を制限します。

## 入力帯域幅

MAX1090/MAX1092のT/H段はフルリニア帯域幅が350kHz、フルパワー帯域幅が6MHzであるため、アンダーサンプリング技法を使用することにより高速の過渡現象の数値化を行い、帯域幅がADCのサンプリング速度以上の帯域の周期信号を測定できます。高周波数信号が計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングを推奨します。

## 変換開始方法

変換は制御バイトを書き込むことによって開始して下さい。制御バイトはマルチプレクサチャンネルを選択し、MAX1090/MAX1092をユニポーラ又はバイポーラで動作するよう設定します。書込パルス( $\overline{WR} + \overline{CS}$ )は、アキュイジション期間を開始することも、アキュイジション

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

+変換を開始することもできます。サンプリング期間は、アキュイジション期間の最後に始まります。入力制御バイトのACQMOD(アキュイジションモード)ビット(表1)は、信号の取込み方として内部アキュイジション及び外部アキュイジションの2種類のオプションを提供しています。内部又は外部クロックモードあるいはアキュイジションモードのいずれの場合も、変換期間は13クロックサイクルの間継続します。変換サイクル中に新しい制御バイトを書き込むと、変換が中止され、新しいアキュイジション期間が始まります。

## 内部アキュイジション

内部アキュイジションモードを選択するには、ACQMODビットをクリア(ACQMOD = 0)して制御バイトを書き込みます。この場合、持続時間が内部で設定されたアキュイジション期間が書き込みパルスによって始まります。変換は、このアキュイジション期間(3外部クロックサイクル又は内部クロックモードで約1 $\mu$ s)が終わった時に始まります(図4)。内部アキュイジションと内部クロックの組み合わせの場合、アパーチャジッタが200psに達することがあります。内部クロックジッタ仕様50psを実現したいユーザは、必ず外部アキュイジションモードを使用して下さい。

## 外部アキュイジション

サンプリングアパーチャを正確に制御する時やアキュイジション時間と変換時間を連携して制御する時は、外部アキュイジションモードを使用して下さい。ユーザは2種類

の個別の書込パルスでアキュイジション及び変換開始を制御します。ACQMOD = 1で書き込まれる最初のパルスは、長さが不定のアキュイジション期間を開始します。ACQMOD = 0で書き込まれる(制御バイト内の他の全てのビットは不変)2番目の書込パルスは、アキュイジションを終了し、WRの立上がりエッジで変換を開始します(図5)。

入力マルチプレクサのアドレスビットは、最初と2番目の書込パルスで同じ値を持っている必要があります。パワーダウンモードのビット(PD0、PD1)は、2番目の書込パルスで新しい値を使用できます(「パワーダウンモード」の項参照)。制御バイトのその他のビットを変更すると変換が破壊されることがあります。

## 変換の読取り

変換が終了し、有効な結果が使用可能になった時にMAX1090/MAX1092が $\mu$ Pにフラグを出すことができるように、標準割込み信号INTが提供されています。INTは、変換が完了して出力データの準備ができた時にローになります(図4及び図5)。INTは最初の読取りサイクルが始まった時又は新しい制御バイトが書き込まれた時にハイに戻ります。

## クロックモードの選択

MAX1090/MAX1092は、内部又は外部クロックのいずれでも動作します。制御ビットD6及びD7が内部又は外部クロックモードを選択します。その時の入力

表1. 制御バイトの機能の説明

BIT	NAME	FUNCTION
D7, D6	PD1, PD0	PD1 and PD0 select the various clock and power-down modes.
		0 0 Full Power-Down Mode. Clock mode is unaffected.
		0 1 Standby Power-Down Mode. Clock mode is unaffected.
		1 0 Normal Operation Mode. Internal clock mode is selected.
		1 1 Normal Operation Mode. External clock mode is selected.
D5	ACQMOD	ACQMOD = 0: Internal Acquisition Mode ACQMOD = 1: External Acquisition Mode
D4	SGL/DIF	SGL/DIF = 0: Pseudo-Differential Analog Input Mode SGL/DIF = 1: Single-Ended Analog Input Mode In single-ended mode, input signals are referred to COM. In pseudo-differential mode, the voltage difference between two channels is measured (Tables 2 and 3).
D3	UNI/BIP	UNI/BIP = 0: Bipolar Mode UNI/BIP = 1: Unipolar Mode In unipolar mode, an analog input signal from 0 to VREF can be converted; in bipolar mode, the signal can range from -VREF/2 to +VREF/2.
D2, D1, D0	A2, A1, A0	Address bits A2, A1, A0 select which of the 8/4 (MAX1090/MAX1092) channels is to be converted (Tables 3 and 4).

# 400ksp/s、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1090/MAX1092

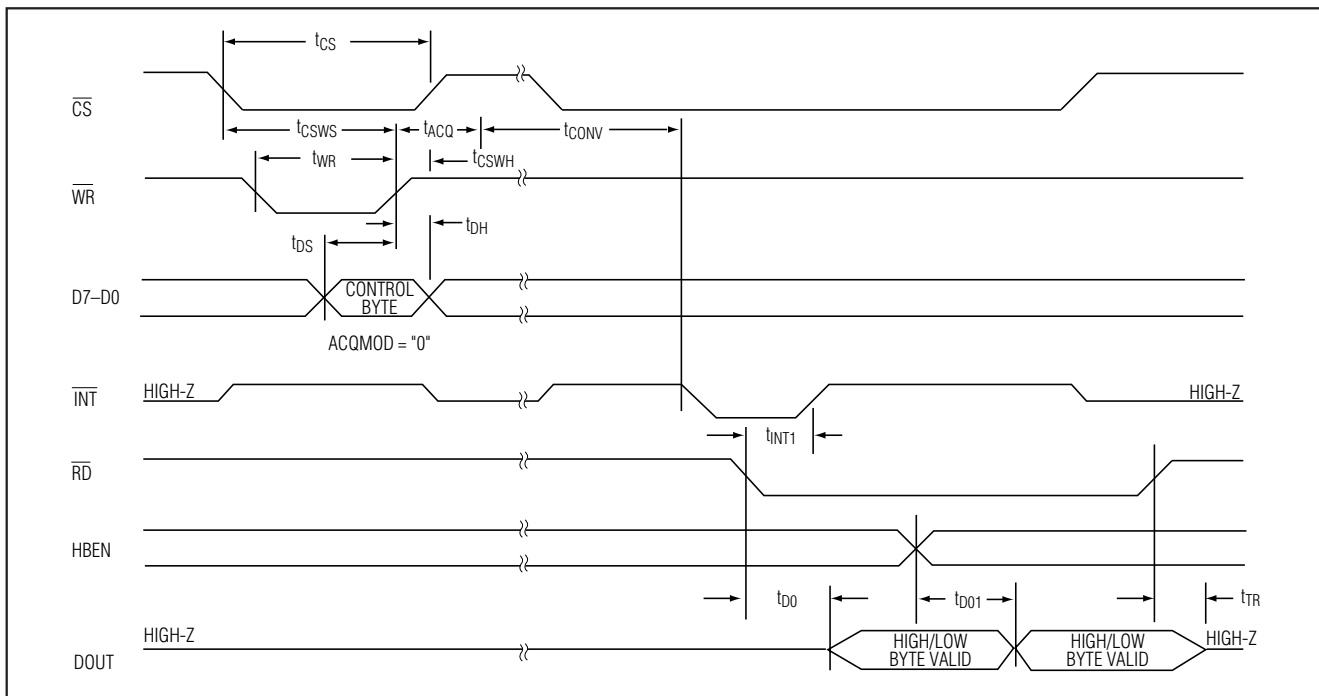


図4. 内部アキュジションモードを使用した変換のタイミング

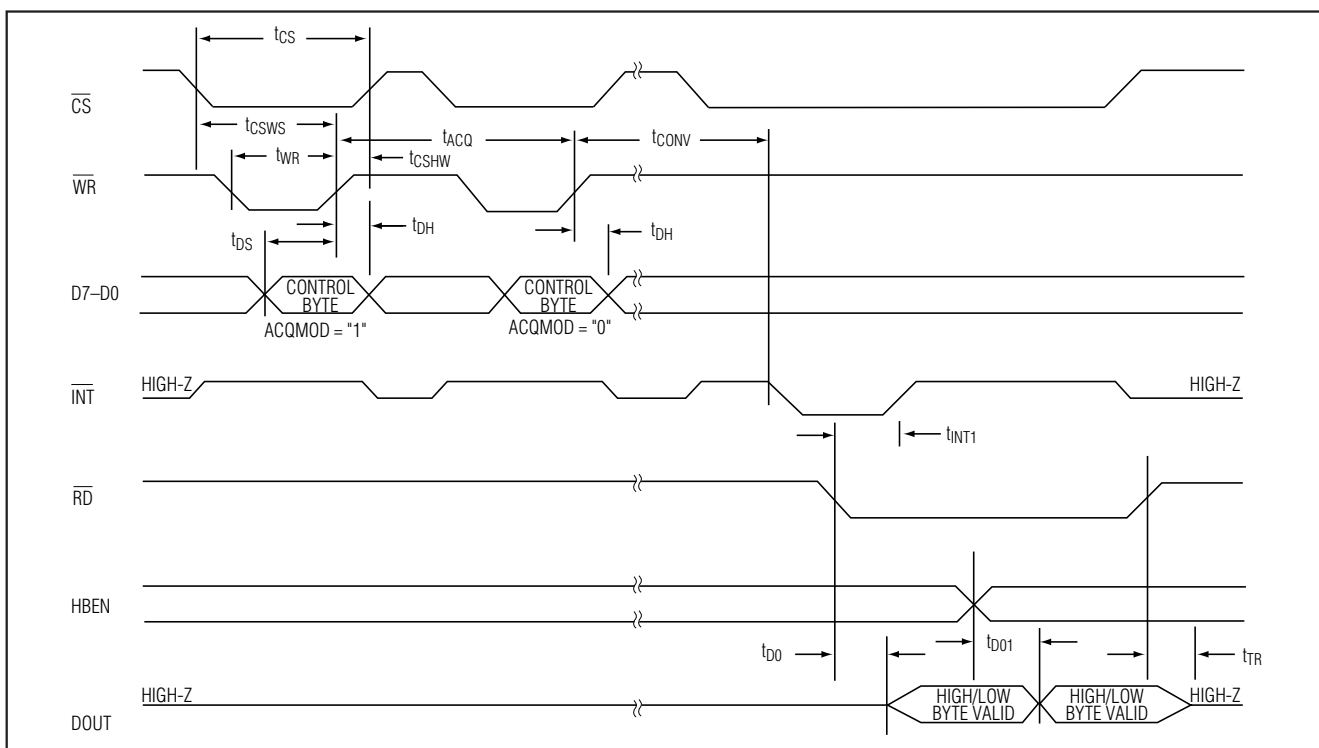


図5. 外部アキュジションモードを使用した変換のタイミング

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

ワードでパワーダウンモードが選択されると、最後に要求されたクロックモードが使用されます。内部及び外部クロックモードのいずれの場合も、内部又は外部のアクイジションのどちらでも使用できます。パワーアップ時には、MAX1090/MAX1092はデフォルトの外部クロックモードになります。

## 内部クロックモード

内部クロックモードを選択すると、SAR変換クロックをさせる役割から $\mu\text{P}$ を解放できます。このモードを選択するには、制御バイトのビットD7を1に設定し、ビットD6を0に設定する必要があります。これにより内部クロック周波数が選択され、変換時間が $3.6\mu\text{s}$ になります。

内部クロックモードを使用する場合は、CLKピンをハイ又はローに接続し、ピンがフローティングにならないようにします。

## 外部クロックモード

外部クロックモードを選択するには、制御バイトのビットD6及びD7を1に設定する必要があります。図6は、外部クロックを使用した内部(図6a)及び外部(図6b)アクイジションのクロック及びWRタイミングの関係を示しています。適正な動作のためには、デューティサイクルが30%~70%で周波数が100kHz~7.6MHzのクロックが必要です。MAX1090/MAX1092を100kHz未満のクロック周波数で動作させることは推奨

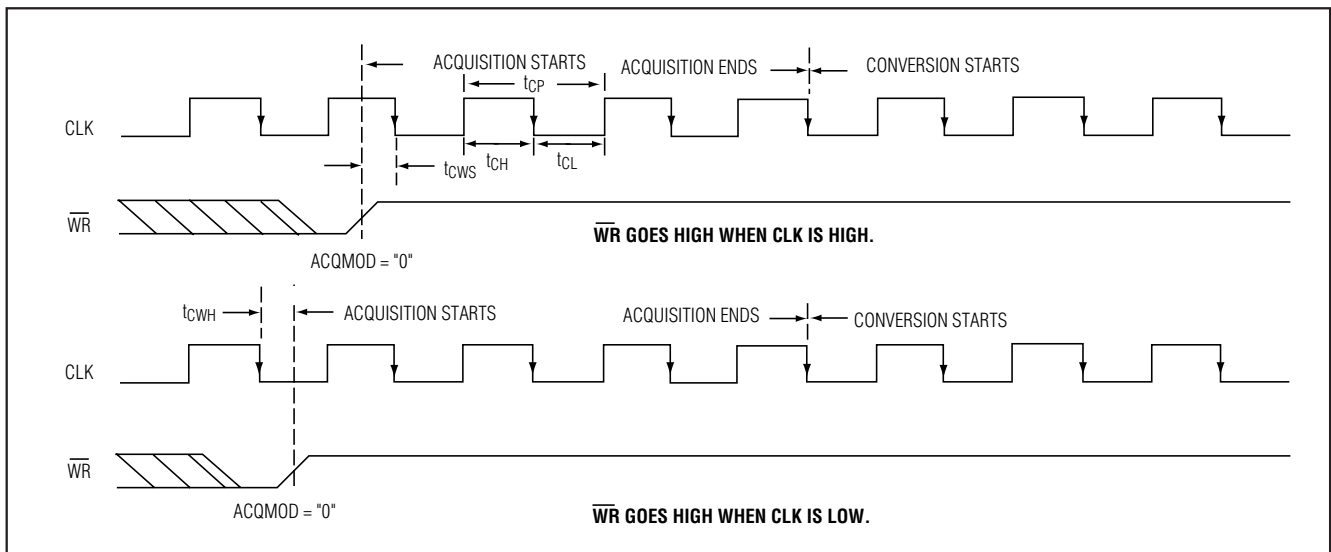


図6a. 外部クロック及び $\overline{\text{WR}}$ タイミング(内部アクイジションモード)

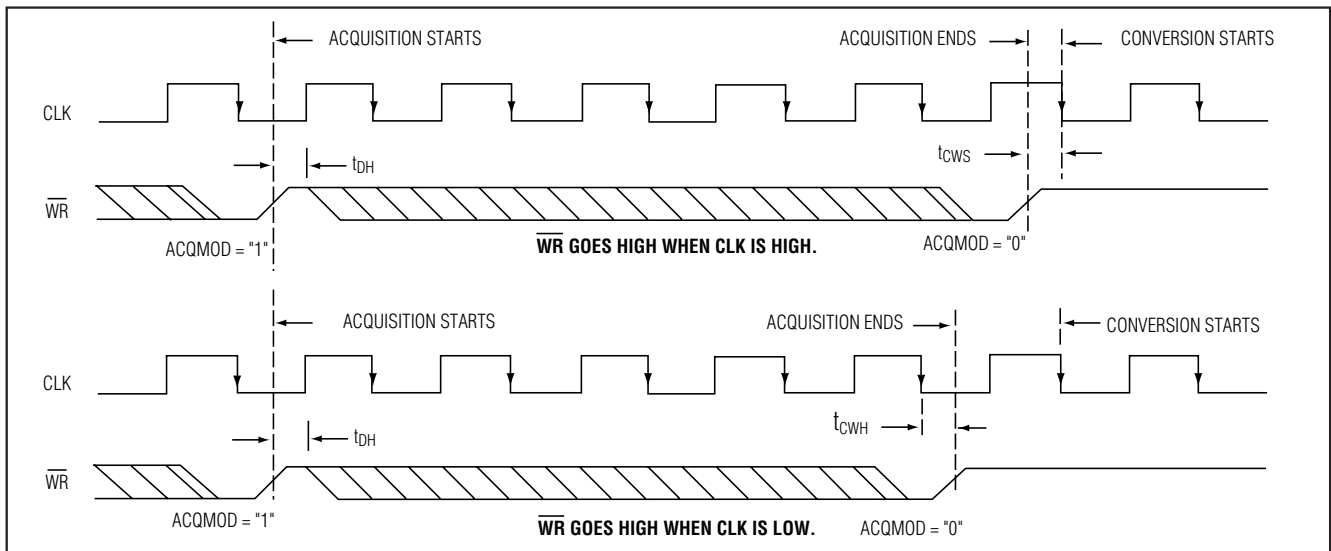


図6b. 外部クロック及び $\overline{\text{WR}}$ タイミング(外部アクイジションモード)

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

できません。このようにすると、T/H段のホールドコンデンサの両端の電圧が低下して性能が劣化するためです。

## デジタルインタフェース

入力(制御バイト)及び出力データは、スリーステートパラレルインタフェースで多重化されます。このパラレルインタフェース(I/O)は、標準の $\mu$ Pと容易にインタフェースすることができます。信号 $\overline{CS}$ 、 $\overline{WR}$ 及び $\overline{RD}$ は、書込み及び読み込み動作を制御します。 $\overline{CS}$ はチップ選択信号です。この信号によって $\mu$ PはMAX1090/MAX1092をI/Oポートとしてアドレス指定できます。 $\overline{CS}$ はハイの時にCLK、 $\overline{WR}$ 、及び $\overline{RD}$ の入力がディセーブルされ、インタフェースは強制的にハイインピーダンス(high-Z)状態になります。

## 入力フォーマット

制御バイトは書込みコマンド中にピンD7～D0にラッチされます。表2は、制御バイトのフォーマットを示しています。

## 出力フォーマット

MAX1090/MAX1092の出力フォーマットはユニポーラモードではバイナリで、バイポーラモードでは2の補数形式です。出力データを読み取る時には、 $\overline{CS}$ 及び $\overline{RD}$ はローになっている必要があります。HBEN = 0の時は、下位8ビットが読まれます。HBEN = 1の時は、上位2ビットが読取り可能になり、出力データビットD7～D2はユニポーラモードでローに設定され、バイポーラモードではMSBの値に設定されます(表5)。

表2. 制御バイトフォーマット

D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
PD1	PD0	ACQMOD	SGL/DIF	UNI/BIP	A2	A1	A0

表3. シングルエンド動作のチャンネル選択(SGL/ $\overline{DIF}$  = 1)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4*	CH5*	CH6*	CH7*	COM
0	0	0	+								-
0	0	1		+							-
0	1	0			+						-
0	1	1				+					-
1	0	0					+				-
1	0	1						+			-
1	1	0							+		-
1	1	1								+	-

\* チャンネルCH4～CH7はMAX1090のみに適用されます。

表4. 擬似差動動作のチャンネル選択(SGL/ $\overline{DIF}$  = 0)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4*	CH5*	CH6*	CH7*
0	0	0	+	-						
0	0	1	-	+						
0	1	0			+	-				
0	1	1			-	+				
1	0	0					+	-		
1	0	1					-	+		
1	1	0							+	-
1	1	1							-	+

\* チャンネルCH4～CH7はMAX1090のみに適用されます。

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

表5. データバス出力  
(8+2パラレルインタフェース)

PIN	HBEN = 0		HBEN = 1	
	Bit 0 (LSB)	Bit 8	BIPOLAR (UNI/BIP = 0)	UNIPOLAR (UNI/BIP = 1)
D0	Bit 0 (LSB)	Bit 8		
D1	Bit 1	Bit 9 (MSB)		
D2	Bit 2	Bit 9	0	0
D3	Bit 3	Bit 9	0	0
D4	Bit 4	Bit 9	0	0
D5	Bit 5	Bit 9	0	0
D6	Bit 6	Bit 9	0	0
D7	Bit 7	Bit 9	0	0

## アプリケーション情報

### パワーオンリセット

最初に電力が投入された時、内部パワーオンリセット回路がMAX1090/MAX1092を外部クロックモードで起動し、 $\overline{\text{INT}}$ をハイに設定します。電源が安定化した後の内部リセット時間は10 $\mu$ sです。この時に変換を行わないで下さい。内部リファレンスを使用する場合は、 $V_{\text{REF}}$ が安定するのに500 $\mu$ sを要します。

### 内部及び外部リファレンス

MAX1090/MAX1092は、内部又は外部リファレンス電圧を使用できます。外部リファレンス電圧は直接REF又はREFADJに接続できます。

いずれの素子も内部バッファはREFで+2.5Vを供給するように設計されています。内部でトリミングされた+1.22Vのリファレンスは、利得+2.05V/Vでバッファされています。

### 内部リファレンス

内部リファレンスを使用した場合、フルスケール範囲はユニポーラ入力で+2.5V、バイポーラ入力では $\pm 1.25$ Vです。内部リファレンスバッファは、リファレンス電圧の微調整( $\pm 100$ mV)が可能になっています(図7)。

**注記:** リファレンスバッファはREF及びGNDの間に接続されている外部コンデンサ(4.7 $\mu$ F min)で補償し、リファレンスノイズとADCからのスイッチングスパイクを低減する必要があります。更にリファレンスノイズを小さくするには、REFADJ及びGNDの間に0.01 $\mu$ Fのコンデンサを接続して下さい。

### 外部リファレンス

MAX1090/MAX1092では、内部リファレンスバッファアンプの入力(REFADJ)又は出力(REF)に外部リファレンスを接続できます。

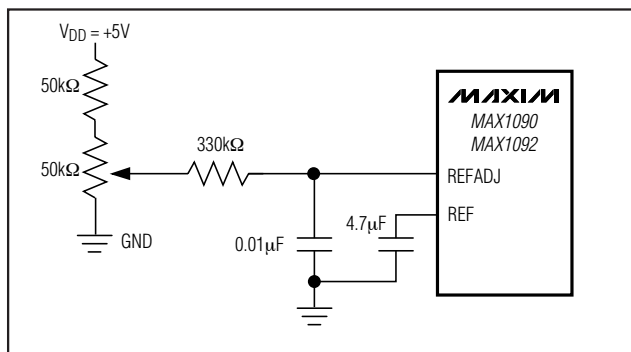


図7. 外部ポテンショメータを使用したリファレンス電圧調整

REFADJ入力を使用すると、外部リファレンスのバッファリングが不要になります。REFADJの入力インピーダンスは17k $\Omega$ (typ)です。

外部リファレンスをREFに印可する場合は、REFADJを $V_{\text{DD}}$ に接続して内部リファレンスバッファをディセーブルして下さい。REFにおけるDC入力抵抗は25k $\Omega$ です。このため、REFにおける外部リファレンスは変換中に最大200 $\mu$ AのDC負荷電流を供給し、出力インピーダンスが10 $\Omega$ 以下であることが必要です。リファレンスの出力インピーダンスがこれより大きかったり、ノイズが大きい場合は、REFピンの近くで4.7 $\mu$ Fのコンデンサを使用してバイパスして下さい。

### パワーダウンモード

変換の合間にコンバータを低電流シャットダウン状態にすることによって電力を節約して下さい。制御バイトのビットD6及びD7を使用して、スタンバイモード又はシャットダウンモードを選択して下さい(表1及び表2)。いずれのソフトウェアパワーダウンモードにおいても、パラレルインタフェースはアクティブのままになりますが、ADCは変換しません。

### スタンバイモード

スタンバイモード中の消費電流は1mA(typ)になります。デバイスは次のWRの立上がりエッジでパワーアップし、変換できるようになります。このようにターンオンが速いため、400ksps以下の変換速度における消費電力を大幅に削減できます。

### シャットダウンモード

シャットダウンモードは、自己消費電流を流すチップ機能全てをオフにして、その時の変換の完了直後に標準消費電流を2 $\mu$ Aに低下させます。MAX1090/MAX1092はWRの立上がりエッジでシャットダウンモードを終了し、通常の動作に戻ります。4.7 $\mu$ Fのリファレンスバイパスコンデンサを使用してフル10ビット精度を実現するには、パワーアップ後500 $\mu$ sを要します。この

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

500 $\mu$ sの間、フルパワーモードではなくスタンバイモードで待機することにより、消費電力を3分の1以下に減らすことができます。外部リファレンスを使用する場合、パワーアップ後に必要な時間は僅か50 $\mu$ sです。スタンバイモードに入るには、制御バイトでスタンバイモードを指定してダミーの変換を行って下さい。

注記：REFとGNDの間に4.7 $\mu$ Fより大きいバイパスコンデンサを使用すると、パワーアップ遅延時間が長くなります。

## 伝達関数

表6は、ユニポーラモード及びバイポーラモードのフルスケールの電圧範囲を示しています。

図8は公称ユニポーラ入力/出力(I/O)伝達関数を示し、図9はバイポーラ入力/出力(I/O)伝達関数を示しています。コード遷移は連続する整数のLSB値同士の間で発生します。出力コードはバイナリで、1LSB =  $V_{REF}/1024$ です。

## 最大サンプリングレート/ 475kspsを実現する方法

最大クロック周波数7.6MHzで動作している時、19クロックサイクルごとに変換を完了することによって仕様のスループット400kspsを実現できます。この19サイクルは、1書込サイクル、3アキュイジションサイクル、13変換サイクル、及び2読取りサイクルで構成されます。ここでは、次の制御バイトが書き込まれる前に最後の変換結果が読み取られることが想定されています。さらに速くするために、次の変換のアキュイジションサイクルを開始するための制御ワードを先に書き込んで、その後バスから前の変換結果を読み取るようにすると、最大475kspsのスループットを達成できます(図10)。この技法を使用した場合、変換は16クロックサイクルごとに完了します。アキュイジション中又は変換中にデータバスでスイッチングが起こると電源ノイズが増加して真の10ビット性能が達成しにくい場合があることに注意して下さい。

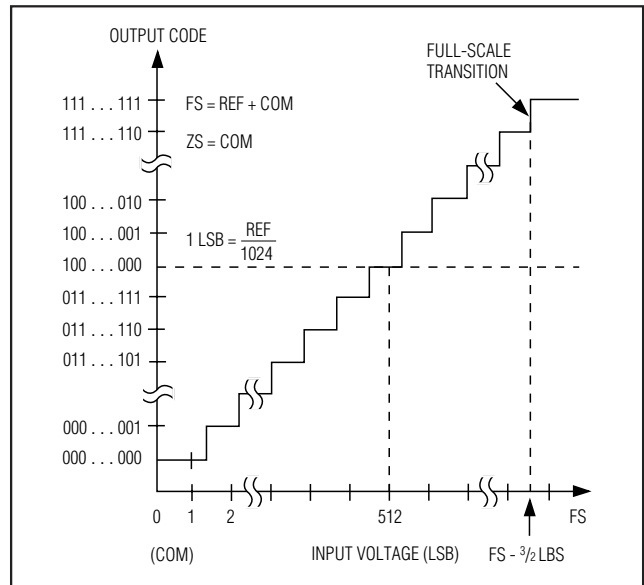


図8. ユニポーラ伝達関数

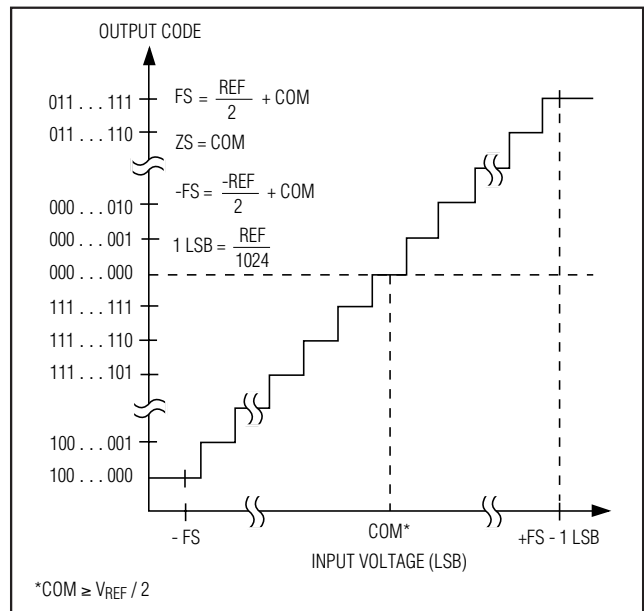


図9. バイポーラ伝達関数

表6. ユニポーラ及びバイポーラ動作におけるフルスケールとゼロスケール

UNIPOLAR MODE		BIPOLAR MODE	
Full Scale	$V_{REF} + COM$	Positive Full Scale	$V_{REF}/2 + COM$
Zero Scale	COM	Zero Scale	COM
—	—	Negative Full Scale	$-V_{REF}/2 + COM$



# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## レイアウト、グランド、及びバイパス

最高の性能を得るには、プリント回路基板を使用して下さい。ワイヤラップ構成は推奨できません。これは、レイアウト上アナログ配線とデジタル配線を適切に分離させる必要があるためです。アナログラインとデジタルラインを互いに並行に配置したり、デジタルラインをADCパッケージの下に配置することは避けて下さい。アナログとデジタルのプリント基板グランド部分は別々にして、2つのグランドシステム(アナログとデジタル)が1つのスターポイント(図11)だけで接続されるようにして下さい。ノイズを排除するには、このスターグランドから電源へのリターン経路が低インピーダンスで、できるだけ短くなるようにして下さい。デジタル信号は敏感なアナログ入力及びリファレンス入力からできるだけ離すようにして下さい。

電源( $V_{DD}$ )の高周波ノイズがADCの高速コンパレータの適切な動作を妨げることがあります。MAX1090/MAX1092の電源ピンにできるだけ近いところで並列の0.1 $\mu$ F及び4.7 $\mu$ Fコンデンサを使用して、 $V_{DD}$ をスターグランドにバイパスして下さい。最高の電源ノイズ除去比を得るために、コンデンサのリード線をできる

だけ短くし、電源のノイズが特に大きい場合には減衰抵抗(5 $\Omega$ )を接続して下さい。

## 用語の定義

### 積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートラインフィットあるいはオフセット及び利得誤差をヌル(ゼロ)にした後に、伝達関数のエンドポイント間を結んだ線です。MAX1090/MAX1092の静的直線性パラメータは、エンドポイント法を使用して測定されます。

### 微分非直線性

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNL誤差の仕様が1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

### アパーチャジッタ

アパーチャジッタ( $t_{AJ}$ )は、サンプルとサンプル間の時間のばらつきです。

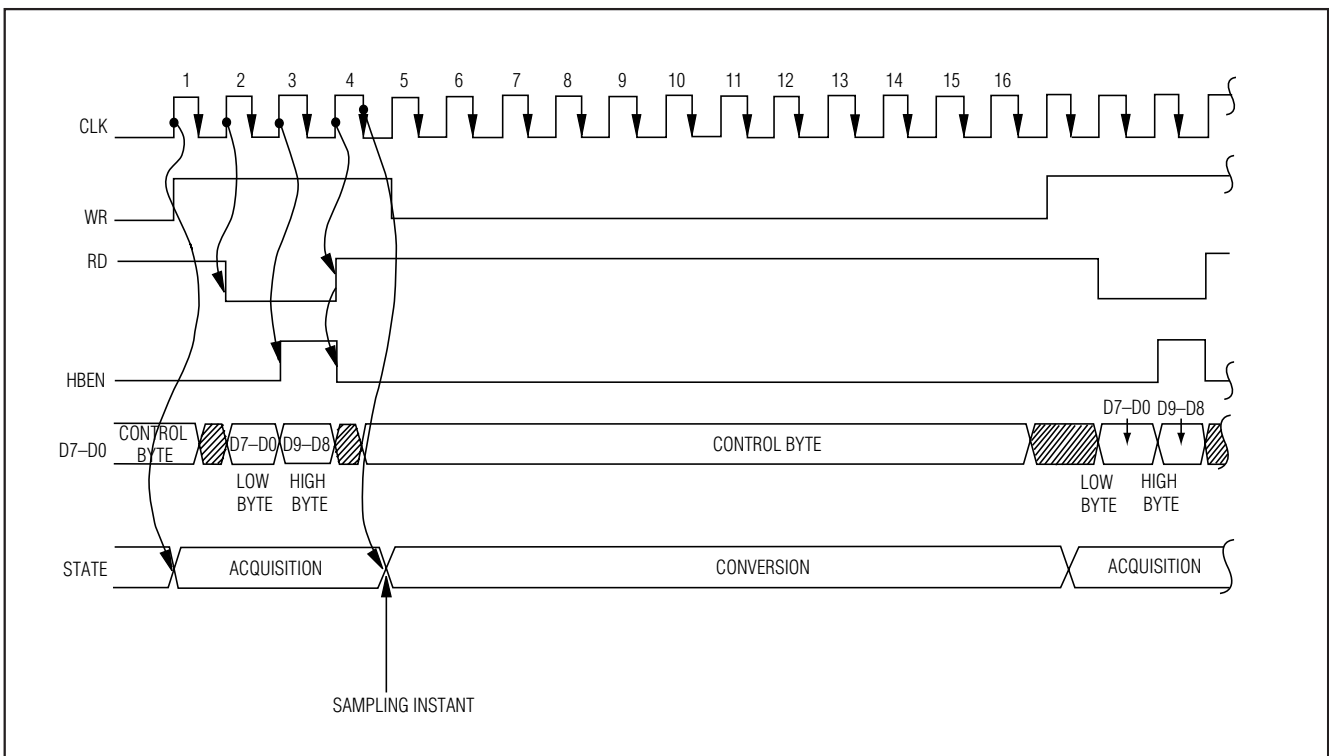


図10. 最も速い変換のタイミング図

# 400ksps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

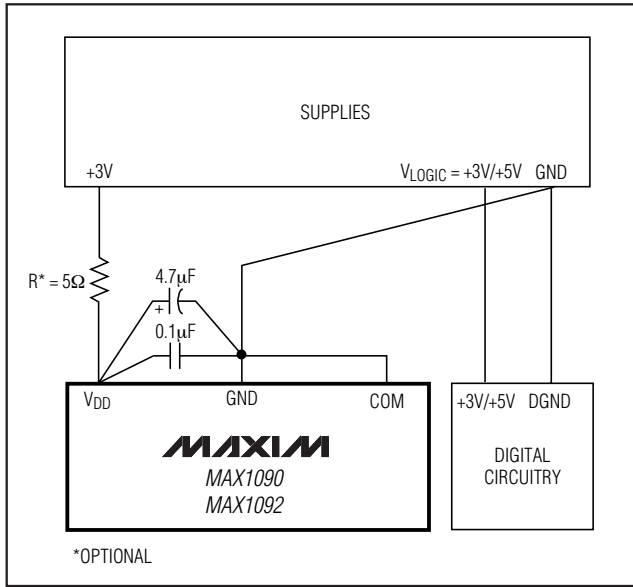


図11. 電源及びグラウンドの接続

## アパーチャディレイ

アパーチャディレイ( $t_{AD}$ )は、サンプリングクロックの立上がりエッジと実際にサンプルが取られる瞬間の間の時間です。

## 信号対雑音比

デジタルサンプルから完璧に再構築された波形の場合、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR = (6.02 \cdot N + 1.76) \text{dB}$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズ源があります。このため、SNRを計算する時はRMS信号とRMSノイズの比をとります。RMSノイズは基本波以外の全てのスペクトラル成分、最初の5つの高調波及びDCオフセットを含みます。

## 信号対雑音+歪み

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS等価値の比です。

$$SINAD(\text{dB}) = 20 \cdot \log(\text{信号}_{\text{RMS}} / \text{ノイズ}_{\text{RMS}})$$

## 実効ビット数

実効ビット数(ENOB)は、特定の入力周波数及びサンプリングレートにおけるADCの包括的な精度です。理想的なADCの誤差は、数値化ノイズのみからなっています。入力範囲がADCのフルスケール範囲に等しい場合、ENOBは次式で計算できます。

$$ENOB = (SINAD - 1.76) / 6.02$$

## 全高調波歪み

全高調波歪み(THD)は、入力信号の2次から5次までの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \times \log \left( \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2}{V_1^2}} \right)$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

## スプリアスフリーダイナミックレンジ

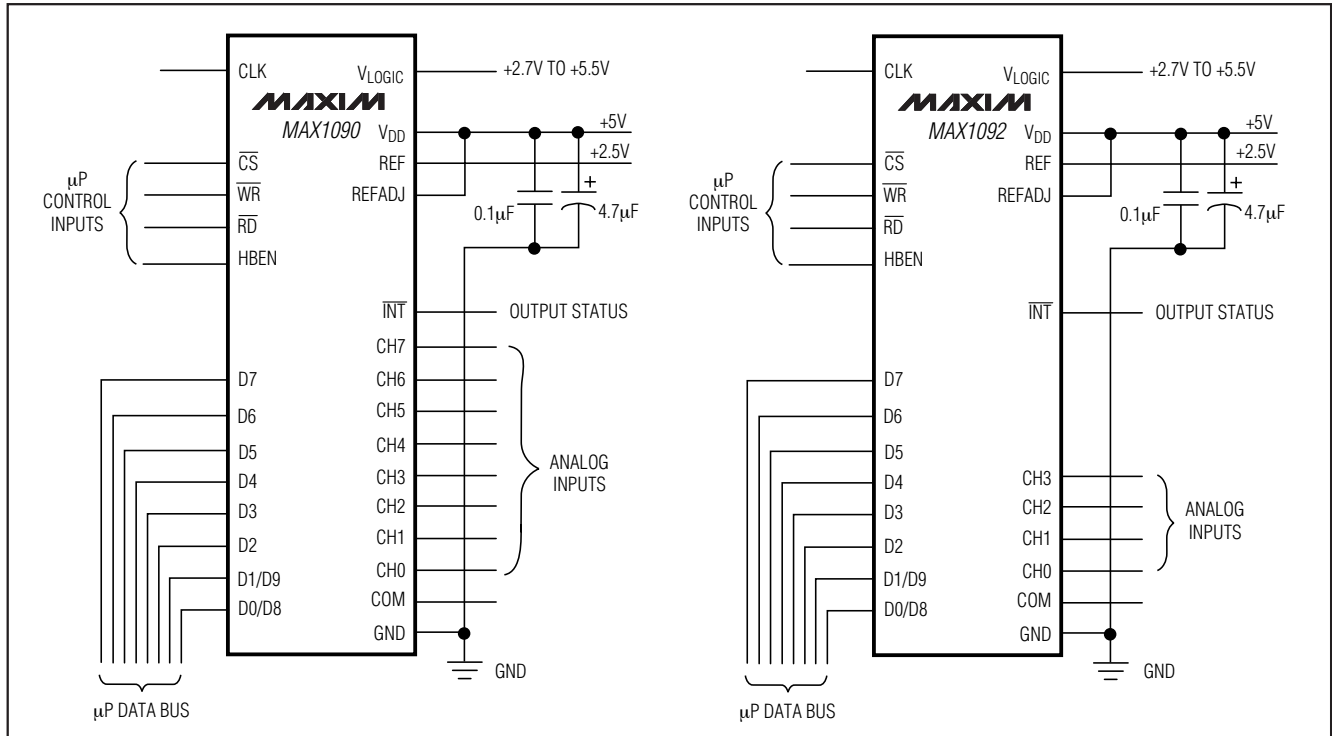
スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と次に大きな歪み成分のRMS値の比です。

## チップ情報

TRANSISTOR COUNT: 5781

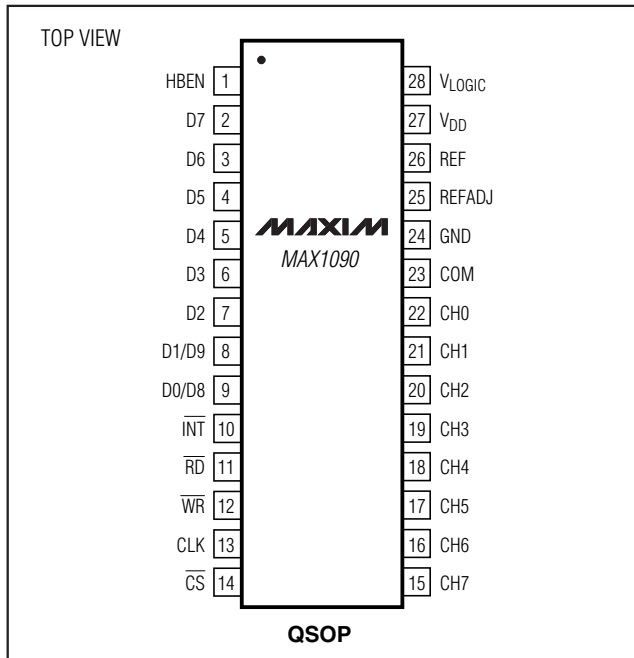
# 400kpsps、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## 標準動作回路



MAX1090/MAX1092

## ピン配置(続き)



## 型番(続き)

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1092ACEG	0°C to +70°C	24 QSOP	±0.5
MAX1092BCEG	0°C to +70°C	24 QSOP	±1
MAX1092AEEG	-40°C to +85°C	24 QSOP	±0.5
MAX1092BEEG	-40°C to +85°C	24 QSOP	±1

# 400ksp/s、+5V、8/4チャンネル、10ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.
5. MEETS JEDEC MO137.

PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0055	C	

**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2002 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.