

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビットADC

概要

MAX1082/MAX1083は、4チャンネルアナログ入力マルチプレクサ、広帯域幅トラック/ホールド(T/H)、及びシリアルインタフェースに高速変換及び低消費電力の特性を加えた10ビットアナログデジタルコンバータです。MAX1082は+4.5V~+5.5Vの単一電源で動作し、MAX1083は+2.7V~+3.6Vの単一電源で動作します。いずれもアナログ入力は、ソフトウェアの設定により、ユニポーラ/バイポーラ及びシングルエンド/擬似差動動作が可能です。

4線シリアルインタフェースは、外部ロジックを使用せずに直接SPI™、QSPI™及びMICROWIRE™機器に接続できます。シリアルストローブ出力により、TMS320ファミリのデジタル信号プロセッサに直接接続できます。MAX1082/MAX1083は外部シリアルインタフェースクロックを使用して、逐次比較型のアナログ/デジタル変換を行います。MAX1082/MAX1083は、内部+2.5Vリファレンス及び電圧調整範囲±1.5%のリファレンスバッファアンプを備えています。1V~V_{DD}範囲の外部リファレンスを使用することもできます。

MAX1082/MAX1083は、ハード配線されたSHDNピン及びソフトウェア選択による4つのパワーモード(通常動作、低電力(REDP)、高速パワーダウン(FASTPD)及びフルパワーダウン(FULLPD))を備えています。また、変換後自動的にシャットダウンするか又は低電力で動作するようにプログラムできます。パワーダウンモードを使用した場合、シリアルインタフェースにアクセスすると自動的にパワーアップし、ターンオンが速いために変換と変換の間のシャットダウンが可能となります。

MAX1082/MAX1083は、16ピンTSSOPパッケージで提供されています。

アプリケーション

- ポータブルデータロギング
- データ収集
- 医療機器
- バッテリー駆動機器
- ペンディジタイザ
- プロセス制御

標準動作回路はデータシートの最後に記載されています。

SPI及びQSPIはMotorola Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。



特長

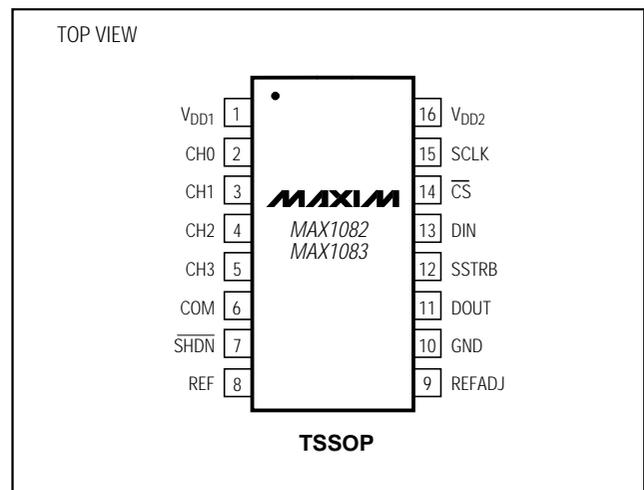
- ◆ 入力：4チャンネルシングルエンド又は2チャンネル疑似差動
- ◆ 内部マルチプレクサ及びトラック/ホールド
- ◆ 単一電源：
 - +4.5V~+5.5V(MAX1082)
 - +2.7V~+3.6V(MAX1083)
- ◆ 内部+2.5Vリファレンス
- ◆ サンプリングレート：400kHz(MAX1082)
- ◆ 低電力：2.5mA(400ksps)
 - 1.3mA(REDP)
 - 0.9mA(FASTPD)
 - 2µA(FULLPD)
- ◆ 4線シリアルインタフェース：
 - SPI/QSPI/MICROWIRE/TMS320コンパチブル
- ◆ ユニポーラ又はバイポーラ入力：ソフトウェアで設定
- ◆ パッケージ：16ピンTSSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1082ACUE	0°C to +70°C	16 TSSOP	±1/2
MAX1082BCUE	0°C to +70°C	16 TSSOP	±1
MAX1082AEUE	-40°C to +85°C	16 TSSOP	±1/2

型番はデータシートの最後に続きます。

ピン配置



内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

ABSOLUTE MAXIMUM RATINGS

V _{DD_} to GND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
V _{DD_} to V _{DD2}	-0.3V to +0.3V	16-Pin TSSOP (derate 6.7mW/°C above +70°C)	533mW
CH0-CH3, COM to GND	-0.3V to (V _{DD} - 0.3V)	Operating Temperature Ranges	
REF, REFADJ to GND	-0.3V to V _{DD} - 0.3V)	MAX1082_C_E/MAX1083_CUE	0°C to +70°C
Digital Inputs to GND	-0.3V to +6V	MAX1082_E_E/MAX1083_EUE	-40°C to +85°C
Digital Outputs to GND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-60°C to +150°C
Digital Output Sink Current	25mA	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX1082

(V_{DD1} = V_{DD2} = +4.5V to +5.5V, COM = GND, f_{OSC} = 6.4MHz, 50% duty cycle, 16 clocks/conversion cycle (400ksps), external +2.5V at REF, REFADJ = V_{DD1}, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			10			bits
Relative Accuracy (Note 2)	INL	MAX1082A			±0.5	LSB
		MAX1083B			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1.0	LSB
Offset Error					±3.0	LSB
Gain Error (Note 3)					±3.0	LSB
Gain-Error Temperature Coefficient				±1.6		ppm/°C
Channel-to-Channel Offset-Error Matching				±0.2		LSB
DYNAMIC SPECIFICATIONS (100kHz sine-wave input, 2.5Vp-p, 400ksps, 6.4MHz clock, bipolar input mode)						
Signal-to-Noise plus Distortion Ratio	SINAD			60		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-70		dB
Spurious-Free Dynamic Range	SFDR			70		dB
Intermodulation Distortion	IMD	f _{IN1} = 99kHz, f _{IN2} = 102kHz		76		dB
Channel-to-Channel Crosstalk (Note 4)		200kHz, V _{IN} = 2.5Vp-p		-78		dB
Full-Power Bandwidth		-3dB point		6		MHz
Full-Linear Bandwidth		SINAD > 58dB		350		kHz
CONVERSION RATE						
Conversion Time (Note 5)	t _{CONV}		2.5			µs
Track/Hold Acquisition Time	t _{ACQ}				400	ns
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Serial Clock Frequency	f _{SCLK}		0.5		6.4	MHz
Duty Cycle			40		60	%

内部リファレンス付、300kps/400kps、単一電源、 4チャンネルシリアル10ビット

MAX1082/MAX1083

ELECTRICAL CHARACTERISTICS—MAX1082 (continued)

($V_{DD1} = V_{DD2} = +4.5V$ to $+5.5V$, $COM = GND$, $f_{OSC} = 6.4MHz$, 50% duty cycle, 16 clocks/conversion cycle (400kps), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS (CH3–CH0, COM)						
Input Voltage Range, Single Ended and Differential (Note 6)	$V_{CH_}$	Unipolar, $V_{COM} = 0$	V_{REF}			V
		Bipolar, V_{COM} or $V_{CH_} = V_{REF}/2$, referenced to COM or $CH_$	$\pm V_{REF}/2$			
Multiplexer Leakage Current		On/off leakage current, V_{COM} $V_{CH_} = 0$ or V_{DD1}	± 0.001	± 1		μA
Input Capacitance			18			pF
INTERNAL REFERENCE						
REF Output Voltage	V_{REF}	$T_A = +25^\circ C$	2.480	2.500	2.520	V
REF Short-Circuit Current			15			mA
REF Output Temperature Coefficient	TC V_{REF}		± 15			ppm/ $^\circ C$
Load Regulation (Note 7)		0 to 1mA output load	0.05 2.0			mV/mA
Capacitive Bypass at REF			4.7 10			μF
Capacitive Bypass at REFADJ			0.01 10			μF
REFADJ Output Voltage			1.22			V
REFADJ Input Range		For small adjustments, from 1.22V	± 100			mV
REFADJ Buffer Disable Threshold		To power down the internal reference	1.4	$V_{DD1} - 1.0$		V
Buffer Voltage Gain			+2.05			V/V
EXTERNAL REFERENCE (reference buffer disabled, reference applied to REF)						
REF Input Voltage Range		(Note 8)	1.0	$V_{DD1} + 50mV$		V
REF Input Current		$V_{REF} = 2.500V$, $f_{SCLK} = f_{MAX}$	200 350		μA	
		$V_{REF} = 2.500V$, $f_{SCLK} = 0$	320			
		In full power-down mode, $f_{SCLK} = 0$	5			
DIGITAL INPUTS (DIN, SCLK, \overline{CS}, SHDN)						
Input High Voltage	V_{INH}		3.0			V
Input Low Voltage	V_{INL}		0.8			V
Input Hysteresis	V_{HYST}		0.2			V
Input Leakage	I_{IN}	$V_{IN} = 0$ or V_{DD2}	± 1			μA
Input Capacitance	C_{IN}		15			pF
DIGITAL OUTPUTS (DOUT, SSTRB)						
Output Voltage Low	V_{OL}	$I_{SINK} = 5mA$	0.4			V
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	4			V
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD2}$	± 10			μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD2}$	15			pF

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

ELECTRICAL CHARACTERISTICS—MAX1082 (continued)

($V_{DD1} = V_{DD2} = +4.5V$ to $+5.5V$, $COM = GND$, $f_{OSC} = 6.4MHz$, 50% duty cycle, 16 clocks/conversion cycle (400ksps), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Positive Supply Voltage (Note 9)	V_{DD1} , V_{DD2}		4.5		5.5	V
Supply Current	$I_{V_{DD1}} + I_{V_{DD2}}$	$V_{DD1} = V_{DD2} = 5.5V$	Normal operating mode (Note 10)	2.5	4.0	mA
			Reduced-power mode (Note 11)	1.3	2.0	
			Fast power-down mode (Note 11)	0.9	1.5	
			Full power-down mode (Note 11)	2.0	10	
Power-Supply Rejection	PSR	$V_{DD1} = V_{DD2} = 5V \pm 10\%$, midscale input		± 0.5	± 2.0	mV

ELECTRICAL CHARACTERISTICS—MAX1083

($V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$, $COM = GND$, $f_{OSC} = 4.8MHz$, 50% duty cycle, 16 clocks/conversion cycle (300ksps), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			10			bits
Relative Accuracy (Note 2)	INL	MAX1083A			± 0.5	LSB
		MAX1083B			± 1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			± 1.0	LSB
Offset Error					± 3.0	LSB
Gain Error (Note 3)					± 3.0	LSB
Gain-Error Temperature Coefficient				± 1.6		ppm/ $^{\circ}C$
Channel-to-Channel Offset-Error Matching				± 0.2		LSB
DYNAMIC SPECIFICATIONS (75kHz sine wave input, 2.5Vp-p, 300 ksps, 4.8 MHz clock, bipolar input mode)						
Signal-to-Noise plus Distortion Ratio	SINAD			60		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-70		dB
Spurious-Free Dynamic Range	SFDR			70		dB
Intermodulation Distortion	IMD	$f_{IN1} = 73kHz$, $f_{IN2} = 77kHz$		76		dB
Channel-to-Channel Crosstalk (Note 4)		$f = 150kHz$, $V_{IN} = 2.5Vp-p$		-78		dB
Full-Power Bandwidth		-3dB point		3		MHz
Full-Linear Bandwidth		SINAD > 58dB		250		kHz

内部リファレンス付、300ksps/400ksps、単一電源、 4チャンネルシリアル10ビット

MAX1082/MAX1083

ELECTRICAL CHARACTERISTICS—MAX1083 (continued)

($V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$, $COM = GND$, $f_{OSC} = 4.8MHz$, 50% duty cycle, 16 clocks/conversion cycle (300ksps), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Conversion Time (Note 5)	t_{CONV}	Normal operating mode	3.3			μs
Track/Hold Acquisition Time	t_{ACQ}	Normal operating mode			625	ns
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Serial Clock Frequency	f_{SCLK}	Normal operating mode	0.5		4.8	MHz
Duty Cycle			40		60	%
ANALOG INPUTS (CH3–CH0, COM)						
Input Voltage Range, Single Ended and Differential (Note 6)	$V_{CH_}$	Unipolar, $V_{COM} = 0$			V_{REF}	V
		Bipolar, V_{COM} or $V_{CH_} = V_{REF}/2$, referenced to COM or $CH_$			$\pm V_{REF}/2$	
Multiplexer Leakage Current		On/off leakage current, $V_{CH_} = 0$ or V_{DD1}		± 0.001	± 1	μA
Input Capacitance				18		pF
INTERNAL REFERENCE						
REF Output Voltage	V_{REF}	$T_A = +25^\circ C$	2.480	2.500	2.520	V
REF Short-Circuit Current				15		mA
REF Output Temperature Coefficient	TC V_{REF}			± 15		ppm/ $^\circ C$
Load Regulation (Note 7)		0 to 0.75mA output load		0.1	2.0	mV/mA
Capacitive Bypass at REF			4.7		10	μF
Capacitive Bypass at REFADJ			0.01		10	μF
REFADJ Output Voltage				1.22		V
REFADJ Input Range		For small adjustments, from 1.22V		± 100		mV
REFADJ Buffer Disable Threshold		To power down the internal reference	1.4		$V_{DD1} - 1$	V
Buffer Voltage Gain				+2.05		V/V
EXTERNAL REFERENCE (reference buffer disabled, reference applied to REF)						
REF Input Voltage Range		(Note 8)	1.0		$V_{DD1} + 50mV$	V
REF Input Current		$V_{REF} = 2.500V$, $f_{SCLK} = f_{MAX}$		200	350	μA
		$V_{REF} = 2.500V$, $f_{SCLK} = 0$			320	
		In full power-down mode, $f_{SCLK} = 0$			5	
DIGITAL INPUTS (DIN, SCLK, \overline{CS}, SHDN)						
Input High Voltage	V_{INH}		2.0			V
Input Low Voltage	V_{INL}				0.8	V
Input Hysteresis	V_{HYST}			0.2		V
Input Leakage	I_{IN}	$V_{IN} = 0$ or V_{DD2}			± 1	μA
Input Capacitance	C_{IN}			15		pF

内部リファレンス付、300ksp/s/400ksp/s、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

ELECTRICAL CHARACTERISTICS—MAX1083 (continued)

($V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$, $COM = GND$, $f_{OSC} = 4.8MHz$, 50% duty cycle, 16 clocks/conversion cycle (300ksp/s), external $+2.5V$ at REF, $REFADJ = V_{DD1}$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DIGITAL OUTPUTS (DOUT, SSTRB)							
Output Voltage Low	V_{OL}	$I_{SINK} = 5mA$			0.4	V	
Output Voltage High	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_{DD2} - 0.5V$			V	
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD2}$			± 10	μA	
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD2}$		15		pF	
POWER SUPPLY							
Positive Supply Voltage (Note 9)	V_{DD1}, V_{DD2}		2.7		3.6	V	
Supply Current	$I_{VDD1} + I_{VDD2}$	$V_{DD1} = V_{DD2} = 3.6V$	Normal operating mode (Note 10)		2.5	3.5	mA
			Reduced-power mode (Note 11)		1.3	2.0	
			Fast power-down mode (Note 11)		0.9	1.5	
			Full power-down mode (Note 11)		2.0	1.0	μA
Power-Supply Rejection	PSR	$V_{DD1} = V_{DD2} = 2.7V$ to $3.6V$, midscale input		± 0.5	± 2.0	mV	

TIMING CHARACTERISTICS—MAX1082

(Figures 1, 2, 5, 6; $V_{DD1} = V_{DD2} = +4.5V$ to $+5.5V$; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Period	t_{CP}		156			ns
SCLK Pulse Width High	t_{CH}		62			ns
SCLK Pulse Width Low	t_{CL}		62			ns
DIN to SCLK Setup	t_{DS}		35			ns
DIN to SCLK Hold	t_{DH}		0			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		35			ns
SCLK Rise to \overline{CS} Rise Hold	t_{CSH}		0			ns
SCLK Rise to \overline{CS} Fall Ignore	t_{CSO}		35			ns
\overline{CS} Rise to SCLK Rise Ignore	t_{CS1}		35			ns
SCLK Rise to DOUT Hold	t_{DOH}	$C_{LOAD} = 20pF$	10	20		ns
SCLK Rise to SSTRB Hold	t_{STH}	$C_{LOAD} = 20pF$	10	20		ns
SCLK Rise to DOUT Valid	t_{DOV}	$C_{LOAD} = 20pF$			80	ns
SCLK Rise to SSTRB Valid	t_{STV}	$C_{LOAD} = 20pF$			80	ns
\overline{CS} Rise to DOUT Disable	t_{DOD}	$C_{LOAD} = 20pF$	10		65	ns
\overline{CS} Rise to SSTRB Disable	t_{STD}	$C_{LOAD} = 20pF$	10		65	ns
\overline{CS} Fall to DOUT Enable	t_{DOE}	$C_{LOAD} = 20pF$			65	ns
\overline{CS} Fall to SSTRB Enable	t_{STE}	$C_{LOAD} = 20pF$			65	ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

内部リファレンス付、300kpsps/400kpsps、単一電源、 4チャンネルシリアル10ビット

MAX1082/MAX1083

TIMING CHARACTERISTICS—MAX1083

(Figures 1, 2, 5, 6; $V_{DD1} = V_{DD2} = +2.7V$ to $+3.6V$; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Period	t_{CP}		208			ns
SCLK Pulse Width High	t_{CH}		83			ns
SCLK Pulse Width Low	t_{CL}		83			ns
DIN to SCLK Setup	t_{DS}		45			ns
DIN to SCLK Hold	t_{DH}		0			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		45			ns
SCLK Rise to \overline{CS} Rise Hold	t_{CSH}		0			ns
SCLK Rise to \overline{CS} Fall ignore	t_{CSO}		45			ns
\overline{CS} Rise to SCLK Rise Ignore	t_{CS1}		45			ns
SCLK Rise to DOUT Hold	t_{DOH}	$C_{LOAD} = 20pF$	13	20		ns
SCLK Rise to SSTRB Hold	t_{STH}	$C_{LOAD} = 20pF$	13	20		ns
SCLK Rise to DOUT Valid	t_{DOV}	$C_{LOAD} = 20pF$			100	ns
SCLK Rise to SSTRB Valid	t_{STV}	$C_{LOAD} = 20pF$			100	ns
\overline{CS} Rise to DOUT Disable	t_{DOD}	$C_{LOAD} = 20pF$	13		85	ns
\overline{CS} Rise to SSTRB Disable	t_{STD}	$C_{LOAD} = 20pF$	13		85	ns
\overline{CS} Fall to DOUT Enable	t_{DOE}	$C_{LOAD} = 20pF$			85	ns
\overline{CS} Fall to SSTRB Enable	t_{STE}	$C_{LOAD} = 20pF$			85	ns
\overline{CS} Pulse Width High	t_{CSW}		100			ns

Note 1: Tested at $V_{DD1} = V_{DD2} = V_{DD(MIN)}$; COM = GND, unipolar single-ended input mode.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

Note 3: Offset nulled.

Note 4: Ground the "on" channel; sine wave is applied to all "off" channels.

Note 5: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 6: The common-mode range for the analog inputs (CH3–CH0 and COM) is from GND to V_{DD1} .

Note 7: External load should not change during conversion for specified accuracy.

Note 8: ADC performance is limited by the converter's noise floor, typically 300 μ Vp-p. An external reference below 2.5V compromises the performance of the ADC.

Note 9: Electrical characteristics are guaranteed from $V_{DD1(MIN)} = V_{DD2(MIN)}$ to $V_{DD1(MAX)} = V_{DD2(MAX)}$. For operations beyond this range, see *Typical Operating Characteristics*. For guaranteed specifications beyond the limits, contact the factory.

Note 10: AIN = midscale. Unipolar Mode. MAX1082 tested with 20pF on DOUT, 20pF on SSTRB, and $f_{SCLK} = 6.4MHz$, 0 to 5V. MAX1083 tested with same loads, $f_{SCLK} = 4.8MHz$, 0 to 3V.

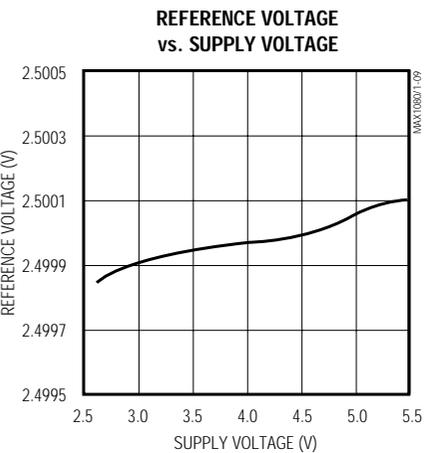
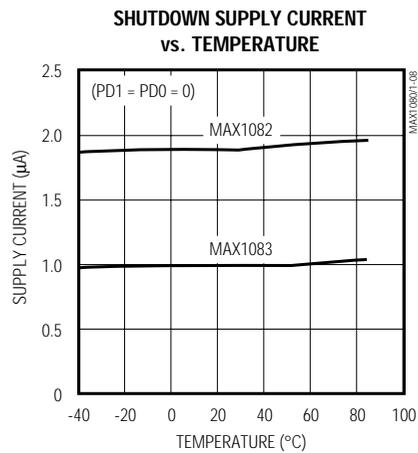
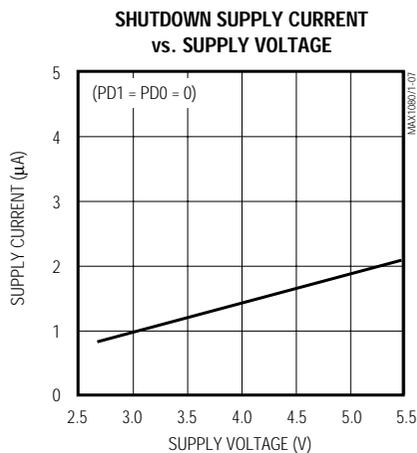
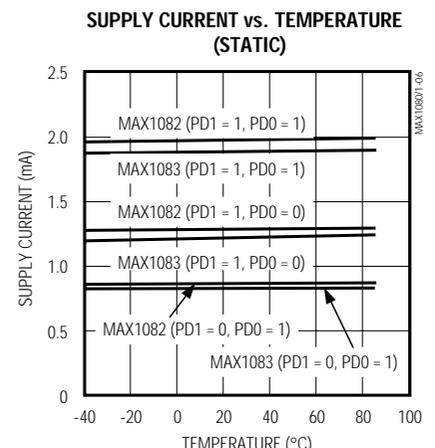
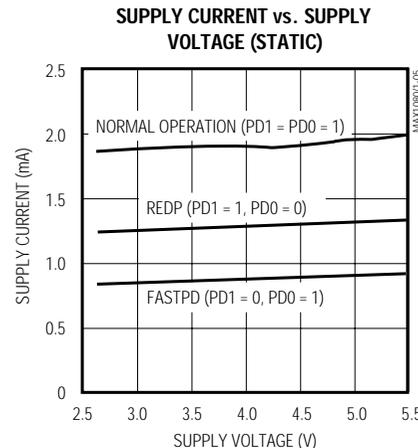
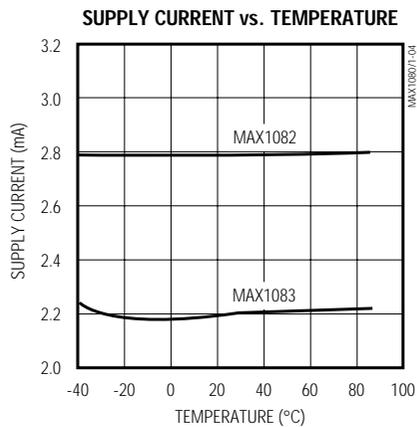
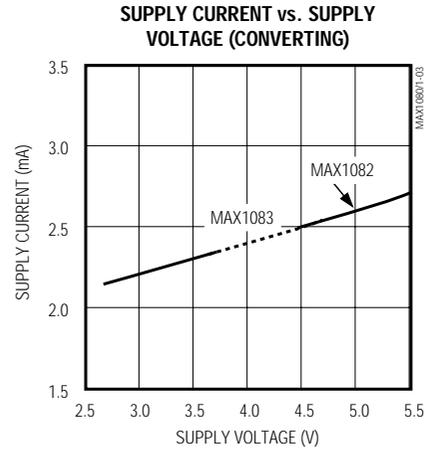
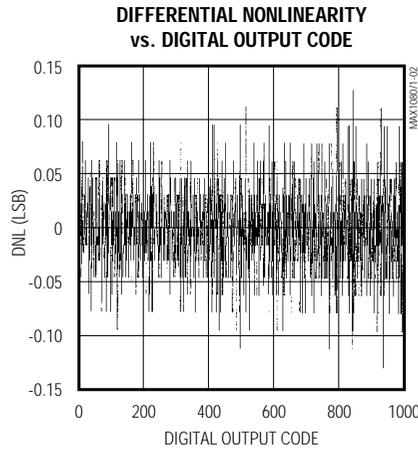
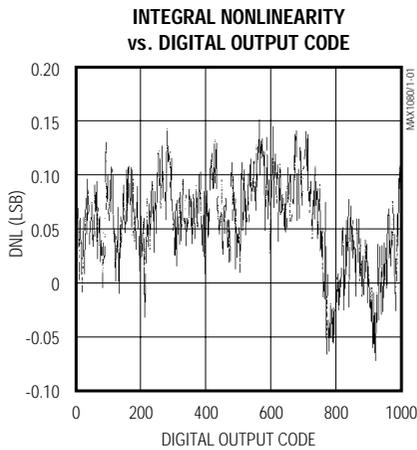
Note 11: SCLK = DIN = GND. $\overline{CS} = V_{DD1}$.

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

標準動作特性

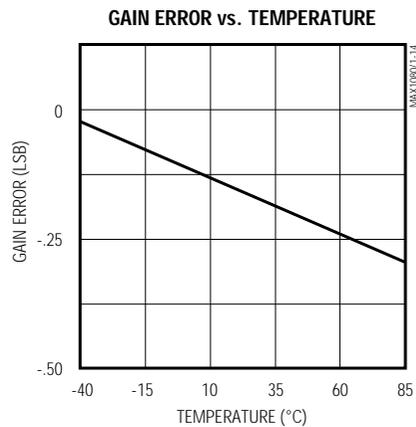
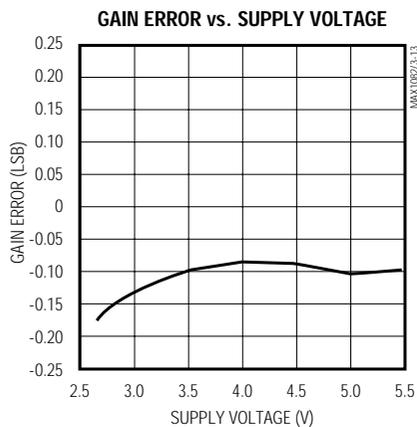
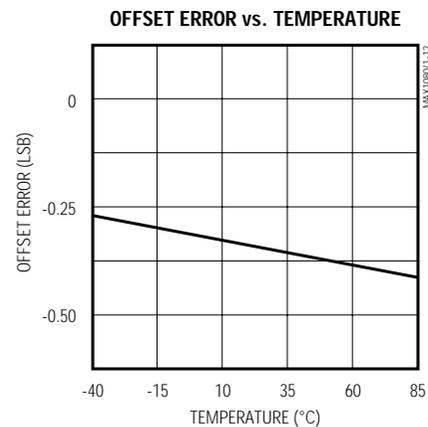
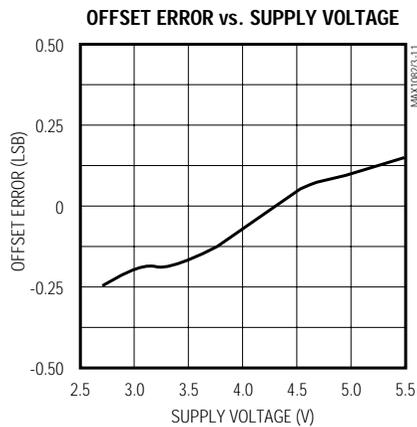
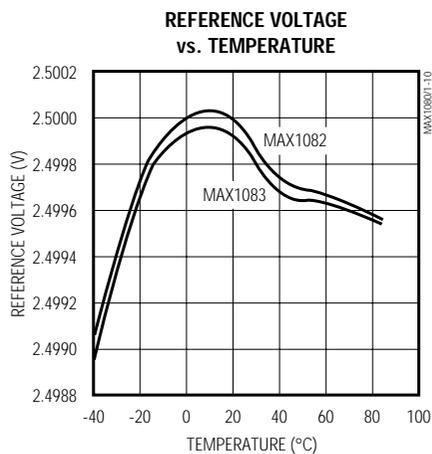
(MAX1082: $V_{DD1} = V_{DD2} = 5.0V$, $f_{SCLK} = 6.4MHz$; MAX1083: $V_{DD1} = V_{DD2} = 3.0V$, $f_{SCLK} = 4.8MHz$; $C_{LOAD} = 20pF$, $4.7\mu F$ capacitor at REF, $0.01\mu F$ capacitor at REFADJ, $T_A = +25^\circ C$, unless otherwise noted.)



内部リファレンス付、300ksp/s/400ksp/s、単一電源、4チャンネルシリアル10ビットADC

標準動作特性(続き)

(MAX1082: $V_{DD1} = V_{DD2} = 5.0V$, $f_{SCLK} = 6.4MHz$; MAX1083: $V_{DD1} = V_{DD2} = 3.0V$, $f_{SCLK} = 4.8MHz$; $C_{LOAD} = 20pF$, $4.7\mu F$ capacitor at REF, $0.01\mu F$ capacitor at REFADJ, $T_A = +25^\circ C$, unless otherwise noted.)



MAX1082/MAX1083

内部リファレンス付、300ksp/s/400ksp/s、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

端子説明

端子	名称	機能
1	V _{DD1}	正電源電圧
2-5	CH0-CH3	サンプリングアナログ入力
6	COM	アナログ入力のグランドリファレンス。COMはシングルエンドモードにおけるゼロコード電圧を設定します。±0.5LSBの安定性が必要です。
7	$\overline{\text{SHDN}}$	アクティブローシャットダウン入力。 $\overline{\text{SHDN}}$ をローにすると、デバイスはシャットダウンされ、消費電流が2 μ A(typ)に低減します。
8	REF	リファレンスバッファ出力/ADCリファレンス入力。アナログデジタル変換用の基準電圧です。内部リファレンスモードの場合、リファレンスバッファは2.500Vの公称電圧を提供し、REFADJで外部から調整できます。外部リファレンスモードではREFADJをV _{DD1} に接続することにより、内部バッファをディセーブルして下さい。
9	REFADJ	リファレンスバッファアンプへの入力。リファレンスバッファアンプをディセーブルするには、REFADJをV _{DD1} に接続して下さい。
10	GND	グランド
11	DOUT	シリアルデータ出力。データは、SCLKの立上がりエッジで同期出力されます。 $\overline{\text{CS}}$ がハイの時ハイインピーダンスになります。
12	SSTRB	シリアルストロブ出力。SSTRBはMSBの決定前に1クロックサイクルだけパルスのハイになります。 $\overline{\text{CS}}$ がハイの時は、ハイインピーダンスになります。
13	DIN	シリアルデータ入力。データはSCLKの立上がりエッジで同期入力されます。
14	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローでない限り、データはDINにクロック入力されません。 $\overline{\text{CS}}$ ハイの時、DOUT及びSSTRBはハイインピーダンスになります。
15	SCLK	シリアルクロック入力。シリアルインタフェースのデータを同期入力又は出力し、変換速度も設定します。(デューティサイクルは、40%~60%でなければなりません。)
16	V _{DD2}	正電源電圧

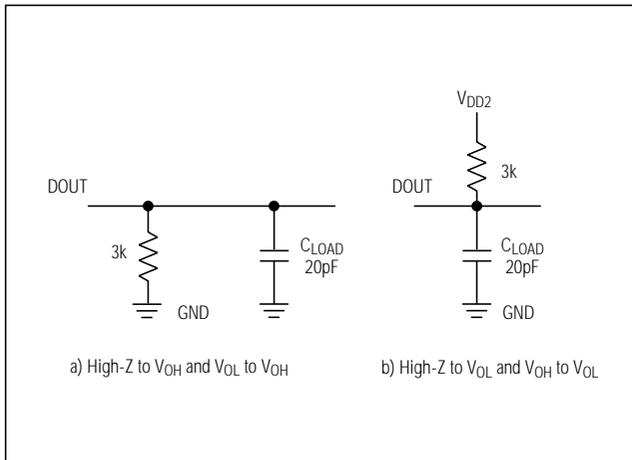


図1. イネーブル時間用の負荷回路

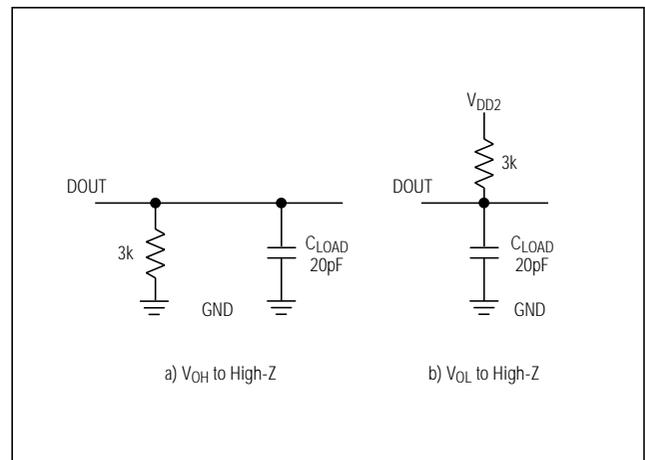


図2. ディセーブル時間用の負荷回路

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビット

詳細

MAX1082/MAX1083 ADCは、逐次比較型の変換技法及び入力トラック/ホールド(T/H)回路を使用することにより、アナログ信号を10ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースがマイクロプロセッサ(μP)とのインタフェースを容易にしています。図3にMAX1082/MAX1083のブロック図を示します。

疑似差動入力

MAX1082/MAX1083のアナログコンパレータのサンプリング構造はT/H、入力マルチプレクサ、入力コンパレータ、スイッチトコンデンサDAC及びリファレンスからなり、図4の等価入力回路に図解されています。

シングルエンドモードにおいて、正入力(IN+)は選択された入力チャンネルにスイッチングされ、負入力(IN-)はCOMにスイッチングされます。差動モードでは、IN+及びIN-はCH0/CH1及びCH2/CH3の2つの組み合わせから選択されます。チャンネルの設定は、表1及び表2を参考に行ってください。

MAX1082/MAX1083の入力構成は、IN+における信号だけがサンプリングされるため、疑似差動と呼ばれています。リターン側(IN-)は変換中にサンプリングコンデンサに接続され、AGNDに対して±0.5LSB(最良の結果を得るには±0.1LSB)以内で安定している必要があります。

変動する信号が選択されたIN-に印加されている場合、精度を保つために振幅と周波数が制限されている必要があります。次式は、±0.5LSBの精度を保つために必要な最大信号振幅と周波数の関係を示しています。IN-の

信号がサイン波であると仮定すると、入力電圧は次式で決まります。

$$V_{IN-} = (V_{IN-}) \sin(2\pi ft)$$

最大電圧変動は次式で決まります。

$$\max \frac{d(V_{IN-})}{dt} = V_{IN-} - 2\pi f \leq \frac{1\text{LSB}}{t_{\text{CONV}}} = \frac{V_{\text{REF}}}{2^{10} t_{\text{CONV}}}$$

IN-に2.6V_{p-p}、60Hzの信号が印加された場合、リファレンス電圧が+2.5V、変換時間が2.5μs(15/f_{SCLK})として、エラーは±0.5LSBになります。IN-においてDCリファレンス電圧が使用される場合、0.1μFコンデンサをGNDに接続して入力におけるノイズを最小限に抑えて下さい。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルがコンデンサC_{HOLD}を充電します。アキュイジション期間は3 SCLKサイクル間続き、入力制御ワードの最後のビットが入力された後のSCLKの立下がりエッジで完了します。アキュイジション期間の終了時にT/Hスイッチが開き、C_{HOLD}の電荷をIN+の信号のサンプルとして保持します。変換期間は、入力マルチプレクサがC_{HOLD}を正入力(IN+)から負入力(IN-)にスイッチングした時から始まります。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACが容量性DACが10ビット分解能の範囲内でノードZEROをV_{DD}/2に回復させるよう調整します。この動作は、12pF × [(V_{IN+}) - (V_{IN-})]の電荷をC_{HOLD}からバイナリ重み付の容量性DACに移す場合と等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

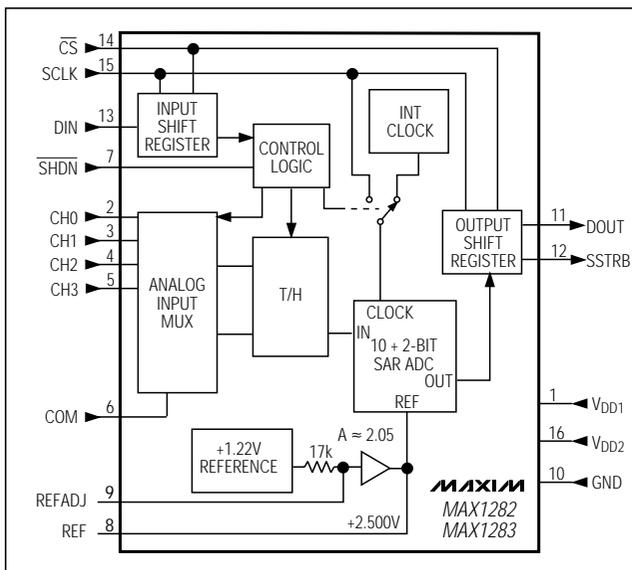


図3. ファンクションダイアグラム

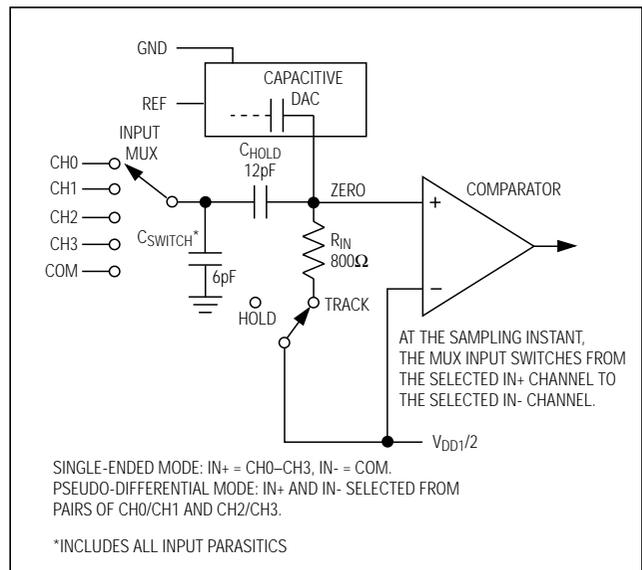


図4. 等価入力回路

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビットADC

トラック/ホールド

T/Hは、8ビット制御ワードの5番目のビットがシフトインされた後の立下がりクロックエッジでトラックモードに入り、制御ワードの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合はIN+がCOMに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合は、[(IN+) - (IN-)]の差がサンプリングされます。変換完了時に正入力再びIN+に接続され、C_{HOLD}は入力信号電圧まで充電されます。

T/Hが入力信号を取込むのに要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュイジション時間が長くなるため、変換と変換の間の時間を長くする必要があります。アキュイジション時間 t_{ACQ} はデバイスが信号を取込むのに要する最大時間であり、信号の取込みに要する最低時間でもあります。 t_{ACQ} は次式で計算されます。

$$t_{ACQ} = 7 \times (R_S + R_{IN}) \times 18\text{pF}$$

ここで、 $R_{IN} = 800$ 、 R_S = 入力信号のソースインピーダンス、そして t_{ACQ} は必ず400ns以上(MAX1082)あるいは625ns以上(MAX1083)です。ソースインピーダンスが4k以下であれば、ADCのAC性能に大きな影響はありません。

入力帯域幅

ADCの入力トラック回路の小信号帯域幅は6MHz(MAX1082)又は3MHz(MAX1083)であるため、アンダーサンプリング技法を使用することにより、帯域幅がADCのサンプリングレート以上である周期信号を測定し、高速トランジェント現象を数値化することができます。高周波信号が、計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングを推奨します。

アナログ入力保護

内部保護ダイオードがアナログ入力を V_{DD1} 及びGNDにクランプしているため、チャンネル入力ピンは(GND - 0.3V) ~ ($V_{DD1} + 0.3V$)の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が V_{DD1} を50mV以上超えてはならず、またGNDを50mV以上下回らないようにします。

アナログ入力が電源を50mV以上超えた場合、入力電流が2mA以上にならるようにして下さい。

変換開始方法

変換は制御バイトをDINに同期入力することにより始まります。 \overline{CS} がローの場合、SCLKクロックの各立上りエッジ毎に、DINからMAX1082/MAX1083の内部シフトレジスタへ1ビットずつクロックインされます。

\overline{CS} が下がった後で最初に来たロジック「1」のビットが制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロックインされても一切影響はありません。表3に制御バイトのフォーマットを示します。

MAX1082/MAX1083は、SPI、QSPI及びMicrowire機器とコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性及びサンプリングエッジを選択して下さい。(CPOL = 0及びCPHA = 0に設定します)。MICROWIRE、SPI、及びQSPIはいずれもバイトの送信とバイトの受信を同時に行います。「標準動作回路」を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を僅か3回行うだけで変換が行えます(1回の8ビット転送でADCを設定し、残り2回の8ビット転送では10ビット変換結果をクロックアウトします)。MAX1082/MAX1083のQSPI接続法については、図16を参照して下さい。

シンプルなソフトウェアインタフェース

CPUがシリアルクロックを発生するために、CPUのシリアルインタフェースがマスターモードで動作していることを確認して下さい。クロック周波数は500kHzから6.4MHz(MAX1082)又は4.8MHz(MAX1083)の範囲から選択して下さい。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と呼びます。TB1はバイナリの1XXXXXXXというフォーマットになるはずですが、ここで、Xは選択された特定のチャンネル、変換モード及びパワーモードを意味します。
- 2) CPUの汎用I/Oラインを使用して \overline{CS} をローにします。
- 3) TB1を送信し、同時にバイトを受信します。受信したバイトをRB1と呼びます。RB1は無視します。
- 4) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB3を受信します。
- 6) \overline{CS} をハイにします。

図5にこのシーケンスのタイミングを示します。バイトRB2とRB3は、先頭のゼロ3個、2つのサブLSBビット及び最後の1つのゼロには含まれた変換結果を含んでいます。総変換時間は、シリアルクロック周波数及び8ビット転送間のアイドル時間の関数です。T/Hが過剰にドレープするのを防ぐために、総変換時間が120 μ sを超えないようにして下さい。

デジタル出力

ユニポーラ入力モードでは出力はストレートなバイナリです(図13)。バイポーラ入力の場合、出力は2の補数形式になります(図14)。データはSCLKの立上りエッジで、MSBを先頭にクロックアウトされます。

内部リファレンス付、300kpsps/400kpsps、単一電源、4チャンネルシリアル10ビット

表1. シングルエンドモードにおけるチャンネル選択(SGL/DIF = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	COM
0	0	1	+				-
1	0	1		+			-
0	1	0			+		-
1	1	0				+	-

表2. 差動モードにおけるチャンネル選択(SGL/DIF = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3
0	0	1	+	-		
0	1	0			+	-
1	0	1	-	+		
1	1	0			-	+

シリアルクロック

外部クロックはデータをシフトイン/アウトするだけでなく、アナログ/デジタル変換ステップの駆動も行います。SSTRBは制御バイトの最後のビットの後で、1クロック周期だけパルス的にハイになります。逐次比較用のビット決定は、MSBを先頭にしてそれに続く12のSCLKの立下りエッジでそれぞれ行われ、DOUTに出力されます(図5)。CSがハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次のCSの立下りエッジでSSTRBはロジックローを出力します。図6に、シリアルインタフェースのタイミングの詳細を示します。

変換は120µs以内に完了しなければなりません。完了しない場合は、サンプルアンドホールドコンデンサのドループにより変換結果が劣化します。

データフレーミング

CSの立下りエッジでは変換は開始されません。DINにクロックインされる最初のロジックハイはスタートビットとして解釈され、これにより制御バイトの最初のビットが定義されます。変換は、8番目の制御ビット(PD0ビット)がDINに同期入力された後のSCLKの立下りエッジで開始されます。スタートビットの定義は以下の通りです。

コンバータがアイドル状態である任意の時間(例えばV_{DD1}又はV_{DD2}が印加された後)にCSがローの状態にDINに同期入力されてきた最初のハイビット。

又は

進行中の変換のビットB4がDOUTピンに同期出力された後にDINに同期入力されてきた最初のハイビット(図7)。

スタートビットが認識された後にその変換を中止するには、SHDNをローにする方法しかありません。

変換と変換の間でCSがローに維持されている時にMAX1082/MAX1083が動作できる最高速度は、1変換につき16クロックとなります。図7に、外部クロックモードで16 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。CSがローでSCLKが連続的である場合は、最初に16個のゼロを同期入力してスタートビットを保証して下さい。

アプリケーション情報

パワーオンリセット

最初に電源が入った時にSHDNがローでなければ、内部パワーオンリセット回路が通常動作モードでMAX1082/MAX1083を起動します。この時SSTRB = ローの状態、変換を開始できる体勢にあります。電源が安定した後、内部リセット時間が10µsありますが、この間には変換を行わないで下さい。CSがローの場合は、DINの最初のロジック1がスタートビットと見なされます。変換が行われるまでは、DOUTはゼロをシフトアウトします。内部リファレンスを使用している場合は、リファレンスが安定化するまで待って下さい。

パワーモード

変換の合間にコンバータを2つの低電流動作モード又はフルパワーダウンモードにすると、電力を節約できます。パワーモードの選択は、DIN制御バイトのビット1とビット0を通じて行うことができます(表3及び4)。SHDNをGNDにすると、コンバータは強制的にハードウェアシャットダウンになります。

内部リファレンス付、300ksp/s/400ksp/s、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

表3. 制御バイトフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0

BIT	NAME	DESCRIPTION															
7(MSB)	START	The first logic "1" bit after \overline{CS} goes low defines the beginning of the control byte.															
6 5 4	SEL2 SEL1 SEL0	These 3 bits select which of the eight channels are used for the conversion (Tables 1 and 2).															
3	UNI/ \overline{BIP}	1 = unipolar, 0 = bipolar. Selects unipolar or bipolar conversion mode. In unipolar mode, an analog input signal from 0 to V_{REF} can be converted; in bipolar mode, the differential signal can range from $-V_{REF}/2$ to $+V_{REF}/2$.															
2	SGL/ \overline{DIF}	1 = single ended, 0 = pseudo-differential. Selects single-ended or pseudo-differential conversions. In single-ended mode, input signal voltages are referred to COM. In pseudo-differential mode, the voltage difference between two channels is measured (Tables 1 and 2).															
1 0(LSB)	PD1 PD0	Select operating mode. <table border="1"> <thead> <tr> <th>PD1</th> <th>PD0</th> <th>Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Full power-down</td> </tr> <tr> <td>0</td> <td>1</td> <td>Fast power-down</td> </tr> <tr> <td>1</td> <td>0</td> <td>Reduced power</td> </tr> <tr> <td>1</td> <td>1</td> <td>Normal operation</td> </tr> </tbody> </table>	PD1	PD0	Mode	0	0	Full power-down	0	1	Fast power-down	1	0	Reduced power	1	1	Normal operation
PD1	PD0	Mode															
0	0	Full power-down															
0	1	Fast power-down															
1	0	Reduced power															
1	1	Normal operation															

表4. ソフトウェア制御のパワーモード

PD1/PD0	MODE	TOTAL SUPPLY CURRENT		CIRCUIT SECTIONS*	
		CONVERTING (mA)	AFTER CONVERSION	INPUT COMPARATOR	REFERENCE
00	Full Power-Down (FULLPD)	2.5	2 μ A	Off	Off
01	Fast Power-Down (FASTPD)	2.5	0.9mA	Reduced Power	On
10	Reduced Power Mode (REDP)	2.5	1.3mA	Reduced Power	On
11	Normal Operating	2.5	2.0 mA	Full Power	On

* Circuit operation between conversions: during conversion all circuits are fully powered up.

ソフトウェアパワーダウンモードは、変換が完了した後で発効します。SHDNはソフトウェアパワーモードを無効にして、進行中の変換を直ちに中止します。ソフトウェアパワーダウンモードにおいては、シリアルインタフェースはアクティブ状態に留まり、変換開始あるいはフルパワーモードに切り替える新しい制御バイトを待ちます。変換が完了すると、デバイスは設定されたパワーモードになり、新しい制御バイトが書き込まれるまでその状態が続きます。

パワーアップ遅延はパワーダウン状態に依存します。ソフトウェア低電力モードにおいては、低クロックレートで動作している時に直ちに変換を開始できます(「パワーダウンシーケンス」を参照)。パワーオンリセットの時、ソフトウェアフルパワーダウンモードを解除する時、あるいはハードウェアシャットダウンを解除する時に、デバイスは直ちにフルパワーモードになり、外部リファレンスを使用している場合はその後2 μ sで変換を開始することができます。内部リファレンスを使用している場合は、図8に示すフルパワーダウン(ソフトウェア又はハードウェア)からの標準パワーアップ遅延だけ待って下さい。

内部リファレンス付、300kps/400kps、単一電源、4チャンネルシリアル10ビット

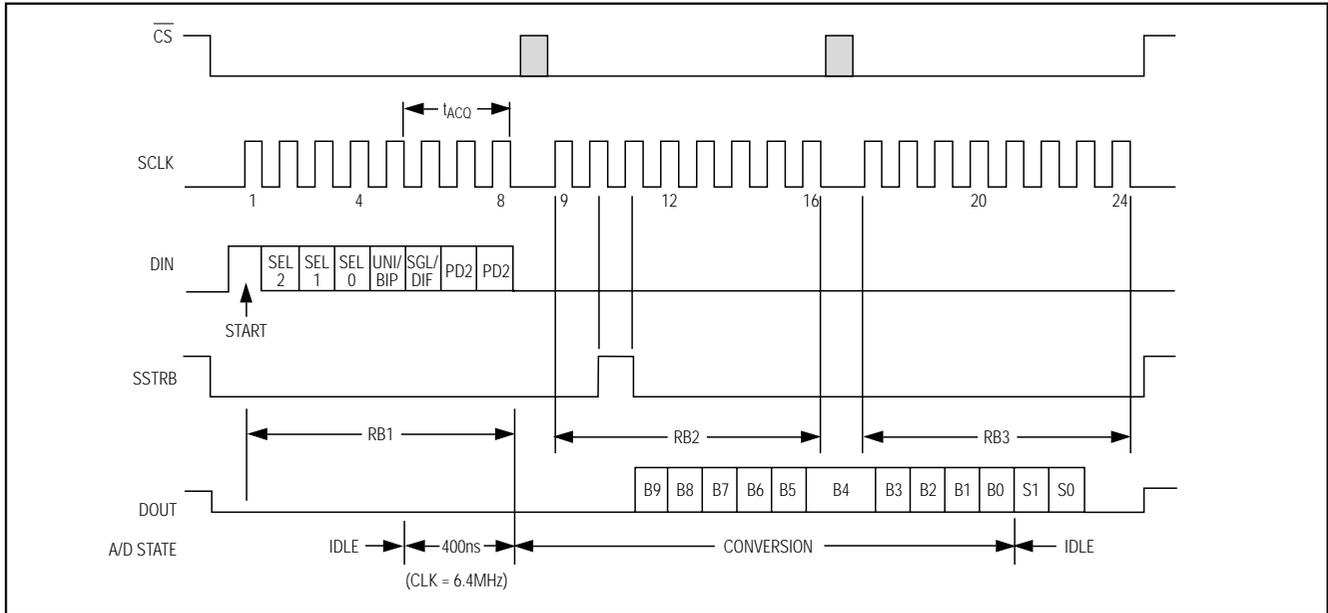


図5. 単一変換のタイミング

ソフトウェアのパワーダウン

制御バイトのビットPD1及びPD0を使用することにより、ソフトウェアのパワーダウンを起動できます。ソフトウェアのパワーダウンが発生すると、ADCが進行中の変換を完了し、その後パワーダウンして、指定された低自己消費電流状態になります(2 μ A、0.9mA、1.3mA)。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1082/MAX1083はパワーアップしてフルパワーモードになります。スタートビットに続いて、データ入力ワード又は制御バイトがやはり次のパワーダウン状態を決定します。例えば、DINワードのPD1=0及びPD0=1の時は、1回だけ変換を行い、その後再び0.9mAパワーダウンになります。表4に、4つのパワーモード、及び対応する消費電流と動作部分の詳細を示します。

ハードウェアのパワーダウン

$\overline{\text{SHDN}}$ がローになると、コンバータはハードウェアのパワーダウン状態に入ります。ソフトウェアのパワーダウンモードとは異なり、変換は完了せずに、 $\overline{\text{SHDN}}$ がローになった時に停止します。外部リファレンス使用時に $\overline{\text{SHDN}}$ のパワーダウンから通常動作に戻る場合、MAX1082/MAX1083は $\overline{\text{SHDN}}$ ピンを能動的にハイに引き上げてから2 μ s以内に完全パワーアップ状態になります。内部リファレンスを使用している場合は、リファレンスがセトリングするまで変換開始を待って下さい。このリカバリ時間は外部バイパスコンデンサ及び変換の間隔に依存します。

パワーダウンシーケンス

最大サンプリングレートよりも遅い速度で動作している場合、MAX1082/MAX1083を自動パワーダウンモードに設定することにより、大幅に電力を節約できます。図9及び10に、平均消費電流をサンプリングレートの関数として示します。以下に、様々なパワーダウンシーケンスについて説明します。アプリケーションによっては、この他のクロックレートとパワーダウンモードの組み合わせで最小消費電力が実現できる場合もあります。

フルパワーダウンモードの使い方

フルパワーダウンモード(FULLPD)は、1000変換/チャンネル/秒までの変換レートにおいて最小の消費電力を実現します。図9aにMAX1083が内部リファレンスを使い、変換を最大クロック速度で制御しつつ、フルパワーダウンモード(PD1=PD0=0)を使って1又は4チャンネル変換を行った場合の消費電力を示します。0.01 μ FのバイパスコンデンサをREFADJに接続すると、内部17kリファレンス抵抗と共に時間定数が170 μ sのRCフィルタを形成します。完全10ビット精度を実現するには、バイパスコンデンサが変換の合間に完全に放電すると仮定した場合、パワーアップの後で時間定数の7倍、即ち1.2msが必要です。この1.2msをフルパワーアップの代わりに高速パワーダウン(FASTPD)又は低電力(REDP)モードで待つと、さらに消費電力が節約されます。これは、図11aに示すシーケンスを使用することにより達成されます。

内部リファレンス付、300ksp/s/400ksp/s、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

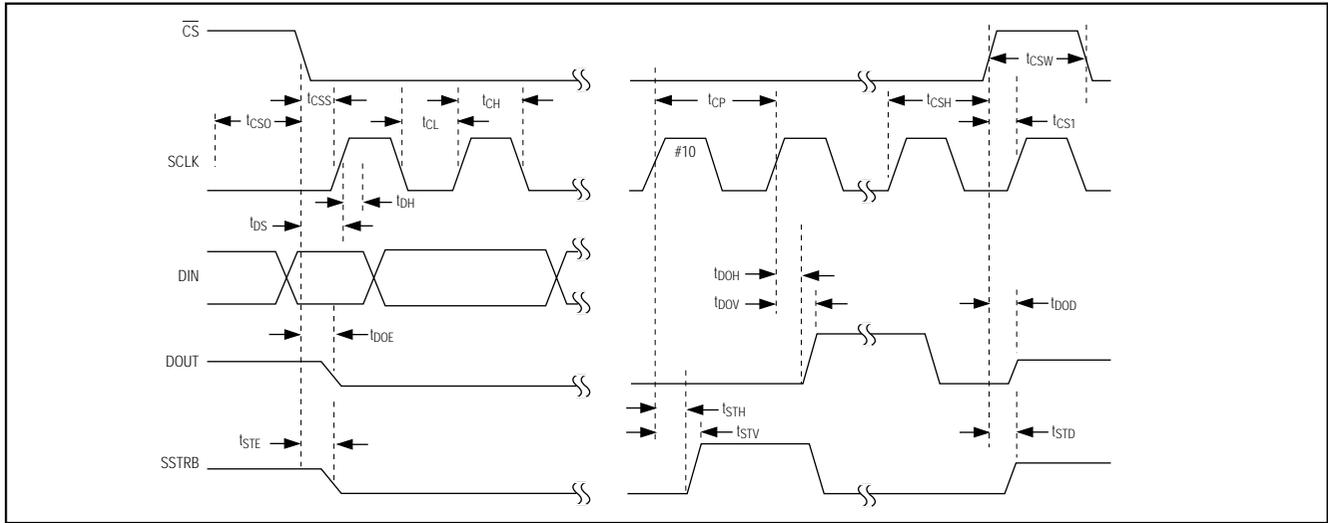


図6. シリアルインタフェースのタイミングの詳細

図9bにMAX1083が外部リファレンスを使用し、変換を最大クロック速度で制御しつつ、フルパワーダウンモード (PD1 = PD0 = 0) を使って1又は4チャンネル変換を行った場合の消費電力を示します。デバイスをパワーアップするためにダミー変換が1つ必要ですが、2番目の変換の前の待ち時間は必要ありません。ですから、フルサンプリングレートの半分のレートまで消費電力の節約が可能です。

高速パワーダウン及び低電力モードの使い方

FASPD及びREDPモードは、最大サンプリングレートに近い速度において最小の消費電力を実現します。図10にFASTPDモード (PD1 = 0、PD0 = 1)、REDPモード (PD1 = 1、PD0 = 0) 及び比較のために通常動作モード (PD1 = 1、PD0 = 1) におけるMAX1083の消費電力を示します。この図には、特定のパワーダウンモードにおいて内部リファレンスを使用し、変換を最大クロック速度で制御した場合の消費電力が示されています。FASTPD又はREDPにおけるクロック速度は、MAX1082/MAX1083の場合4.8MHzに制限して下さい。FULLPDモードは、MAX1082/MAX1083が長時間停止し、断続的な高速変換のバーストがあるようなアプリケーションで省電力能力を発揮します。

外部及び内部リファレンス

MAX1082/MAX1083には、内部及び外部リファレンス電圧を使用できます。外部リファレンスはREF端子に直接接続するか、REFADJピンに接続して下さい。

MAX1082/MAX1083の内部バッファは、REFにおいて2.5Vを供給するように設計されています。内部トリミングされた1.22Vのリファレンスは、利得2.05でバッファされています。

内部リファレンス

MAX1082/MAX1083の内部リファレンスのフルスケール範囲はユニポーラで2.5V、バイポーラ入力の場合 $\pm 1.25V$ です。内部リファレンス電圧は、図12に示す回路において $\pm 100mV$ 刻みで可変になっています。

外部リファレンス

MAX1082/MAX1083の場合、外部リファレンスは内部リファレンスバッファアンプの入力 (REFADJ) 又は出力 (REF) に接続できます。REFADJにおける入力インピーダンスは、通常17k です。REFにおけるDC入力抵抗は、最低18k です。変換時には、REFの外部リファレンスは最大350 μA のDC負荷電流を供給できなければならず、出力インピーダンスは10 Ω 以下でなければなりません。リファレンスの出力インピーダンスがこれより高い場合やノイズが多い場合は、4.7 μF のコンデンサでREFピンの近くにバイパスして下さい。

直接REFに接続する場合は、REFADJをV_{DD1}に接続して内部バッファをディセーブルして下さい。REFADJ入力を使うと、外部リファレンスをバッファする必要がなくなります。

伝達関数

表5に、ユニポーラ及びバイポーラモードにおけるフルスケール電圧範囲を示します。

図13は、公称ユニポーラ入力/出力(I/O)伝達関数を示しています。図14はバイポーラ入力/出力(I/O)伝達関数です。コード遷移は隣り合う整数LSB値同士の間で起こります。出力コーディングはバイナリで、ユニポーラ動作では1LSB = 2.44mV (2.500V/2/1024)、バイポーラ動作では1LSB = 2.44mV [(2.500V/2)/1024] となります。

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビット

MAX1082/MAX1083

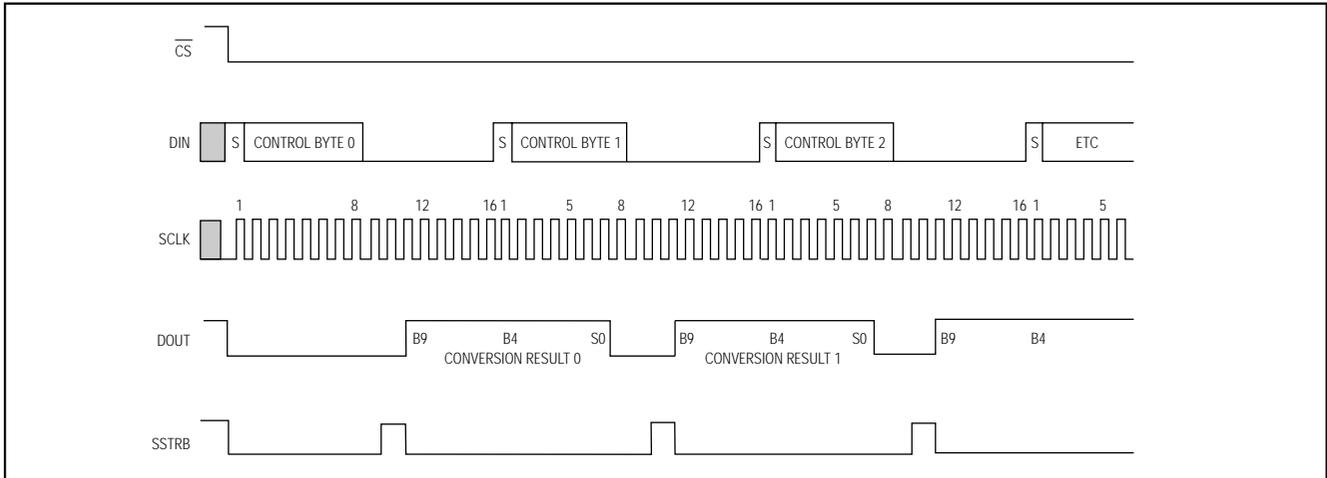


図7. 連続16クロック/変換のタイミング

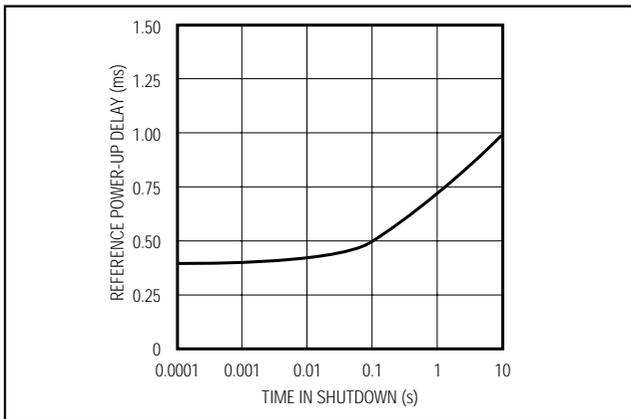


図8. リファレンスパワーアップ遅延対シャットダウン期間

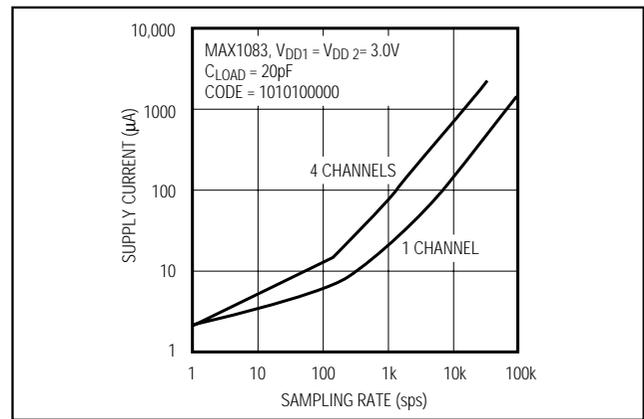


図9b. 平均消費電流対変換レート(外部リファレンス、FULLPD)

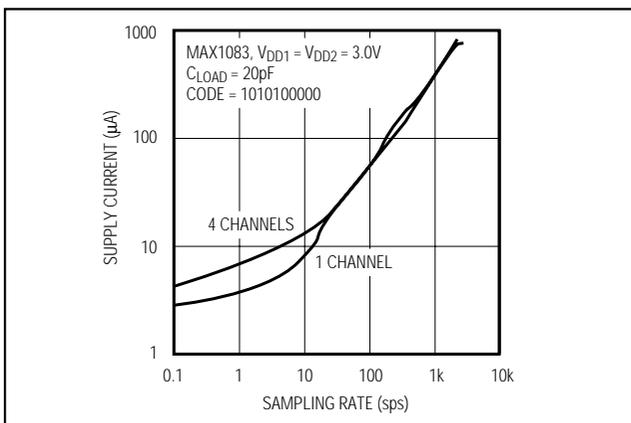


図9a. 平均消費電流対変換レート(内部リファレンス、FULLPD)

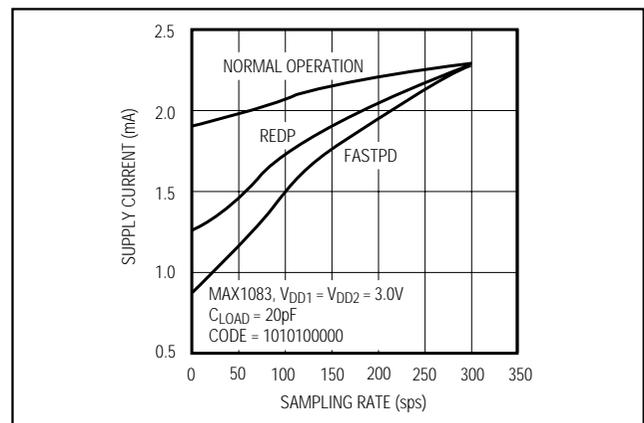


図10. 平均消費電流対変換レート(FASTPD、REDP及び通常動作)

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビットADC

レイアウト、グランド、及びバイパス

最高の性能を得るために、プリント回路基板を使用して下さい。ワイヤラップボードは推奨できません。ボードレイアウトは、デジタル信号ラインとアナログ信号ラインが分離されるようにして下さい。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないで下さい。又、デジタルラインがADCパッケージの下に来ないようにして下さい。

図15に、推奨されるシステムグランド接続法を示します。一点アナロググランド(スターグランドポイント)をGNDのところで設定して下さい。その他全てのアナロググランドをスターグランドに接続して下さい。デジタルシステムグランドとこのグランドとの接続はこの1点のみにして下さい。ノイズを最小限に抑えるために、スターグランドから電源へのグランドリターンはできるだけ短くすると共に低インピーダンスにして下さい。

V_{DD1} 電源内の高周波ノイズが、ADC内の高速コンパレータに影響を与える可能性があります。この電源はMAX1082/MAX1083の V_{DD1} に近いところで、 $0.1\mu\text{F}$ 及び $10\mu\text{F}$ コンデンサを使用してスターグランドにバイパスして下さい。コンデンサのリード線をできるだけ短くして、最高の電源ノイズ除去比を得るようにします。電源のノイズが特に大きい場合は、 10Ω 抵抗をローパスフィルタとして接続することができます(図15)。

QSPIとの高速デジタルインタフェース

図16の回路を使用すると、MAX1082/MAX1083をQSPIとインタフェースさせることができます(CPOL = 0, CPHA = 0)。このQSPI回路は、4個の各チャンネルの全てにおいて変換を行うようにプログラムできます。QSPIはそれ自身がマイクロシーケンサを備えているため、変換結果はCPUに負担をかけることなくメモリに記憶されます。

TMS320LC3xのインタフェース

図17に示すのは、外部クロックモードでMAX1082/MAX1083をTMS320にインタフェースするためのアプリケーション回路です。このインタフェースのタイミング図を図18に示します。

MAX1082/MAX1083で変換を開始し、結果を読み取るための手順は以下の通りです。

- 1) TMS320はCLKX(送信クロック)がアクティブハイ出力クロック、CLKR(TMS320受信クロック)がアクティブハイ入力クロックとなるように設定して下さい。TMS320のCLKXとCLKRは、MAX1082/MAX1083のSCLK入力に接続されています。

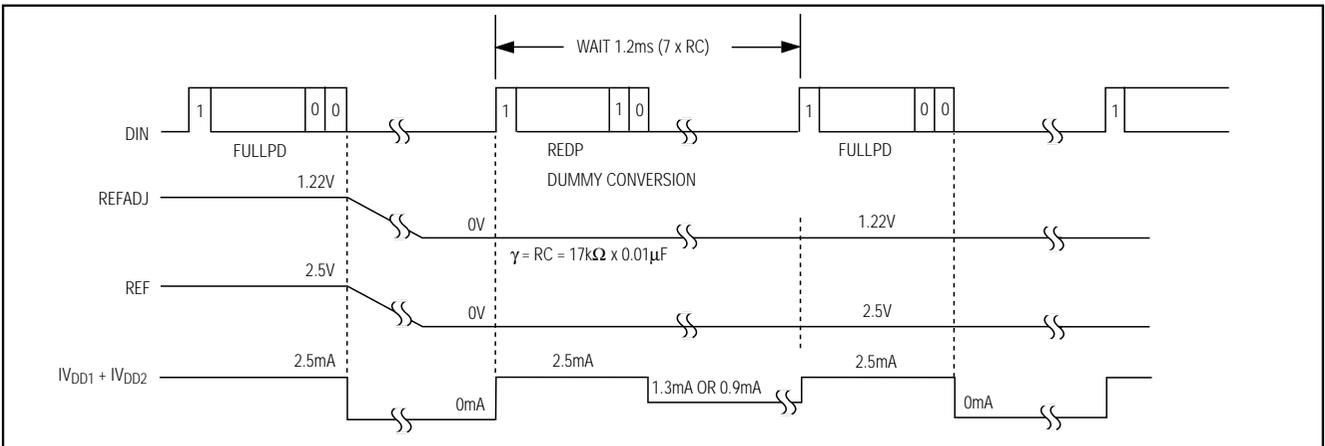


図11a. フルパワーダウンのタイミング

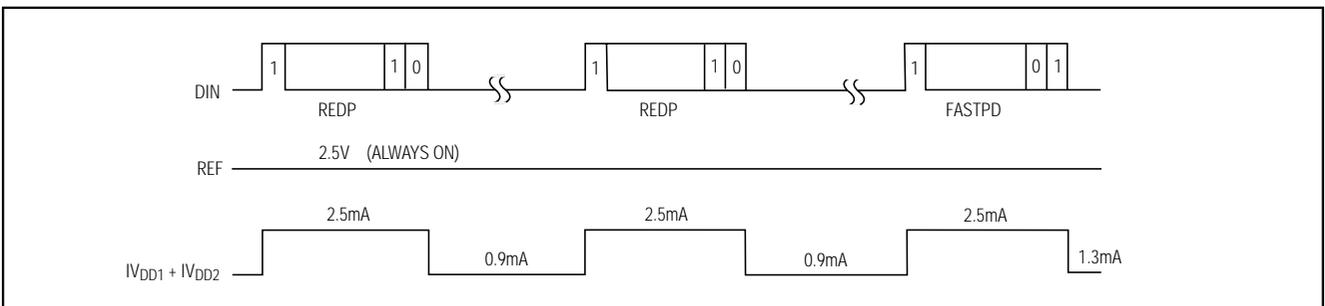


図11b. FASTPDとREDPのタイミング

内部リファレンス付、300ksp/s/400ksp/s、単一電源、4チャンネルシリアル10ビット

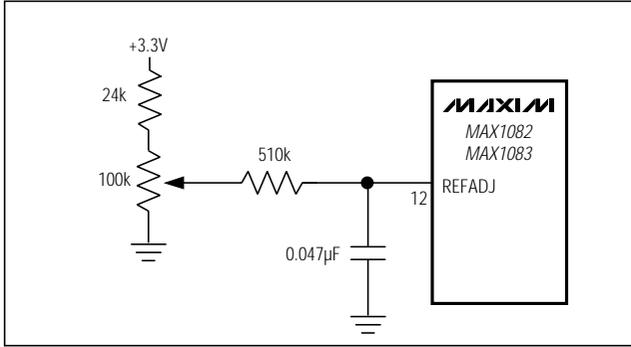


図12. MAX1082/MAX1083のリファレンス調整回路

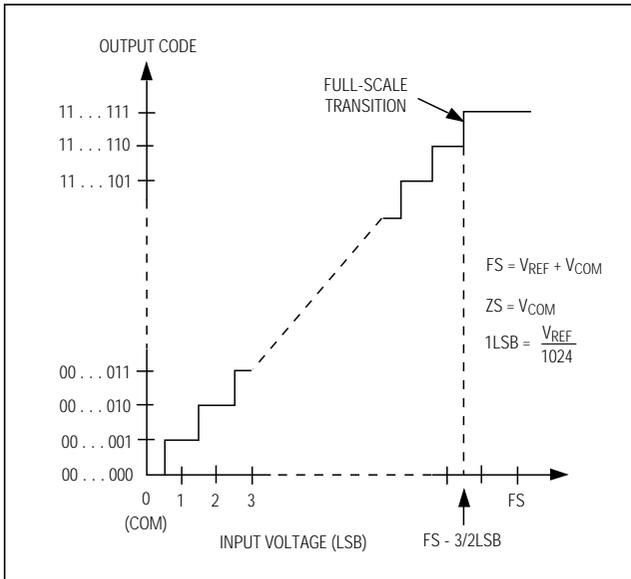


図13. ユニポーラの伝達関数、フルスケール(FS) = $V_{REF} + V_{COM}$ 、ゼロスケール(ZS) = V_{COM}

- 2) MAX1082/MAX1083の \overline{CS} ピンは、TMS320のXF_I/Oポートによってローにされています。これは、MAX1082/MAX1083のDINにデータがクロックインできるようにするためです。
- 3) 変換を開始するために8ビットワード(1XXXX11)をMAX1082/MAX1083に書き込み、外部クロックモードに設定します。特定のアプリケーションに適したXXXXビットを選択するためには、表3を参照して下さい。
- 4) MAX1082/MAX1083のSSTRB出力は、TMS320のFSR入力を通じて監視されています。SSTRB出力の立下がりエッジは、変換が進行中であり、データをデバイスから受け取る準備ができていることを示します。
- 5) TMS320は、続くSCLK16個の各立上がりエッジで1データビットずつ読み込みます。これらのデータ

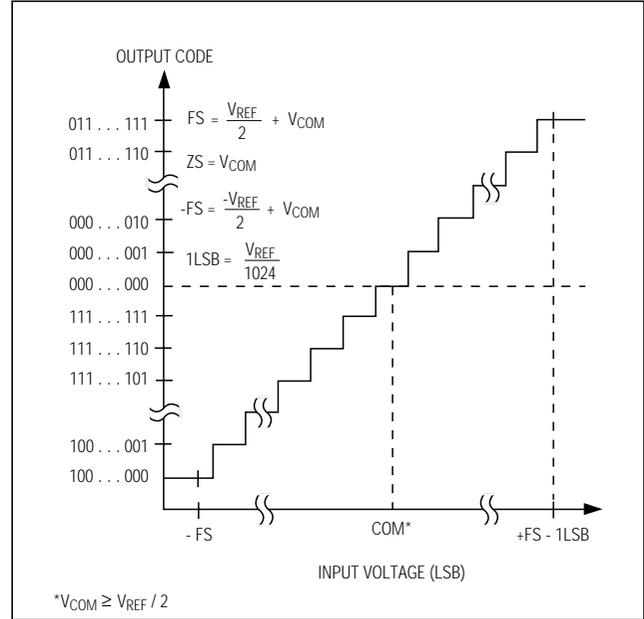


図14. バイポーラの伝達関数、フルスケール(FS) = $V_{REF}/2 + V_{COM}$ 、ゼロスケール(ZS) = V_{COM}

ビットは、10+2ビットの変換結果を表しています。この後に続く4ビットは無視して下さい。

- 6) \overline{CS} をハイに引き上げるにより、次の変換が開始されるまでMAX1082/MAX1083をディセーブルします。

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィット(実際の伝達曲線に最も近い近似)あるいはオフセット及び利得誤差を nul(ゼロ)にした後に伝達関数の終点間を結んだ線です。MAX1082/MAX1083の静的直線性パラメータは、ベストストレートラインフィット法により測定されています。

微分非直線性

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

アパーチャ幅

アパーチャ幅(t_{AW})は、(例えば、サンプリングブリッジをターンオフしてT/Hユニットをホールドモードにするために)T/H回路がホールドコンデンサを入力回路から切り離すのに要する時間です。

内部リファレンス付、300ksps/400ksps、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

表5. フルスケール及びゼロスケール

UNIPOLAR MODE		BIPOLAR MODE		
Full Scale	Zero Scale	Positive Full Scale	Zero Scale	Negative Full Scale
VREF + VCOM	VCOM	VREF / 2 + VCOM	VCOM	-VREF / 2 + VCOM

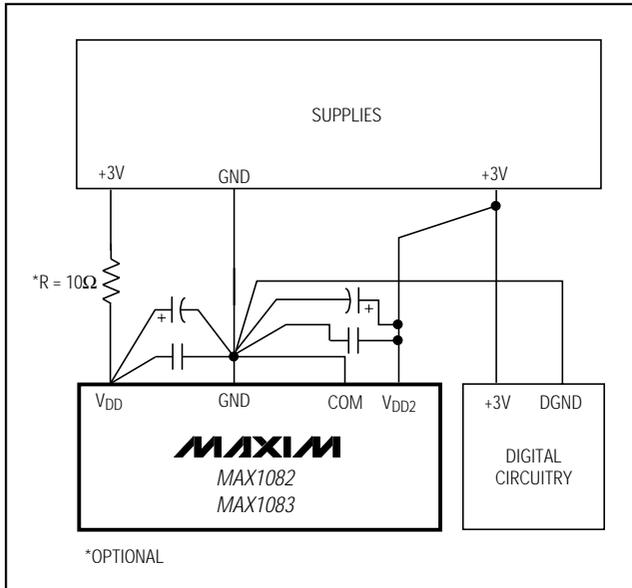


図15. 電源グランド接続図

アパーチャジッタ

アパーチャジッタ (t_{AJ}) は、サンプル同士の時間間隔のばらつきです。

アパーチャ遅延

アパーチャ遅延 (t_{AD}) はサンプリングクロックの立上がりと、サンプルが実際にとられる時点の間の時間です。

信号対雑音比(SNR)

デジタルサンプルから完ぺきに再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRの計算にはRMS信号とRMSノイズの比を通ります。RMSノイズは、全てのスペクトル成分から基本波、最初の5つの高調波及びDCオフセットを差し引いたものです。

信号対雑音+歪み(SINAD)

SINADは、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS等価振幅の比です。

$$SINAD(\text{dB}) = 20 \times \log[(\text{信号}_{\text{RMS}} / \text{ノイズ}_{\text{RMS}})]$$

有効ビット数(ENOB)

ENOBは、特定の入力周波数及びサンプリング速度におけるADCの全体的な精度を示します。理想的なADCのエラーは、数値化エラーのみに起因します。入力範囲がADCのフルスケール範囲に等しい場合の有効ビット数は次式で計算できます。

$$ENOB = (SINAD - 1.76) / 6.02$$

全高調波歪み(THD)

THDは、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \times \log \frac{\left(\sqrt{V_2^2 + V_3^2 + V_4^2 + V_4^2 + V_5^2} \right)}{V_1}$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)と次に大きなスプリアス成分(DCオフセットを除く)のRMS値の比をデシベル単位で表したものです。

内部リファレンス付、300kps/400kps、単一電源、 4チャンネルシリアル10ビット

MAX1082/MAX1083

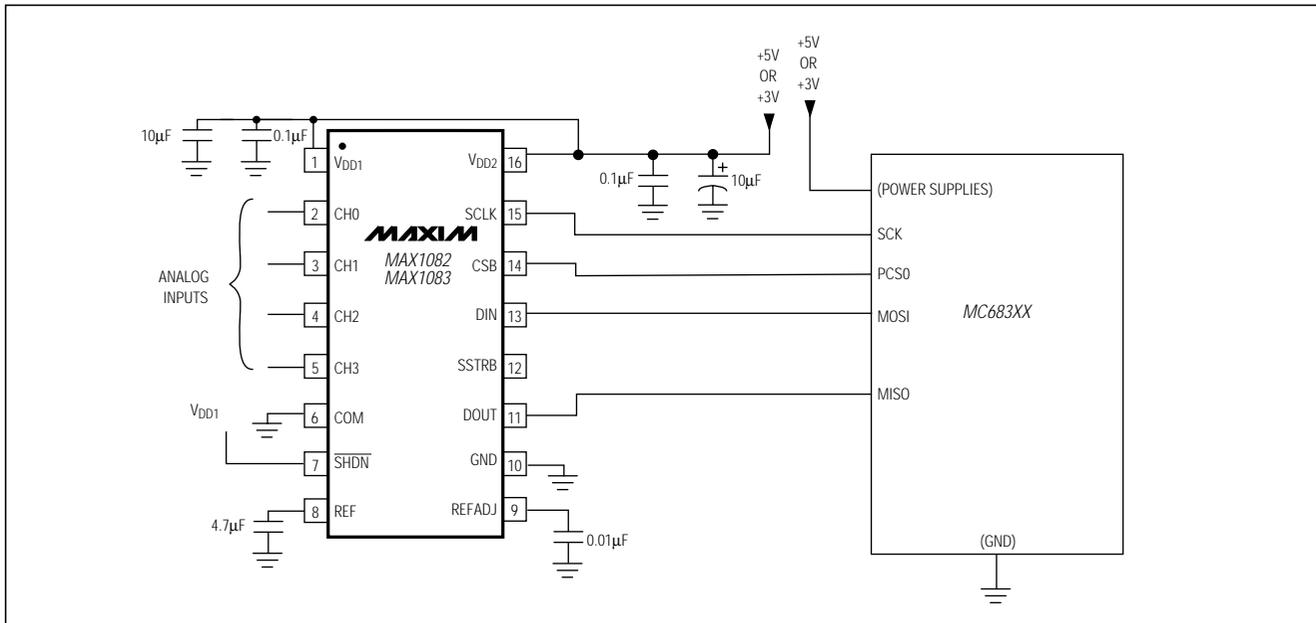


図16. QSPI接続図、外部リファレンス

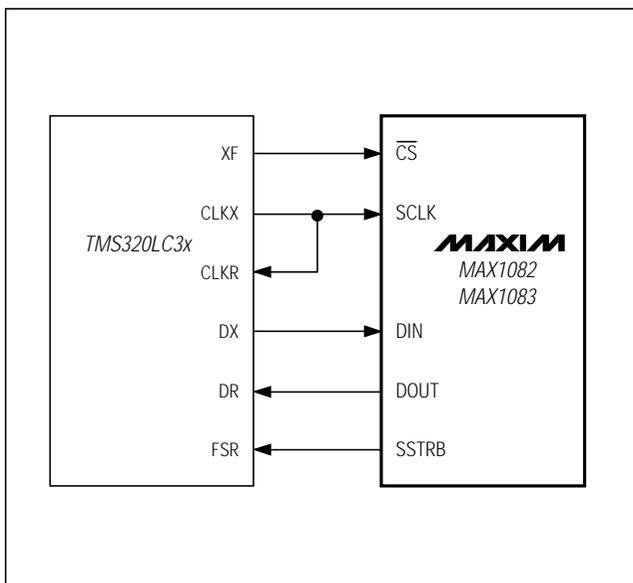


図17. MAX1082/MAX1083からTMS320への
シリアルインタフェース

内部リファレンス付、300ksp/s/400ksp/s、単一電源、4チャンネルシリアル10ビットADC

MAX1082/MAX1083

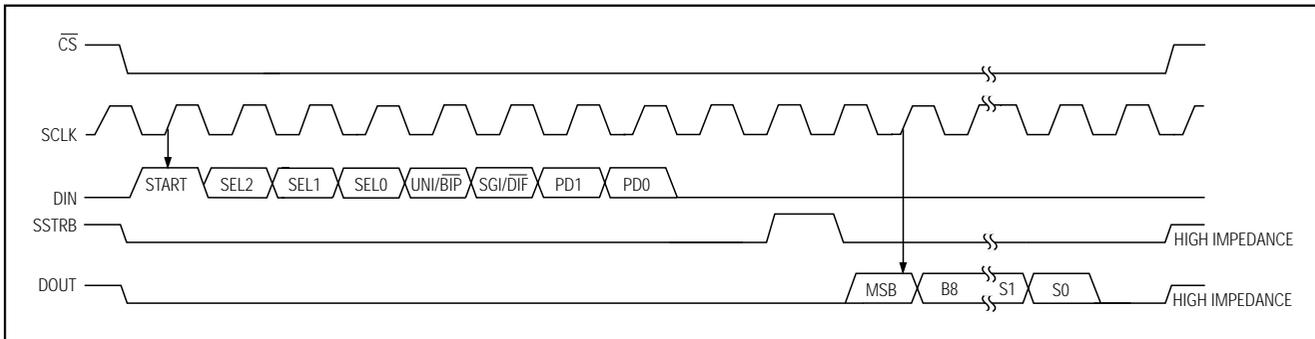
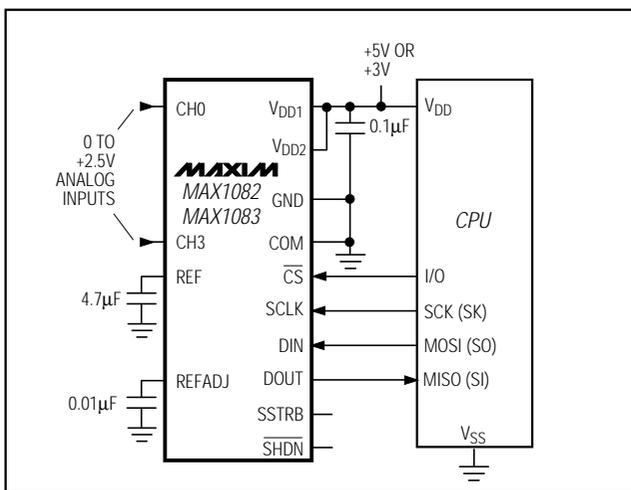


図18. MAX1082/MAX1083からTMS320へのシリアルインタフェース

標準動作回路



型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1082BEUE	-40°C to +85°C	16 TSSOP	±1
MAX1083ACUE	0°C to +70°C	16 TSSOP	±1/2
MAX1083BCUE	0°C to +70°C	16 TSSOP	±1
MAX1083AEUE	-40°C to +85°C	16 TSSOP	±1/2
MAX1083BEUE	-40°C to +85°C	16 TSSOP	±1

チップ情報

TRANSISTOR COUNT: 4286

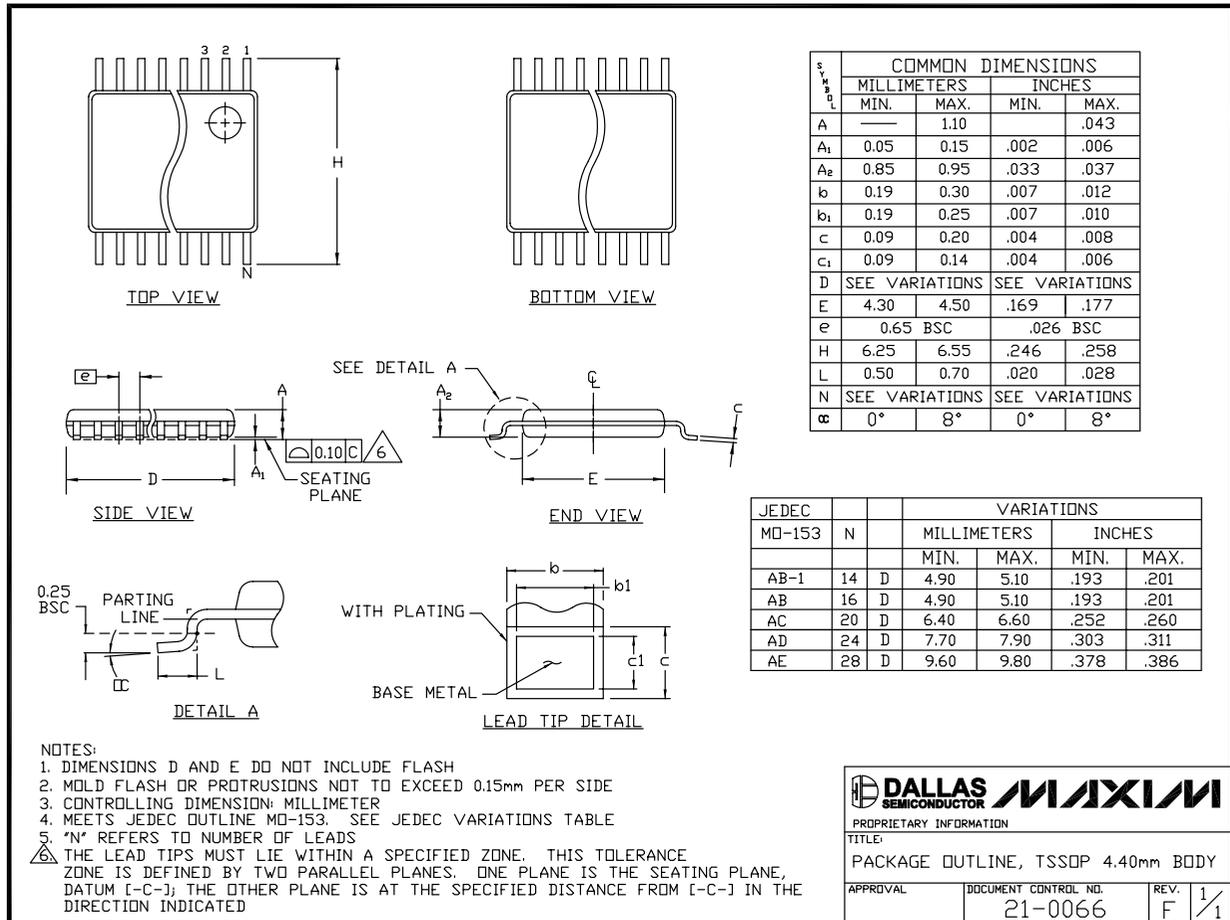
PROCESS: BiCMOS

内部リファレンス付、300kps/400kps、単一電源、4チャンネルシリアル10ビット

MAX1082/MAX1083

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、www.maxim-ic.com/ja/packagesをご参照下さい。)



Note: MAX1082/MAX1083 do not have an exposed die pad.

内部リファレンス付、300ksps/400ksps、単一電源、 4チャンネルシリアル10ビットADC

MAX1082/MAX1083

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.