

106.25MHz/212.5MHz/425MHz クロック発振器

概要

DS4106、DS4212、およびDS4425のセラミック表面実装水晶発振器は、マキシムのDS4-XOシリーズの水晶発振器の一部です。これらのデバイスは、106.25MHz、212.5MHz、および425MHzの出力周波数を提供します。クロック発振器は、ジッタ、位相ノイズ、および安定性能などの厳しい許容値を必要とするシステムに適しています。基板スペースが重要となるアプリケーション用に作られた小さなパッケージ形状を提供します。

これらのクロック発振器は水晶発振器を使用しており、PLL技術とともに水晶発振器の基本モードを使用して、非常に安定した出力周波数を提供しています。各デバイスは、LVDS出力またはLVPECL出力タイプで提供されます。出力インピーダンス端子はアクティブハイのロジックです。

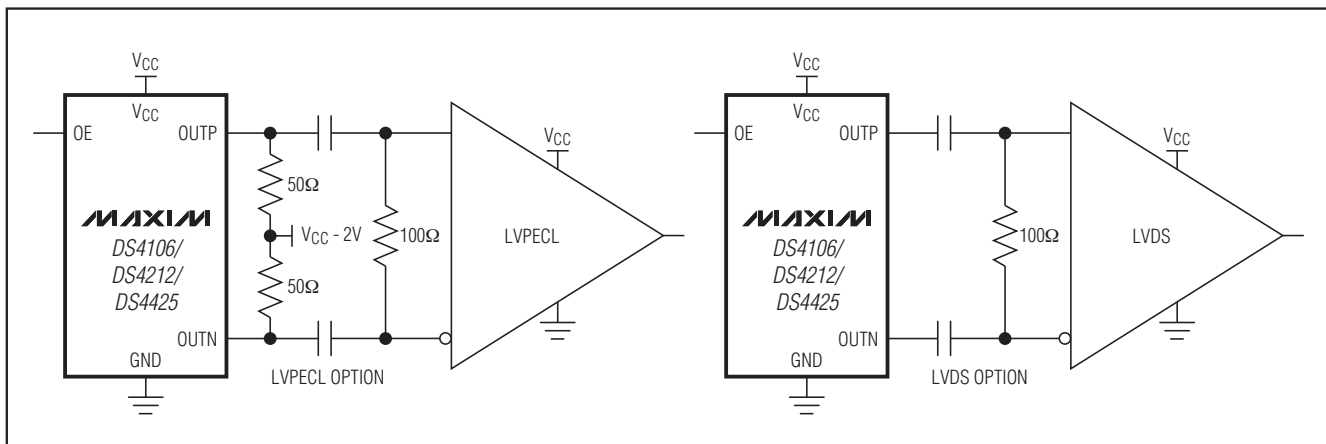
これらのクロック発振器は、非常に低い位相ジッタと位相ノイズを持っています。位相ジッタ(RMS)は、12kHz~20MHzで0.9ps (typ)以下です。このデバイスは、3.3V ±10%の電源電圧で動作するように設計されており、5.0mm x 3.2mm x 1.49mmの10ピンLCCC表面実装セラミックパッケージで供給されます。

アプリケーション

- ファイバチャネルハードディスクドライブ
- ホストバスアダプタ
- レイドコントローラ
- ファイバチャネルスイッチ

ピン配置と選択ガイドは、データシートの最後に記載されています。

標準動作回路



特長

- ◆ クロック出力周波数:
 - DS4106: 106.25MHz
 - DS4212: 212.50MHz
 - DS4425: 425.00MHz
- ◆ 位相ジッタ(RMS): 標準0.9ps
- ◆ LVPECLまたはLVDS出力
- ◆ 電源電流:
 - +3.3V電源(LVPECL): 50mA (標準値、無負荷)
 - +3.3V電源(LVDS): 53mA (標準値)
- ◆ 温度範囲: -40°C~+85°C
- ◆ 出力ディセーブル機能

型番

PART	TEMP RANGE	PIN-PACKAGE
DS4106AN+	-40°C to +85°C	10 LCCC
DS4106BN+	-40°C to +85°C	10 LCCC
DS4212AN+	-40°C to +85°C	10 LCCC
DS4212BN+	-40°C to +85°C	10 LCCC
DS4425AN+	-40°C to +85°C	10 LCCC
DS4425BN+	-40°C to +85°C	10 LCCC

+は鉛フリーパッケージを示します。リードの仕上げはJESD97カテゴリe4 (Ni上にAu)で、鉛含有半田および鉛フリーの半田付け処理の両方と互換性があります。

106.25MHz/212.5MHz/425MHz クロック発振器

DS4106/DS4212/DS4425

ABSOLUTE MAXIMUM RATINGS

V_{CC}, GND, OE, OUTP, OUTN-0.3V, +4V
 Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C

Storage Temperature Range-40°C to +125°C
 Soldering Temperature Profile
 (3 passes max)See IPC/JEDEC J-STD-020
 Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 3.0V to 3.6V, T_A = -40°C to +85°C, typical values are at V_{CC} = +3.3V and T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 2)	3.0	3.3	3.6	V
Supply Current	I _{CC}	LVPECL (Note 3)		50	65	mA
		LVDS		53	67	
TTL Control Input-Voltage High (OE)	V _{IH}	(Note 2)	2		V _{CC}	V
TTL Control Input-Voltage Low (OE)	V _{IL}	(Note 2)	0		0.8	V
Input Leakage Current	I _{IL}	GND ≤ OE ≤ V _{CC}	-50		+10	μA
LVPECL OUTPUTS (Note 4)						
Output High Voltage	V _{OH}	(Note 2)	V _{CC} - 1.085		V _{CC} - 0.88	V
Output Low Voltage	V _{OL}	(Note 2)	V _{CC} - 1.825		V _{CC} - 1.62	V
Output Leakage Current (Absolute)	I _{OL}	OE = V _{IL}		100		μA
LVDS OUTPUTS (Figure 2)						
LVDS Output High Voltage	V _{OH}	(Note 2)			1.475	V
LVDS Output Low Voltage	V _{OL}	(Note 2)	0.925			V
LVDS Differential Output Voltage	V _{OD}		250		400	mV
LVDS Change in V _{OD} for Complementary States	Δ V _{OD}				25	
LVDS Offset Output Voltage (Output Common-Mode Voltage)	V _{OS}	(Note 5)	1.125		1.275	V

106.25MHz/212.5MHz/425MHz クロック発振器

DS4106/DS4212/DS4425

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = 3.0V to 3.6V, T_A = -40°C to +85°C, typical values are at V_{CC} = +3.3V and T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
LVDS Change in V _{OS} for Complementary States	$\Delta V_{OS} $					150	mV
LVDS Differential Output Impedance	R _{OLVDSO}			80		140	Ω
LVDS Output Current	I _{LVDSO}	Outputs shorted together			12		mA
Output Current	I _{VSSLVDSO}	Short to ground				40	mA
CLOCK OUTPUT							
Clock Output Frequency	f _o	DS4106			106.2		MHz
		DS4212			212.5		
		DS4425			425.0		
Frequency Stability Total	$\Delta f / f_o$	Temperature, aging, load, and supply		-39		+39	ppm
Initial Frequency Tolerance	f_TOL	+25°C, ±3°C, V _{CC} = 3.3V			±20		ppm
Frequency Stability vs. Temperature	$\Delta f / f_o T_A$			-30		+30	ppm
Frequency Stability vs. V _{CC}	$\Delta f / f_o V$	V _{CC} = 3.3V ±10%		-3		+3	ppm/V
Frequency Stability vs. Load	$\Delta f / f_o I_{LOAD}$	±10% variation in termination resistance			±1		ppm
Aging (15 Years)	f _{AGING}			-7		+7	ppm
Phase Jitter (RMS)	PJ _{RMS}	12kHz to 20MHz			0.9		ps
Accumulated Deterministic Jitter Due to Power-Supply Noise (P-P)		10kHz			3		ps
		100kHz			27		
		200kHz			15		
		1MHz			7		
Clock Output Edge Speeds	t _R , t _F	20% to 80%	LVPECL		200		ps
			LVDS		175		
Clock Output Duty Cycle		+25°C		45		55	%
Oscillation Startup Time		(Note 6)			10		ms

106.25MHz/212.5MHz/425MHz クロック発振器

DS4106/DS4212/DS4425

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = 3.0V to 3.6V, T_A = -40°C to +85°C, typical values are at V_{CC} = +3.3V and T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Output SSB Phase Noise		DS4106 at 106.25MHz	100Hz		-90	dBC/Hz
			1kHz		-112	
			10kHz		-115	
			100kHz		-123	
			1MHz		-142	
			10MHz		-147	
		DS4212 at 212.50MHz	100Hz		-82	
			1kHz		-106	
			10kHz		-109	
			100kHz		-117	
			1MHz		-136	
			10MHz		-141	
		DS4425 at 425.00MHz	100Hz		-76	
			1kHz		-100	
			10kHz		-103	
			100kHz		-111	
			1MHz		-130	
			10MHz		-135	

Note 1: Limits at -40°C are guaranteed by design and are not production tested.

Note 2: Voltage referenced to ground.

Note 3: Outputs are enabled and unloaded.

Note 4: When the LVPECL output is disabled, the typical output off current is < 100μA for nominal LVPECL signal levels at the output.

Note 5: AC parameters are guaranteed by design and characterization.

Note 6: Including oscillator startup time and PLL acquisition time, measured after V_{CC} reaches 3.0V from power-on.

106.25MHz/212.5MHz/425MHz クロック発振器

DS4106/DS4212/DS4425

端子説明

端子	名称	機能
1	OE	出力イネーブル。プルアップ抵抗器はチップに内蔵しています。クロックを出力するには、OEをロジックハイまたはV _{CC} に接続するか、無接続にしてください。クロック出力を停止するには、OEをロジックローまたはGNDに接続してください。LVPECLの出力クロックは、ディセーブル時にはハイインピーダンスに設定されます。LVDSの出力クロックは、ディセーブル時には差動のハイにラッチされます。
2, 7-10	N.C.	接続なし
3	GND	グラウンド
4	OUTP	正極性クロック出力、LVPECLまたはLVDS
5	OUTN	負極性のクロック出力、LVPECLまたはLVDS
6	V _{CC}	+3.3V電源
—	EP	エクスポーズドパッド。エクスポーズドパッドは、熱安定化用に使用する必要があります。このパッドは、グラウンドに接続することができます。

詳細

DS4106/DS4212/DS4425は、高精度のクロックを生成するために、水晶発振子とICを組み合わせます。図1は、これらのデバイスのファンクション図です。このICは、水晶発振器、低ノイズPLL、選択が可能なクロック分周回路、および出力バッファから成っています。PLLは、デジタル位相/周波数検波器(PFD)と低ジッタ発振のVCOから成っています。VCO信号は、クロック分周回路によって分周され、出力バッファに供給されます。

出力ドライバ

すべてのデバイスは、LVPECL (DS4106A/DS4212A/DS4425A) もしくはLVDS (DS4106B/DS4212B/DS4425B) 出力バッファのいずれかを選ぶことができます。必要ない場合には、出力バッファはディセーブルすることができます。ディセーブルしたときには、LVPECL出力バッファはハイインピーダンス状態になります。しかし、LVDS出力は、出力がディセーブルされたときには差動ロジック1 (OUTPはハイにラッチされ、OUTNはローにラッチされる)に移行します。

追加情報

他の供給可能な周波数については、japan.maxim-ic.com/DS4125にあるDS4125のデータシートを参照してください。

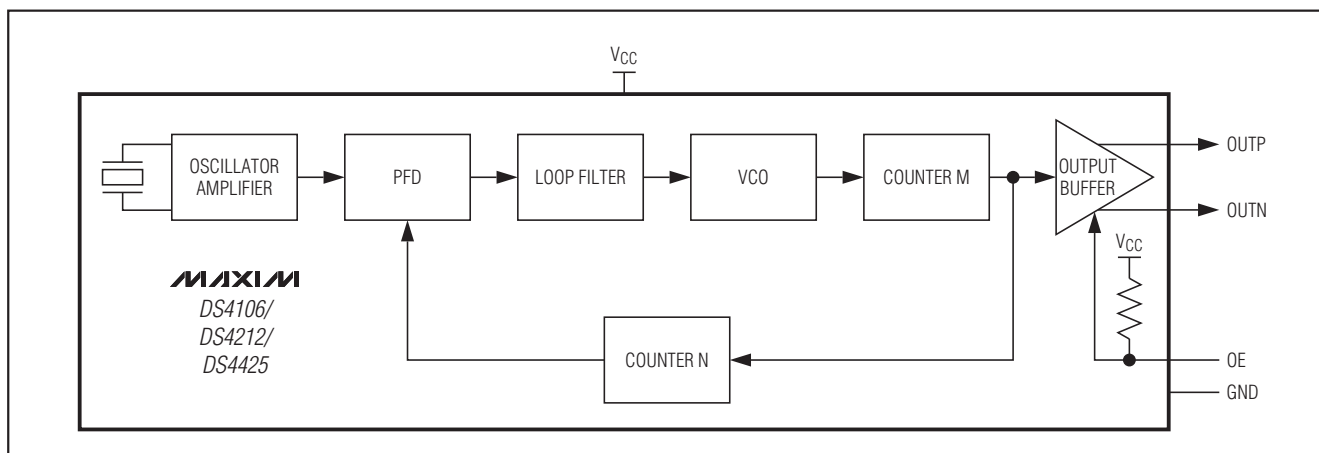


図1. ファンクションダイアグラム

106.25MHz/212.5MHz/425MHz クロック発振器

DS4106/DS4212/DS4425

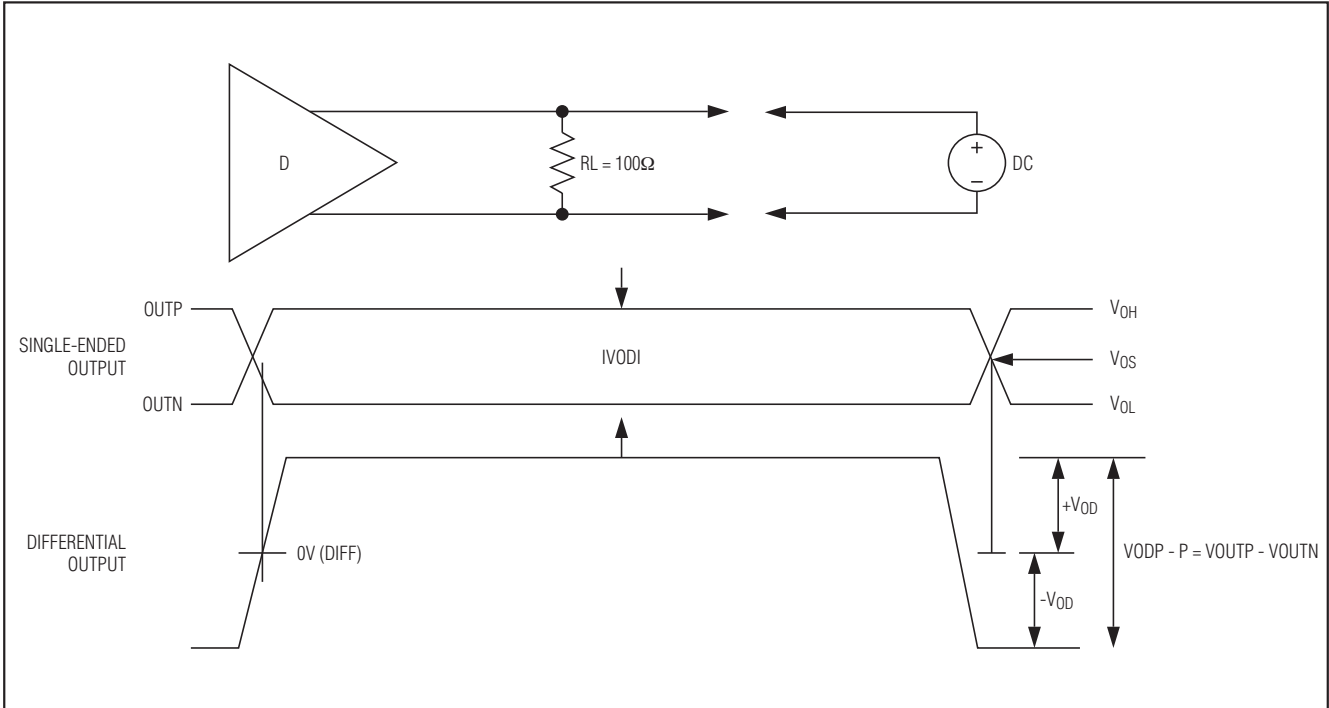


図2. LVDSレベルの定義

選択ガイド

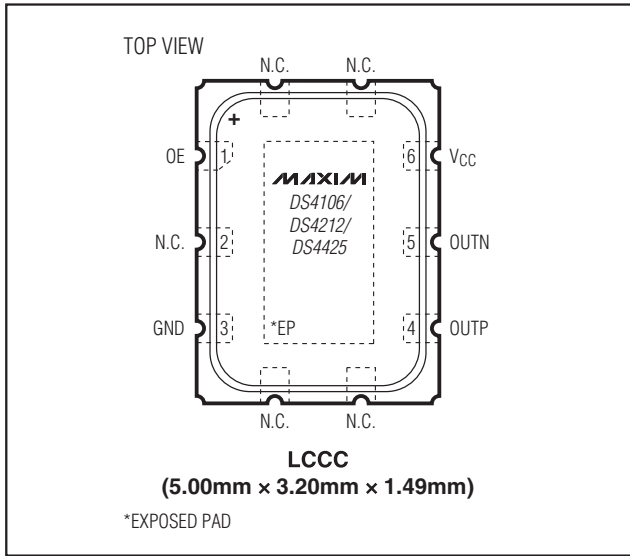
PART	OUTPUTS	FREQUENCY (MHz)	TOP MARK
DS4106AN+	LVPECL	106.25	06A
DS4106BN+	LVDS	106.25	06B
DS4212AN+	LVPECL	212.50	12A
DS4212BN+	LVDS	212.50	12B
DS4425AN+	LVPECL	425.00	42A
DS4425BN+	LVDS	425.00	42B

+は鉛フリーパッケージを示します。リードの仕上げはJESD97カテゴリe4 (Ni上にAu)で、鉛含有半田および鉛フリーの半田付け処理の両方と互換性があります。

106.25MHz/212.5MHz/425MHz クロック発振器

DS4106/DS4212/DS4425

ピン配置



温度情報

THETA-JA (°C/W)
90

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

PACKAGE TYPE	DOCUMENT NO.
10 LCCC	56-G5032-002

改訂履歴

Rev 1での変更ページ：1、2、3

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 7