

デュアル、バッファ付き出力、64ポジションの 不揮発性デジタルポテンシオメータ

概要

DS3908は、ワイパ出力をバッファするプログラマブル利得アンプ付きの2個の不揮発性デジタルポテンシオメータを内蔵しています。ポテンシオメータの位置とアンプの利得はI²C*対応シリアルバスを通じて制御されます。DS3908は、3.3Vと5Vの両システムで動作し、ポテンシオメータの位置と利得レジスタをロックする書き込み保護端子を備えています。最大8個のDS3908を単一のI²Cバスに接続することができます。

アプリケーション

PINダイオードのバイアス
電源キャリブレーション
携帯電話およびPDA
ポータブル電子機器

特長

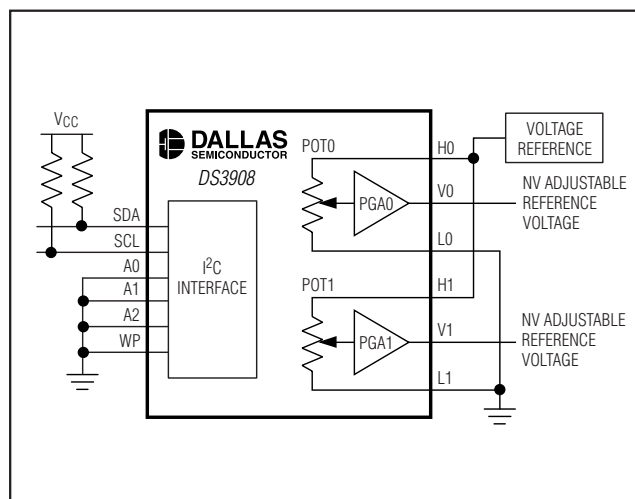
- ◆ 2個の64ポジションのリニアテーパポテンシオメータ
- ◆ 1V/V、2V/V、または4V/Vの利得が選択可能なワイパバッファアンプを内蔵
- ◆ ポテンシオメータの全抵抗：100kΩ
- ◆ 小さいポテンシオメータ温度係数
- ◆ ワイパおよび利得の不揮発性記憶
- ◆ I²C対応インタフェース
- ◆ 書き込み保護端子による偶発的なフィールドプログラミングの防止
- ◆ 電源電圧範囲：3V~5.5V
- ◆ 動作温度範囲：-40°C~+85°C
- ◆ 14ピンTDFNパッケージ

型番

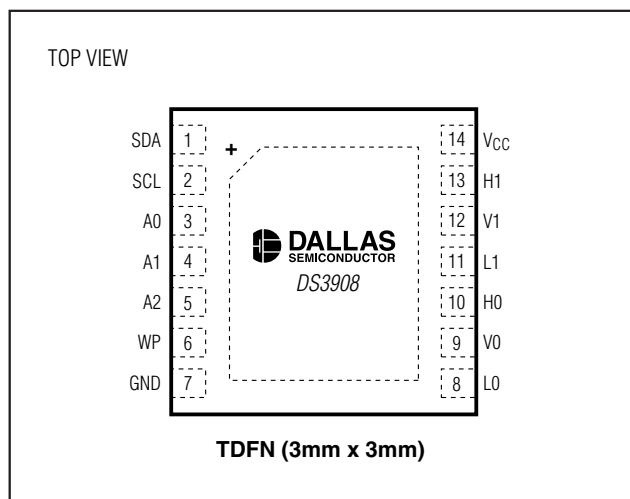
PART	TEMP RANGE	PIN-PACKAGE
DS3908N+	-40°C to +85°C	14 TDFN

+は鉛フリーパッケージを示します。

標準動作回路



ピン配置



*I²CはPhilips Corp.の商標です。Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたことになります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

デュアル、バッファ付き出力、64ポジションの 不揮発性デジタルポテンシオメータ

DS3908

ABSOLUTE MAXIMUM RATINGS

Voltage on V_{CC}, SDA, and SCL Relative to GND-0.5V to +6.0V
 Voltage on A0, A1, A2, L0, L1, H0, H1, and WP Relative
 to GND.....-0.5V to (V_{CC} + 0.5V) (not to exceed +6.0V)
 Operating Temperature Range-40°C to +85°C

Programming Temperature Range0°C to +70°C
 Storage Temperature Range-55°C to +125°C
 Soldering TemperatureRefer to J-STD-020 Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(T_A = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 1)	+3.0		+5.5	V
Input Logic 1 (SCL, SDA, A0, A1, A2, WP)	V _{IH}		0.7 x V _{CC}		V _{CC} + 0.3	V
Input Logic 0 (SCL, SDA, A0, A1, A2, WP)	V _{IL}		-0.3		0.3 x V _{CC}	V
Potentiometer Voltage (L0, L1, H0, H1)		V _{CC} = +3.0V to +5.5V	-0.3		V _{CC} + 0.3V	V

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +5.5V, T_A = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage	I _L		-1		+1	μA
Standby Supply Current	I _{STBY}	V _{CC} = 5.5V (Note 2)			2	mA
Low-Level Output Voltage (SDA)	V _{OL1}	3mA sink current	0		0.4	V
	V _{OL2}	6mA sink current	0		0.6	
I/O Capacitance	C _{I/O}				10	pF
WP Internal Pullup Resistance	R _{WP}		40	65	100	kΩ

ANALOG POTENTIOMETER CHARACTERISTICS

(V_{CC} = +3.0V to +5.5V, T_A = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
End-to-End Resistance		+25°C	79	100	121	kΩ
Absolute Linearity	INL	(Notes 3, 4)	-0.6		+0.6	LSB
Relative Linearity	DNL	(Notes 4, 5)	-0.25		+0.25	LSB
End-to-End Temperature Coefficient				50		ppm/°C

デュアル、バッファ付き出力、64ポジションの 不揮発性デジタルポテンショメータ

DS3908

PROGRAMMABLE-GAIN AMPLIFIER CHARACTERISTICS

($V_{CC} = +3.0V$ to $+5.5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Common-Mode Input Voltage	CMV_{IN}		0		$V_{CC} - 1.5$	V
Gain	G	$R_L \geq 2k\Omega$, $G = 1V/V$	0.975	1	1.025	V/V
		$R_L \geq 2k\Omega$, $G = 2V/V$	1.925	2	2.05	
		$R_L \geq 2k\Omega$, $G = 4V/V$	3.850	4	4.10	
Output Voltage Range	V_{OUT}	$R_L = 2k\Omega$, $-1mA < I_{OUT} < 1mA$	0.3		$V_{CC} - 0.3$	V
Power-Supply Rejection Ratio	PSRR		60	90		dB
Output Source Current	$I_{OUT:SOURCE}$	$V_{OUT} = 0V$, $H_x = L_x = 1V$			-15	mA
Output Sink Current	$I_{OUT:SINK}$	$V_{OUT} = 1V$, $H_x = L_x = 0V$	15			mA
Unity-Gain Frequency	f_T	Gain = $1V/V$, position 3Fh		3.5		MHz
Amplifier Capacitive Loading	C_L				100	pF
Input Offset Voltage	V_{OS}		-9		+9	mV
Load Regulation		$-1mA < I_{OUT} < 1mA$		800	2200	$\mu V/mA$
Output-Voltage Slew Rate		$R_L = 10k\Omega$, $C_L = 10pF$	270		840	V/ms

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to $+5.5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.) (See Figure 2.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f_{SCL}	(Note 6)			400	kHz
Bus Free Time between STOP and START Conditions	t_{BUF}		1.3			μs
Hold Time (Repeated) START Condition	$t_{HD:STA}$		0.6			μs
Low Period of SCL	t_{LOW}		1.3			μs
High Period of SCL	t_{HIGH}		0.6			μs
Data Hold Time	$t_{HD:DAT}$		0		0.9	μs
Data Setup Time	$t_{SU:DAT}$		100			ns
Start Setup Time	$t_{SU:STA}$		0.6			μs
SDA and SCL Rise Time	t_R	(Note 7)	$20 + 0.1C_B$		300	ns
SDA and SCL Fall Time	t_F	(Note 7)	$20 + 0.1C_B$		300	ns
STOP Setup Time	$t_{SU:STO}$		0.6			μs
SDA and SCL Capacitance	C_B	(Note 7)			400	pF
EEPROM Write Time	t_W	(Note 8)		10	17	ms
Startup Time	t_{ST}	$V_{CC} = 3.0V$			40	μs

デュアル、バッファ付き出力、64ポジションの 不揮発性デジタルポテンシオメータ

NONVOLATILE MEMORY CHARACTERISTICS

($V_{CC} = +3.0V$ to $+5.5V$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
EEPROM Write Cycles		At $+70^{\circ}C$	50,000		

Note 1: All voltages are referenced to ground.

Note 2: I_{STBY} specified assuming control pins are connected as follows: WP must be disconnected or connected high. H terminal connected to V_{CC} , L terminal connected to GND, potentiometer position 1Dh, PGA is at 2V/V, A0 to A2 connected to V_{CC} , SDA and SCL connected to V_{CC} , with no load.

Note 3: Absolute linearity is used to measure expected wiper voltage as determined by wiper position in a voltage-divider configuration.

Note 4: This specification only refers to the potentiometers, and does not include the gain and offset error due to the PGA.

Note 5: Relative linearity is used to determine the change of wiper voltage between two adjacent wiper positions in a voltage-divider configuration.

Note 6: I²C interface timing shown is for fast-mode (400kHz) operation. This device is also backward-compatible with I²C standard-mode timing.

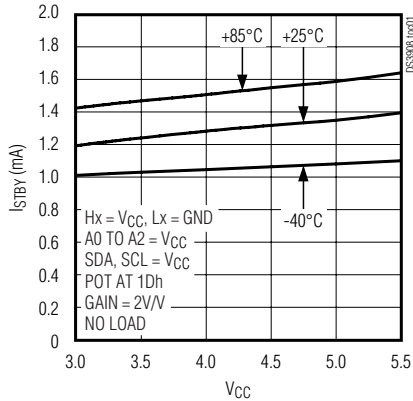
Note 7: C_B —total capacitance of one bus line in picofarads, timing referenced to $0.9 \times V_{CC}$ and $0.1 \times V_{CC}$.

Note 8: EEPROM write begins after a stop condition occurs.

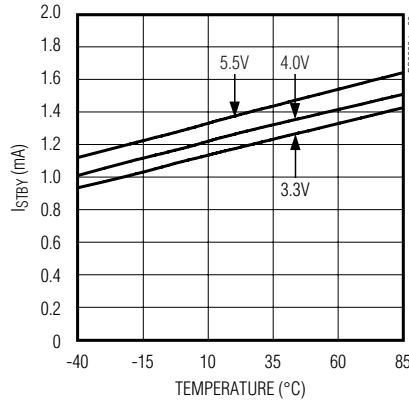
標準動作特性

($T_A = +25^{\circ}C$, unless otherwise noted.)

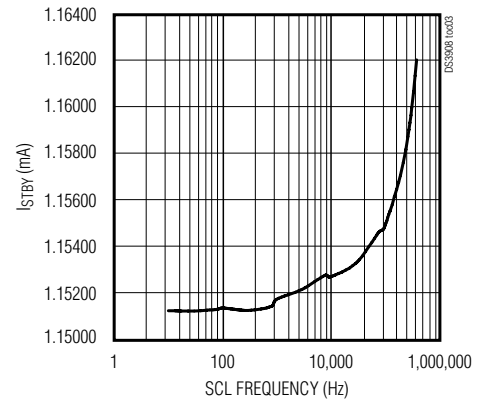
**STANDBY SUPPLY CURRENT
vs. SUPPLY VOLTAGE**



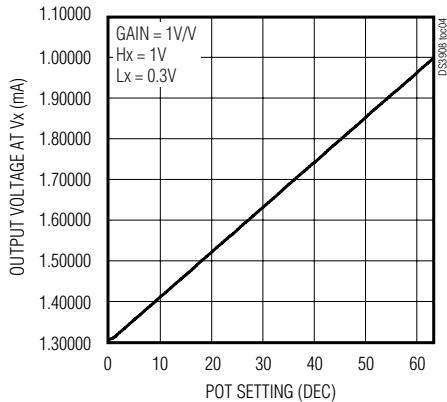
**STANDBY SUPPLY CURRENT
vs. TEMPERATURE**



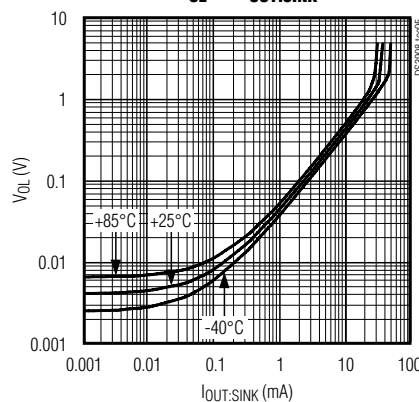
**STANDBY SUPPLY CURRENT
vs. SCL FREQUENCY**



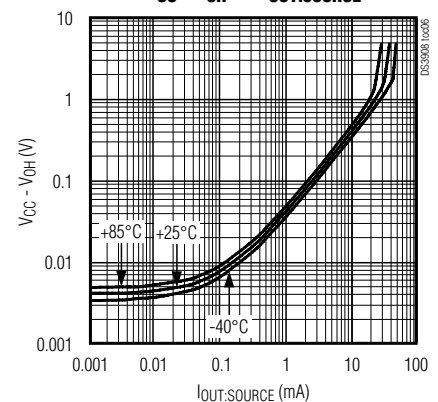
OUTPUT VOLTAGE vs. POT SETTING



V_{OL} vs. I_{OUT-SINK}



V_{CC} - V_{OH} vs. I_{OUT-SOURCE}

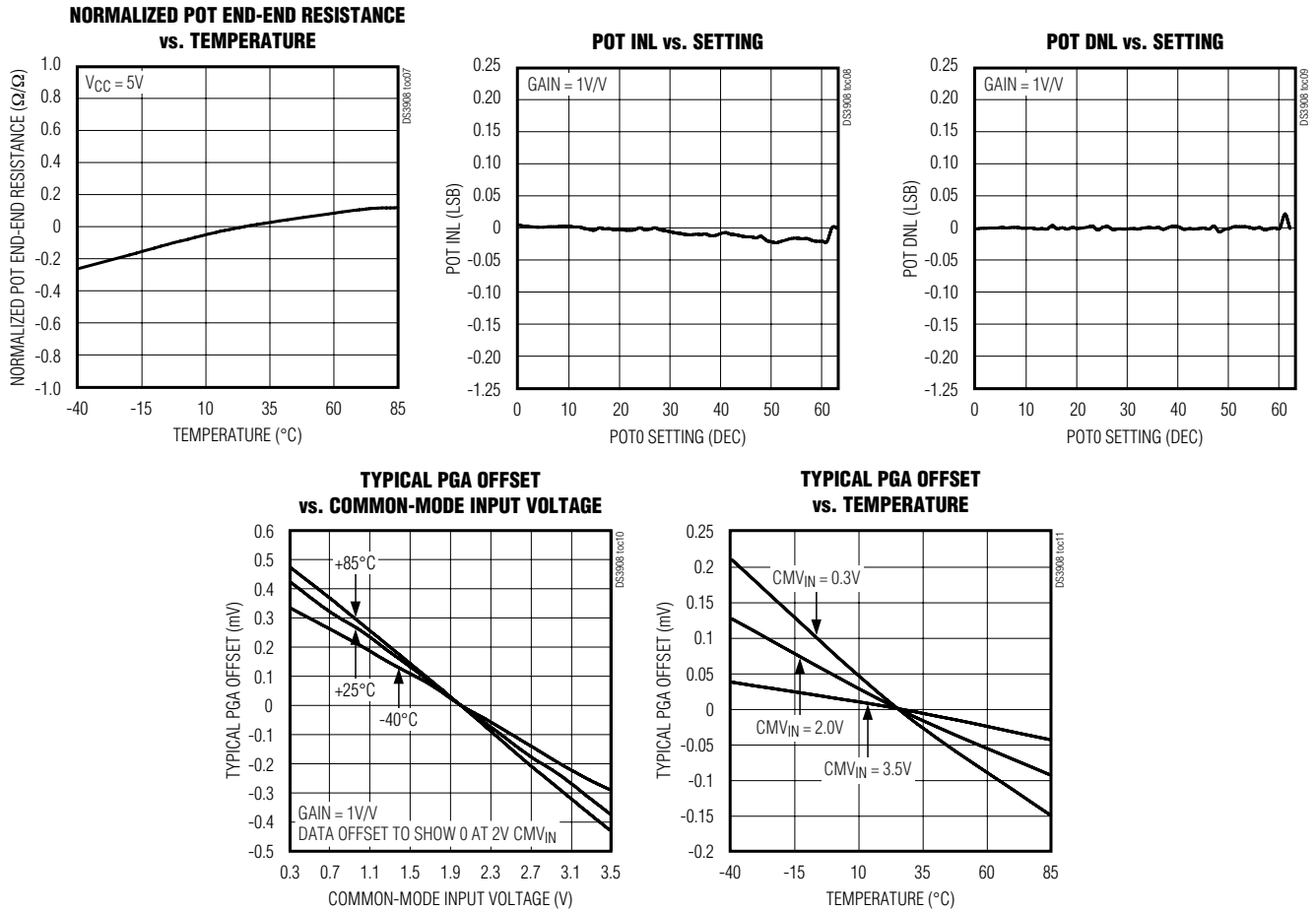


デュアル、バッファ付き出力、64ポジションの 不揮発性デジタルポテンショメータ

DS3908

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



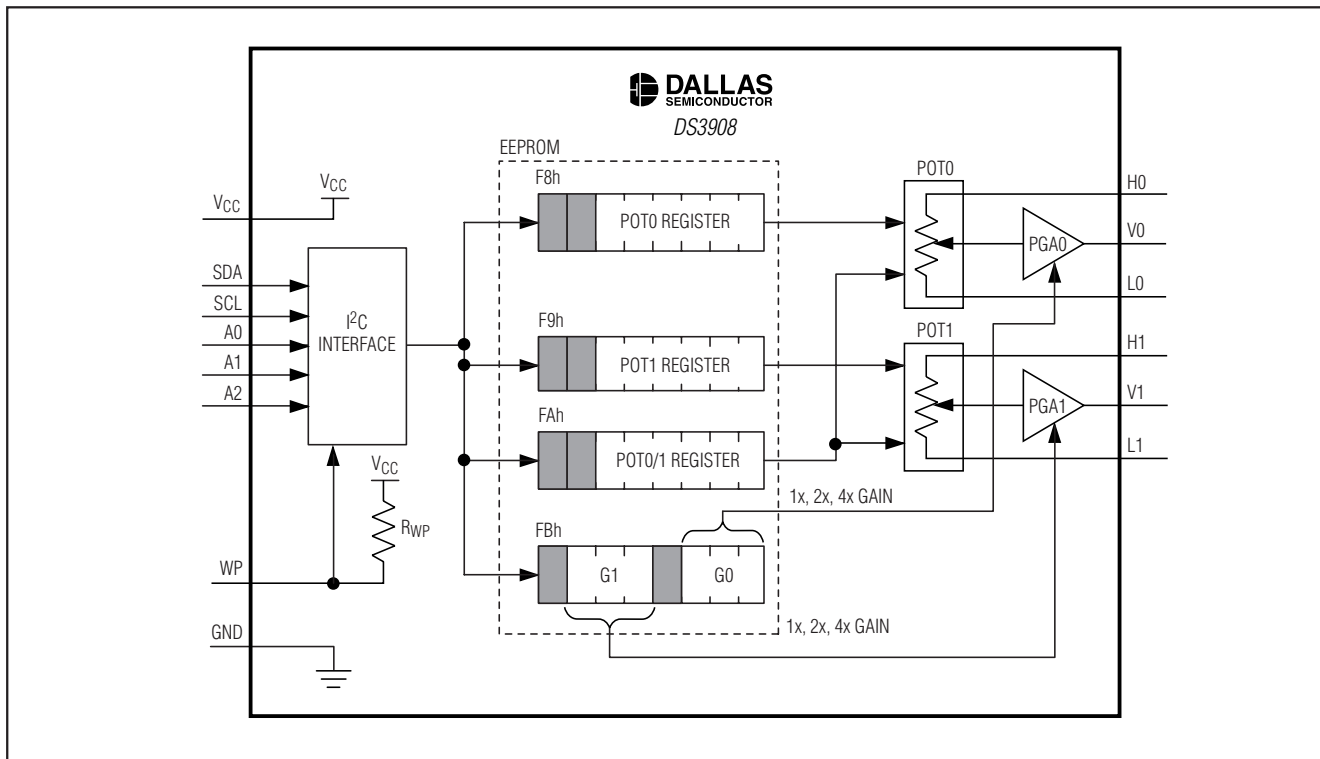
端子説明

TDFN端子	名称	機能
1	SDA	I ² Cシリアルデータ。I ² Cデータ用入力/出力。
2	SCL	I ² Cシリアルクロック。I ² Cクロック用入力。
3, 4, 5	A0, A1, A2	アドレス選択入力。I ² Cアドレスを決定します。デバイスアドレスは1010A ₂ A ₁ A ₀ です。(詳しくは、「I ² Cスレーブアドレスおよびアドレス端子」の項を参照してください。)
6	WP	書き込み保護入力。レジスタに書き込むためにはグラウンドに接続する必要があります。この端子が無接続であれば、内蔵プルアップがレジスタの値をロックします。
7	GND	グラウンド端子
8, 11	L0, L1	ポテンショメータのロー端子。これらの端子の電圧はGNDと V_{CC} の間になければなりません。
9, 12	V0, V1	アンプ出力
10, 13	H0, H1	ポテンショメータのハイ端子。これらの端子の電圧はGNDと V_{CC} の間になければなりません。
14	Vcc	電源電圧端子

デュアル、バッファ付き出力、64ポジションの不揮発性デジタルポテンシオメータ

DS3908

ファンクションダイアグラム



詳細

TDS3908は、ワイパ出力をバッファするプログラマブル利得アンプ付きの2個の不揮発性デジタルポテンシオメータを内蔵しています。

ポテンシオメータは、全部で64個のタップに対応した63個の均等な重み(リニアテーパ)の抵抗エレメントを備えています。抵抗エレメントは、低温度ドリフト材料を使用して作られており、全抵抗は100kΩ (typ)です。このことによって、優れた直線性の出力を作り出し、最高タップと最低タップがそれぞれハイ(Hx)端子とロー(Lx)端子に接続されています。各ポテンシオメータは、I²C対応インタフェースを使用して独立に制御されます。3つのアドレス端子によって、8個のスレーブアドレスの1つを選択することができます。8個のスレーブアドレスを使用すると、DS3908のアドレスを複数のI²Cデバイスを使用するアプリケーション用にカスタマイズすることができ、最大8個のDS3908を同一のI²Cバス上に配置することができます。ポテンシオメータの位置はEEPROMに保存され、電源投入のたびに呼び出されて不揮発性の位置設定に使用されます。いったん設定値が書き込まれると、書き込み保護端子によってポテンシオメータへの偶発的な書き込みが阻止されます。この書き込み保護機能は出荷時のアナログキャリブレーションに最適です。それは、この機能によってI²Cバス上の不正なトランザクションがデバイスの設定を破壊することを

防止することができるためです。WP端子にはプルアップ抵抗器が内蔵されており、デバイスに書き込みを行うためにはこれをローに強制する必要があります。

各プログラマブル利得アンプは、1V/V、2V/V、または4V/Vの3種類の利得の1つを個別に設定することができます。アンプのコモンモード入力範囲はグラウンドから(V_{CC}−1.5V)までで、出力はレイルトゥレイルで、1mA負荷、各電源レイルから300mVまでを駆動することができます。各出力は出力フィルタを必要とするアプリケーションのために100pFの負荷を駆動しても安定です。

ポテンシオメータワイパにはバッファアンプが接続されているため、このデバイスは標準的なデジタルポテンシオメータと比べて明らかな利点を備えています。バッファは、ポテンシオメータにとってはハイインピーダンスの負荷となり、ローインピーダンスの電圧出力を供給します。このため、ポテンシオメータとワイパの両インピーダンスを流れる電流の変化を排除することによって、ポテンシオメータの負荷となるシステムの出力電圧の直線性が改善されます。また、バッファによってポテンシオメータの入力と出力の間に電圧利得を持たせることもできます。アンプはDS3908に内蔵されているため、これは設計で実装面積を増やしたりプリント基板を複雑にしたりすることなく実現することができます。

デュアル、バッファ付き出力、64ポジションの不揮発性デジタルポテンショメータ

I²Cスレーブアドレスおよびアドレス端子

DS3908のI²Cスレーブアドレスは、ピン配置に示すようにA0、A1、およびA2の各アドレス端子の状態によって決定されます(図1参照)。アドレス端子がGNDに接続されると、スレーブアドレスの対応するビット位置は「0」になります。逆に、アドレスピンがV_{CC}に接続されると、対応するビット位置は「1」になります。I²C通信は「I²Cシリアルインタフェースの説明」の項に詳しく記載されています。

ポテンショメータ制御

DS3908のポテンショメータは、64個のタップとこれらを隔てる63個の抵抗エレメントを備えています。このため、最上位と最下位のワイパ位置では、アンプがポテンショメータのハイ端子とロー端子の電圧にそれぞれ接続されます。

DS3908のポテンショメータは、下記のレジスタとの通信によって制御されます：

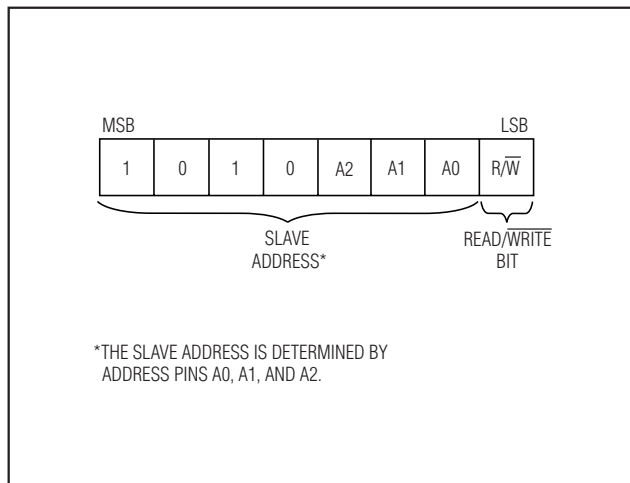


図1. DS3908のスレーブアドレスバイト

表1. ポテンショメータレジスタ

ADDRESS	POTENTIOMETER	I ² C FUNCTIONS	NUMBER OF POSITIONS*	DEFAULTS
F8h	Pot 0	Read/Write	64 (00h to 3Fh)	1Fh
F9h	Pot 1	Read/Write	64 (00h to 3Fh)	1Fh
FAh	Pot 0 and Pot 1	Write Only	64 (00h to 3Fh)	—

*各ポテンショメータの位置レジスタの上位2ビットは無視されます。3Fhよりも大きい値をポテンショメータレジスタのいずれかに書き込むと、上位2ビットの値に関係なく有効な6ビット位置が得られます。例：レジスタの値、C2h、82h、42h、および02hはすべてポテンショメータの位置2です。

デュアル、バッファ付き出力、64ポジションの不揮発性デジタルポテンシオメータ

DS3908に書き込みを行うとき、DS3908が新たなデータが書き込まれていることを認識するとポテンシオメータは直ちに新しい設定値に調整され、書き込みコマンドの最後にSTOP条件に続いてEEPROM (設定を不揮発性とするために使用)に書き込みが行われます。EEPROMを変更せずに設定を変更するためには、次のSTOP条件が送出される前に反復START条件を使用して書き込みを終了してください。反復START条件を使用すると、

EEPROMの書き込みサイクルが終了するのに必要な20ms (max)の遅延が回避されます。

プログラマブルアンプの制御

2個のDS3908アンプの利得は、レジスタアドレスFBhへの書き込みによって制御されます。FBhアドレスの上位1/2バイトはPGA1の利得を制御し、下位1/2バイトはPGA0の利得を制御します。各1/2バイトの形式を下表に示します。

表2. プログラマブルアンプレジスタ

ADDRESS	REGISTER FORMAT (BINARY)							
	PGA1				PGA0			
FBh	R*	G12	G11	G10	R*	G02	G01	G00
	bit7				bit0			

デフォルト値 = 11h

*将来用に確保されており、ゼロを書き込んでください。

表3. プログラマブルアンプの利得コード

Gx2Gx1Gx0	AMPLIFIER GAIN (V/V)
00X	1
01X	2
1XX	4

X = 任意。

このレジスタへの書き込みはポテンシオメータレジスタへの書き込みと同様です。EEPROMを確実に変更するためには、書き込みの後にSTOP条件が必要です。書き込み動作に続くSTOP条件の前に反復START条件を送出すると、EEPROMへの設定の保存が阻止されます。(詳しくは、「I²C通信」の項を参照してください。)

書き込み保護

書き込み保護端子にはプルアップ抵抗器が内蔵されています。ポテンシオメータの位置を調整するためには、この端子をグランドに接続する必要があります。EEPROMメモリを書き込み保護するためには、この端子をフローティングのままとするか、またはV_{CC}に接続してください。デバイスが書き込み保護されているときも、すべてのレジスタの読取りは可能です。

デュアル、バッファ付き出力、64ポジションの 不揮発性デジタルポテンショメータ

I²Cシリアルインタフェースの説明

I²Cの定義

以下の用語はI²Cデータ転送の説明に一般に使用されます。

マスタデバイス：マスタデバイスはバス上のスレーブデバイスを制御します。マスタデバイスは、SCLクロックパルス、START条件、およびSTOP条件を生成します。

スレーブデバイス：スレーブデバイスはマスタの要求に応じてデータを送受信します。

バスアイドルまたは非ビジー：SDAとSCLの両方が非アクティブでロジックハイ状態にあるときのSTOP条件とSTART条件の間の時間。バスは通常、アイドル状態になると、スレーブデバイスを低電力モードにします。

START条件：START条件は、スレーブとの新たなデータ転送を開始するためにマスタが生成します。SCLがハイの間にSDAがハイからローに遷移すると、START条件が発生します。有効なタイミングについては、タイミング図を参照してください。

STOP条件：STOP条件は、スレーブとのデータ転送を終了するためにマスタが生成します。SCLがハイの間にSDAがローからハイに遷移すると、STOP条件が発生します。有効なタイミングについては、タイミング図を参照してください。

反復START条件：マスタは、1回のデータ転送の最後に反復START条件を使用することによって、現在のデータ転送に続いて新たなデータ転送を直ちに開始することを示します。反復STARTは、データ転送を開始する特定のメモリアドレスを識別するために、通常、読み取り動作中に使用されます。反復START条件は、通常のSTART条件と同様に送出されます。有効なタイミングについては、タイミング図を参照してください。

ビット書込み：SDAはSCLがロー状態の間に遷移することが必要です。SDAのデータは、SCLの全ハイパルス期間およびセットアップとホールドの時間要件を満たす期間中、有効かつ不変の状態を保たなければなりません(図2参照)。データはSCLの立上りエッジの間にデバイスにシフト入力されます。

ビット読み取り：書込み動作の最後に、マスタはビット読み取り中の次のSCL立上りエッジの前に、適切なセットアップ時間(図2参照) SDAバスラインを解放する必要があります。デバイスは前のSCLパルスの立下りエッジでSDAの各データビットをシフト出力し、このデータビットは次のSCLパルスの立上りエッジで有効になります。スレーブからビットを読み取っているときを含め、すべてのSCLクロックパルスはマスタが生成します。

確認応答(ACKとNACK)：肯定確認応答(ACK)または否定確認応答(NACK)は、常にバイト転送中に送信される9番目のビットです。データを受信するデバイス(読み取り中のマスタ、または書込み中のスレーブ)は、9番目のビットの間ゼロを送信することによってACKを返します。デバイスは9番目のビットの間に1を送信することによってNACKを返します。ACKとNACKのタイミング(図2)は、その他すべてのビット書込みと同じです。ACKは、デバイスがデータを正しく受信していることの確認です。NACKは読み取りシーケンスを終了するために使用されるか、またはデバイスがデータを受信していないことを表します。

バイト書込み：バイト書込みは、マスタからスレーブに転送(MSB先頭)される8ビットの情報と、スレーブからマスタへの1ビットの確認応答で構成されます。マスタが送信する8ビットはビット書込みの定義に従って行われ、確認応答はビット読み取りの定義を用いて読み取られます。

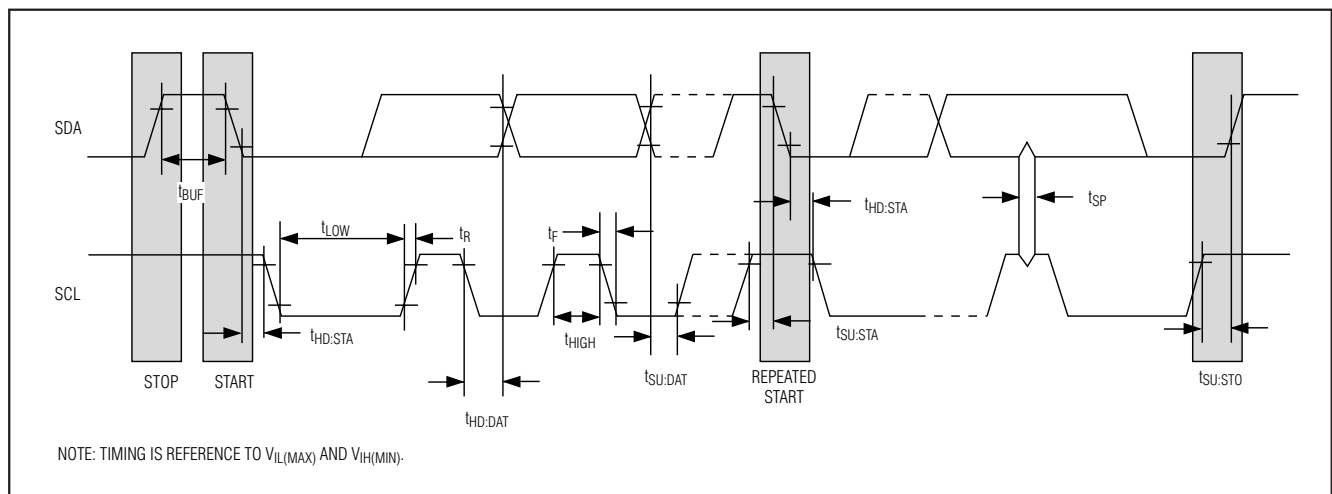


図2. I²Cタイミング図

デュアル、バッファ付き出力、64ポジションの不揮発性デジタルポテンシオメータ

バイト読取り：バイト読取りは、スレーブからマスタへの8ビット情報転送とマスタからスレーブへの1ビットのACKまたはNACKからなります。スレーブからマスタに転送(MSBを先頭)される8ビットの情報は、前記のビット読取りの定義を用いてマスタによって読み取られ、マスタはビット書込みの定義を用いてACKを送信し後続のデータバイトを受信します。スレーブがSDAの制御をマスタに戻すためには、マスタは最終バイト読取りに対してNACKを返して通信を終了する必要があります。

スレーブアドレスバイト：I²Cバス上の各スレーブは、START条件のすぐ後に送信されるスレーブアドレスバイトに応答します。スレーブアドレスバイトは、上位7ビットにスレーブアドレスを含み、最下位ビットにR/Wビットを含んでいます。

DS3908のスレーブアドレスは、図1に示すように、A0、A1、およびA2の各アドレス端子の状態によって決定されます。アドレス端子がGNDに接続されると、スレーブアドレスの対応するビット位置は「0」になります。逆に、アドレス端子がV_{CC}に接続されると、対応するビット位置は「1」になります。

R/Wビットが0のとき(A0hの場合など)、マスタがスレーブにデータを書き込むことを表しています。R/W = 1であれば(この場合はA1h)、マスタがスレーブからデータを読み取ることを表しています。

不正なスレーブアドレスが書き込まれると、DS3908はマスタが別のI²Cデバイスと通信しているものと判断し、次のSTART条件が送信されるまで通信を無視します。

メモリアドレス：DS3908へのI²C書込み動作中、マスタはメモリアドレスを送信してスレーブがデータを格納すべきメモリ位置を指示する必要があります。メモリアドレスは常に、スレーブアドレスバイトに続く書込み動作中に送信される2番目のバイトです。

I²C通信

スレーブへの単一バイトの書込み：マスタは、START条件の生成、スレーブアドレスバイト(R/W = 0)の書込み、メモリアドレスの書込み、データバイトの書込み、およびSTOP条件の生成を行う必要があります。マスタはすべてのバイトの書込み動作中にスレーブの確認応答を読み取る必要があります。

DS3908に書込みを行うとき、DS3908が新たなデータが書き込まれていることを確認するとポテンシオメータは直ちに新しい設定値に調整され、書込みコマンドの最後にSTOP条件に続いてEEPROM(設定値を不揮発性とするために使用)に書込みが行われます。EEPROMを変更せずに設定値を変更するためには、次のSTOP条件が送出される前に反復START条件を使用して書込みを終了してください。反復START条件を使用すると、EEPROMの書込みサイクルが終了するのに必要な20ms(max)の遅延が回避されます。

マスタがSTOP条件を生成せずにDS3908にデータの書込みを続けると、レジスタは上書きされます。

確認応答ポーリング：DS3908は、EEPROMバイトが書き込まれるたびに、バイトの内容をEEPROMに書き込むためにSTOP条件の後にEEPROM書込み時間(t_w)を必要とします。EEPROMの書込み時間中、デバイスはそのスレーブアドレスが使用中であるためにこれに確認応答しません。この現象を利用して、DS3908のアドレス指定を反復することによって、DS3908の準備が整い次第通信を継続することができます。確認応答ポーリングに代わる方法としては、t_wの最大時間が経過するのを待ってからデバイスにアクセスする方法があります。

EEPROM書込みサイクル：DS3908のEEPROMの書込みサイクルは「不揮発性メモリ特性(Nonvolatile Memory Characteristics)」の表で規定されています。記載された仕様はワーストケースの温度におけるものです。デバイスは室温ではさらに多数の書込みを処理することができます。

スレーブからの単一バイトの読取り：データを書き込む場所を定めるために指定されたメモリアドレスバイトを使用する書込み動作とは異なり、読取り動作はメモリアドレスポインタの現在値で行われます。スレーブから単一バイトを読み取るために、マスタはSTART条件の生成、R/W = 1によるスレーブアドレスバイトの書込み、転送の終了を示すNACKを持つデータバイトの読取り、およびSTOP条件の生成を行います。

読取り用アドレスポインタの操作：ダミーの書込みサイクルを使用して、アドレスポインタを強制的に特定の値に設定することができます。これを実行するために、マスタはSTART条件の生成、スレーブアドレスバイトの書込み(R/W = 0)、読取りが必要なメモリアドレスの書込み、反復START条件の生成、スレーブアドレスバイトの書込み(R/W = 1)、規定に従ったACKまたはNACKを持つデータの読取り、およびSTOP条件の生成を行います。

メモリ位置を指定する際に反復START条件を使用する読取りの例については、図3を参照してください。

アプリケーション情報

電源のデカップリング

DS3908を使用する際、最良の結果を得るには0.01μFまたは0.1μFのコンデンサで電源をデカップルしてください。できれば高品質のセラミック表面実装型コンデンサを使用してください。表面実装型部品を使用するとリードインダクタンスが最小限に抑えられるため性能が向上します。また、セラミックコンデンサは一般にデカップリングアプリケーションに適した高周波応答を示します。

デュアル、バッファ付き出力、64ポジションの 不揮発性デジタルポテンシオメータ

DS3908

総合誤差

DS3908からの読取り総合誤差は、次式から計算することができます：

$$\text{PotVoltage} = (\text{PotCode} / 63) \times (V_H - V_L) + V_L$$

$$\text{ErrorPOT} = (\text{INLERR} / 63) \times (V_H - V_L)$$

$$\text{ErrorOFFSET} = \text{Gain} \times V_{\text{OFF}}$$

$$\text{ErrorGAIN} = \text{PotVoltage} \times \text{GainERR}$$

$$\text{総合出力誤差} = \text{ErrorPOT} + \text{ErrorOFFSET} + \text{ErrorGAIN}$$

ここで、

PotCode = ポテンシオメータ設定値(10進)

GainERR = アンプ利得の所望値からのずれ(V/V)

V_{OFF} = PGA入力電圧のオフセット電圧(V)

INLERR = ポテンシオメータの総合非直線性(LSB)

たとえば、 $V_H = 2V$ 、 $V_L = 0.5V$ 、PGA利得 = $2V/V$ 、PotCode = 31d (1Fh)の場合のワーストケース誤差は、下記ようになります。

$$\text{PotVoltage} = 31 / 63 \times (2.0V - 0.5V) + 0.5V = 1.238V$$

$$\text{ErrorPOT} = (0.6 / 63) \times (2.0V - 0.5V) = 0.014V$$

$$\text{ErrorOFFSET} = 2.0V/V \times 9mV = 0.018V$$

$$\text{ErrorGAIN} = \text{PotVoltage} \times \text{GainERR} = 0.0929V$$

$$\begin{aligned} \text{総合出力誤差} &= \text{ErrorPOT} + \text{ErrorOFFSET} + \text{ErrorGAIN} \\ &= 0.014V + 0.018V + 0.0929V = 0.125V \end{aligned}$$

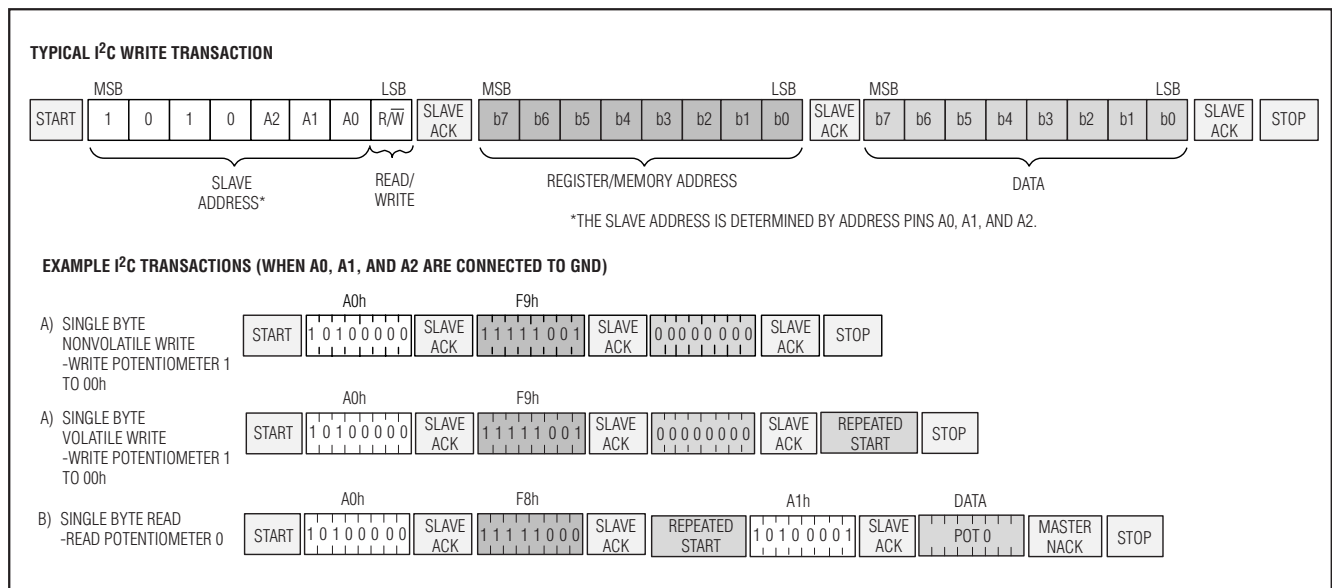


図3. I²C通信の例

チップポロジ

TRANSISTOR COUNT: 9950

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 11